

**科学研究費助成事業 研究成果報告書**

平成 28 年 6 月 8 日現在

機関番号：14401

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330059

研究課題名(和文)入力データばらつきを考慮したマルチプロセッサ・タスク割り当て手法

研究課題名(英文)Research for Task assignment methods considering input data variability

## 研究代表者

今井 正治 (IMAI, Masaharu)

大阪大学・情報科学研究科・教授

研究者番号：50126926

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：本研究では、入力データばらつきを考量したマルチプロセッサシステムのためのタスク割り当て手法をおこなうためのシステムの実行時間ばらつきの見積もり、推定手法について提案をおこなっている。まず、システム全体の記述について検討、その記述法を用いてシステムの実行時間を短時間で高速に見積もるための手法を提案した。次に、入力データによる実行時間を統計的なモデルとして表現し、より短時間で実行時間見積もりを行う手法を提案した。

研究成果の概要(英文)：This research studied estimation methods for execution times of target systems. First, system level description methods for target system were surveyed, then this study proposed a fast and efficient estimation method by using considered system level descriptions. Furthermore, this study proposed more efficient estimation method using stochastic execution information of tasks by input data variability.

研究分野：計算機システム

キーワード：LSI設計技術

### 1. 研究開始当初の背景

組込みシステムでは、システムの一層の高性能化、高機能化、低消費電力化、低消費電力量化が求められている。一方、これらの要求に応えるために、様々なアーキテクチャが提案されている。組込みシステムでは、ソフトウェア活用の観点から、少なくとも一つのプロセッサを搭載することが普通である。プロセッサを多数搭載するマルチプロセッサシステムは、ソフトウェアを変更することで様々なアプリケーションに対して適用することができ、プラットフォームの変更必要性がないため、少品種大量生産が可能となり、System-on-a-Chip (SoC) の設計・製造費を抑えることができるため、MPSoC (Multi-Processor SoC) に関する研究が精力的に行われていた。

### 2. 研究の目的

これまで、マルチプロセッサのタスク割り当て手法に関する研究は、対象システムの性能を最大化するタスク割り当て手法、消費電力量を最小化するタスク割り当て手法、マルチプロセッサ間の通信を最小化し性能を最大化する手法、消費電力量を最小化するタスク割り当て手法など、様々な手法が提案されてきた。しかしながら、これまで入力データの性質による計算時間のばらつきを考慮にいたったロバスタなタスク割り当てには研究されていなかった。例えば、動画圧縮伸張処理通信システムにおいては、圧縮、符号化、通信処理、復号化、伸張の各プロセスは、入力データの性質により計算時間のばらつきが大きく、その実行サイクル数、消費電力、消費電力量は大きく異なる。そこで、本研究は入力データの性質による計算時間のばらつきがシステムの品質に与える影響を考慮できるような仕組みを実現すること、またその情報を用いてマルチプロセッサシステムに動的にタスクを割り当てる手法を目的とする。申請者は、研究開始当時、すでに動的電圧周波数制御 DVFS (Dynamic Voltage and Frequency Scaling) を用いたマルチプロセッサシステム上での低消費電力量タスク割り当て手法について研究を進めていた。研究を進めるにつれて、最適なタスク分割が入力データに大きく影響を受けることがわかり、入力データの性質による計算時間ばらつきを考慮したタスク割り当て手法の重要性に気がついていた。また対象システムのシステムレベルの仕様記述からのマルチプロセッサシステムへのタスクの割り当ては、仕様記述に書かれているタスクの粒度による影響が大きく、そこからの自動タスク分割法と、動的なタスク割り当て法の重要性も認識していた。本研究では、ハードリアルタイム処理を目的として、入力データの性質による計算時間のばらつきがシステムの品質に与える影響を考慮できる仕組みの実現と、またその情報を用いてマルチプロセッサシステムに動的に

タスクを割り当てる手法を目的とする。

### 3. 研究の方法

まず、システムの記述方法を決定し、例題とする対象システムの記述を行う。次に、入力データの性質による計算時間がどのようなばらつきを持つかを効率よく見積もるために、実行時間見積もりシステムの試作を行う。マルチプロセッサシステムは、様々な接続アーキテクチャが存在するため、本研究では、単純な単一バス共有結合方式から、マルチレイヤのような複雑なバスシステムを有するシステム上での実行時間見積もり手法を提案する。次に実行時間が統計的なばらつきを持つ場合の、高速な実行時間推定手法を検討し、マルチプロセッサにタスクが割り当てられたときに、短時間で効率良く実行時間推定を行う手法を検討する。

### 4. 研究成果

#### ①システム記述方法の決定

電子システムレベル記述言語の調査を行い、SystemC、SystemVerilog から、SystemC をシステム全体の記述言語として選定した。SystemC、SystemVerilog とともに、並行に動作するシステムと時間の概念を扱うことができる。これらは、複雑化した電子システムレベルの記述を行うために、標準化作業が行われ、2005年にIEEEの標準規格として制定されている。電子システムレベルの記述のため、SystemCはC++を拡張したコンストラクタを用いてハードウェアを記述することが可能である。また、C、C++の言語拡張で言語が規定されているため、ソフトウェアの記述(C、C++)への変換が比較的容易であるため、マルチプロセッサを含むシステムの記述には適当であると判断した。一方、SystemVerilogもハードウェア記述言語Verilogを拡張した言語となっており、複雑なシステムを記述可能であったが、Verilogを拡張していることから、ハードウェアを中心とした電子システムの記述向きであると判断した。プロセッサで動作させるソフトウェアをシステムレベルの記述から生成できることは、一度記述したシステムレベルの記述を再利用しながら、システムの改良を進めることが可能であり、本研究の目的に適している。システムへのタスクの割り当て、マルチプロセッサでは個々のプロセッサに対するタスクの割り当てが決定する前は、システムレベル記述はできるだけ抽象化された記述であることが望ましいので、システムの記述法としては、SystemCのプロセスとチャンネル(プロセス間通信)で、システム全体を記述することとした。このプロセスとチャンネルによる記述を行うことで、タスクの分割、統合後の1処理をプロセスと考え、プロセスとチャンネルを電子システム中のコンポーネントに割り当てることで複雑なバスシステムで構成されているようなマルチプロセッサ

システムでも、実行時間の見積もりが短時間で効率よく行うことが可能となった。

②システムの実行時間見積り手法  
非巡回型の有向グラフで表現することのできる Kahn-Process ネットワークで表現された電子システムを実行時間見積りの対象と仮定する。また、プロセス間は無限のバッファをもつ FIFO として仮定する。図 1 は、システム記述の例である。

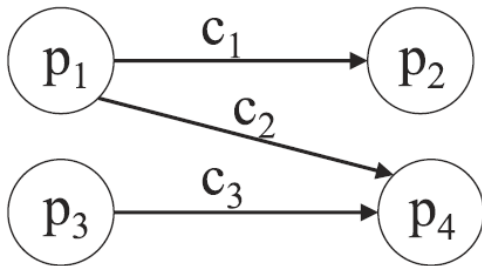


図 1 システム記述の例

$P_i$  がプロセスを  $C_i$  がチャンネルを表している。この段階では、プロセスを実行するコンポーネントも、どのような接続でコンポーネントが接続されているかも決まっていない抽象度の高い記述レベルである。このシステムを具体的なアーキテクチャにマッピングするためには、システムを動作させるアーキテクチャモデルが定まっていなければならない。例えば、図 2 に示すようなアーキテクチャを決めなければ、プロセスのコンポーネントへのマッピングは決定することができない。

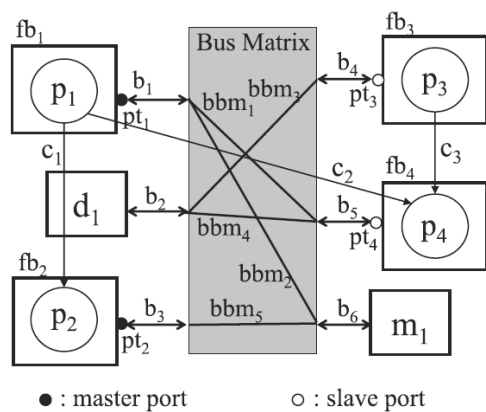


図 2 アーキテクチャ記述の例

図 2 では、プロセス P1 がコンポーネント fb1、プロセス P2 がコンポーネント fb2、プロセス P3 がコンポーネント fb3、そして、プロセス P4 がコンポーネント fb4 で実行するように割り当てられており、それらは Bus Matrix で表現される接続で、接続されていることを

示している。このアーキテクチャ上での実行は、厳密な実行時間を求めるためには通常は Bus 上での動きをサイクルレベルでシミュレーションする必要があり、いわゆる RTL のシミュレーションが必要となる。提案する見積り手法では、システムレベルで計算できる部分とアーキテクチャが決定してからでなければ計算できない部分に見積りを分割し、短時間で多数のアーキテクチャの実行時間見積りを行うことを可能とした。特に、近年の電子システムではバスの構造が複雑化しているため、バス上でのデータ交換のための実行時間の見積りにかかる時間が支配的となる。

実際に JPEG エンコードを繰り返し行う画像圧縮を行うシステムでのシミュレーション時間の計測を行ったところ、図 3 に示すように、十分画素数が大きな場合には、提案手法は RTL シミュレーションと比較して、25 倍程度高速に見積りを行えることが分かった。また、見積りの精度を図 4 に示す。図 4 は、RTL シミュレーションによる結果、バス競合が起こった場合も考慮した見積り結果、バス競合を考慮しなかった場合の見積り結果を示している。アーキテクチャにより、見積り精度が悪い場合もあるが、中央値で 4% 程度の誤差であり、誤差の最大値

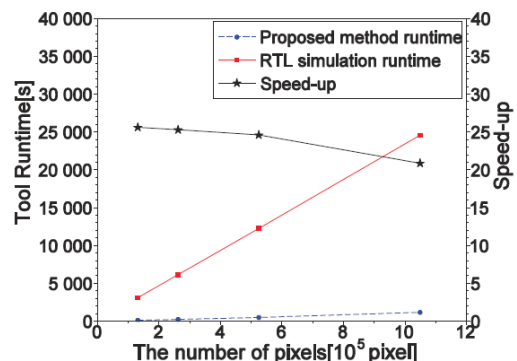


図 3 シミュレーションに要するツールの実行時間

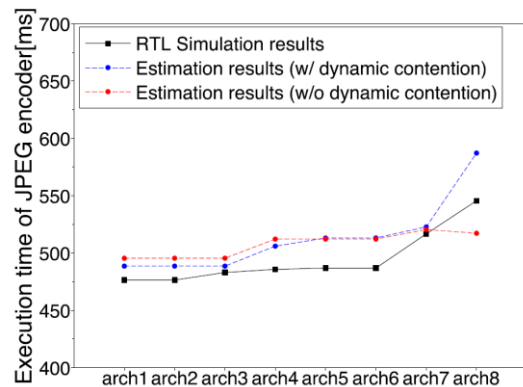


図 4 見積り手法の精度

は8%未満に収まっていることがわかり、提案手法は、短時間で多くのシステムの実行時間見積もりができることがわかる。データによるばらつきがある場合の基本的な実行時間取得はシミュレーションを繰り返す行うことで、実行時間を取得することであり、本手法を使うことで、多数のタスク割り当て時の結果を比較、優れたタスク割り当てが決定される。

### ③統計的手法を用いた実行時間推定手法

②の手法を繰り返し用いることで、マルチプロセッサ上での優れたタスク割り当てが決定されるが、タスクのプロセッサへの割り当て数は膨大な数になることもあり、一層高速化した実行時間見積もり手法が望ましい。そこで、統計的な手法を用いた実行時間推定手法について検討した。初めに、正規分布の実行時間ばらつきを持つタスクを扱うことを考えた。実行時間が正規分布をもつタスクが逐次的に実行される直列化されたときの統計モデル、実行時間が正規分布をもつタスクが並列に実行される場合のタスクを実行したときの統計モデルを作成し、複数のタスクからなるシステムの実行時間を推定する手法を考案した。

その後、提案手法を実際のシステムに適用してみた。適用システムは、ハードリアルタイム制御が必要な視覚野刺激型の人工視覚システムである。本システムは、電子システムの医療応用として研究しているシステムであり、視覚を失った患者に対して、直接脳を刺激することで人工的な視覚を実現することを目指したシステムである。本実験からわかったことは、タスクの分布は必ずしも理想的な正規分布になるわけではないが、統計的な表現は可能であるということである。本システムではタスクにより、固定実行時間のタスクと、分布を持つタスクに分類することができた。分布を持つタスクはアプリケーションに依存すると考えられるが、本アプリケーションでは対数正規分布に従うことがわかった。そこで、正規分布を持つシステムで検討していた実行時間推定手法を、対数正規分布、指数分布を持つ場合にも拡張したところ、図5

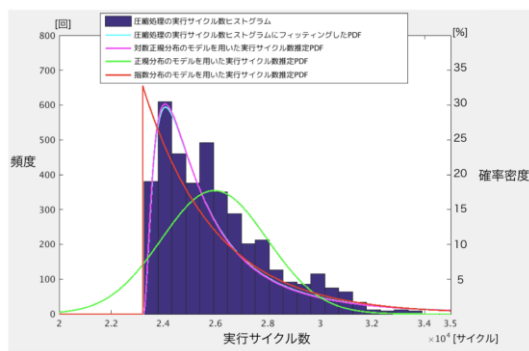


図5 タスクが対数正規分布、正規分布、指数分布の実行時間を持つと仮定した場合の推定実行時間の比較

に示すようにより精度の高い実行時間推定が可能となった。また、今回の実験より、ばらつきを持つタスクは、固定時間の基本時間ブロックとその繰り返し等の制御構造が各種の統計的な実行時間ばらつきを生成することがわかり、今後のタスク分割手法を行うための基礎的な指針を得た。

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- ① Salita Sombatsiri, Yoshinori Takeuchi, Masaharu Imai,  
“An Efficient Performance Estimation Method for Configurable Multi-layer Bus-based SoC,”  
IPJS Transactions on System LSI Design Methodology (TSLDM) 8, pp. 26-37, 2015.  
{DOI: 10.2197/ipsjtsldm.8.26}

[学会発表] (計 3 件)

- ① Masaharu Imai, Salita Sombatsiri, and Yoshinori Takeuchi,  
“An Efficient Performance Estimation Method of MPSoC with Configurable Multi-layer Bus System,”  
15th International Forum on MPSoC for Software-defined Hardware 2015 (MPSoC 2015) (招待講演)  
2015年7月13日～2015年7月17日  
Ventura, CA (USA)
- ② Yoshinori Takeuchi, Salita Sombatsiri, Masaharu Imai,  
“A Hierarchical Shared Bus Architecture Design Space Exploration,”  
14th international forum of Embedded MPSoC and Multicore 2014 (MPSoC 2014) (招待講演)  
2014年7月7日～2014年7月11日  
Margaux, (France).
- ③ Salita Sombatsiri, Kazuhiro Kobashi, Keishi Sakanushi, Yoshinori Takeuchi, Masaharu Imai,  
“An AMBA hierarchical shared bus architecture design space exploration method considering pipeline, burst and split transaction,”  
IEEE 10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, pp. 1-6,  
2013年5月15日～2013年5月17日  
Krabi (Thailand)

[産業財産権]

○出願状況 (計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

○取得状況（計 0 件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕

ホームページ等

<http://www-ise1.ist.osaka-u.ac.jp/lab/>

## 6. 研究組織

### (1) 研究代表者

今井 正治 (IMAI, Masaharu)  
大阪大学・大学院情報科学研究科・教授  
研究者番号：50126926

### (2) 研究分担者

武内 良典 (TAKEUCHI, Yoshinori)  
大阪大学・大学院情報科学研究科・准教授  
研究者番号：70242245

劉 戴勳 (YU, Jaehoon)  
大阪大学・大学院情報科学研究科・助教  
研究者番号：70726976  
(平成26年度より研究分担者として参画)

### (3) 連携研究者

なし ( )

研究者番号：