

## 科学研究費助成事業 研究成果報告書

平成 28 年 6 月 9 日現在

機関番号：13901

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330060

研究課題名(和文) 細粒度PSU/ALUカスケーディング制御を行うメニーコア向けプロセッサコアの研究

研究課題名(英文) A processor core for many-core with fine grained PSU and ALU cascading control

研究代表者

嶋田 創 (Shimada, Hajime)

名古屋大学・情報基盤センター・准教授

研究者番号：60377851

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：メニーコア時代に向けた電力/面積効率の高いプロセッサとして、細粒度ALUカスケーディング(ALU-C)とパイプラインステージ統合(PSU)を用いるプロセッサの研究を実施した。研究により、ALU-Cを用いた3-wayインオーダー(10)プロセッサはPSU無しでも2-wayアウトオブオーダー(OoO)プロセッサに匹敵することが分かった。これは、OoOに必要なパイプラインステージが不要になることにより、パイプライン段数が短くなる効果も含めてのIPC向上による。同様に、ALU-Cを用いた4-way 10プロセッサでは、OoOリソースが少な目の3-way OoOプロセッサの性能に匹敵することが分かった。

研究成果の概要(英文)：To propose energy and area efficient processor, we explored the processor with fine grained ALU cascading (ALU-C) and pipeline stage unification (PSU). The result shows that 3-way in-order processor with ALU-C achieves close performance to 2-way out-of-order processor without PSU. Similarly, 4-way in-order processor with ALU-C achieves close performance to 3-way out-of-order processor with less resources for out-of-order. Thus, we can achieve energy and area efficient processor only with ALU-C.

研究分野：計算機アーキテクチャ、情報セキュリティ

キーワード：プロセッサアーキテクチャ 低電力アーキテクチャ 高回路面積効率アーキテクチャ

### 1. 研究開始当初の背景

近年では、1チップ上に数十個レベルのプロセッサコアを載せたメニーコアプロセッサが着目されている。これらに採用されるプロセッサコアは面積/電力性能比の良さから1~2命令同時実行(1-way~2-way)のインオーダ実行(図1(a))、もしくは、もう少しコアあたりの性能を上げた2-wayアウトオーダ実行(図1(b))を取ることが多い。一方、アーキテクチャ改良によるプロセッサ性能向上の研究においては、対象とするプロセッサコアはサーバ等に用いられる4-way前後のアウトオーダ実行の物を対象にした例が多く、2-wayのインオーダ実行の改良に注力した研究は少ない。また、メニーコアを対象としたアーキテクチャの研究では、コア間の並列実行制約を緩和するネットワークポロジ、コヒーレンシ、ネットワークルータ構成などの研究が多く、プロセッサコアに着目した物は少ない状況にあった。

### 2. 研究の目的

アウトオーダ実行に伴って必要となる回路リソースの増加を考慮し、3-wayインオーダ実行をベースとするメニーコアプロセッサ向けプロセッサコアの研究開発を行う。一般的なインオーダ実行では2-wayから3-wayのIPC向上量は非常に少なく、単純に3-wayに拡張するのみでは面積/電力性能比は悪化する。しかしながら、アウトオーダ実行を導入するとレジスタマップ表、命令ウィンドウ、リオーダバッファなどの回路面積やアクティビティファクタが大きめの回路が必要となり、面積/電力性能比が悪化する。そこで、アウトオーダ実行を用いず、細粒度ALUカスケーディングと細粒度パイプラインステージ統合を用いる3-wayのIPCを向上させて面積/電力性能比に優れたプロセッサコアを実現する。これは、現在のメニーコアプロセッサでは、放熱能力から来る電力制約のためにプロセッサは半導体回路として動作可能な上限のクロック周波数で動作することはほぼ無く、一方、ノイズマージン等のためにDVFSにおいて電源電圧を大幅に低下させることが難しいため、低クロック周波数動作時にALUの出力を別ALUにつないで1クロックサイクル中に複数の演算を実施したり(ALUカスケーディング)、複数のパイプラインステージを統合してパイプライン段数を短くする(PSU:パイプラインステージ統合)。これらの効果はIPCの向上という形で現れるが、向上したIPC分の動作クロック周波数低下により、消費電力削減もつながら。これにより、メニーコアプロセッサ向けのプロセッサコアの面積/電力性能比を向上させる。本研究では、プロセッサのクロック周波数や実行中のプログラムに応じてALUカスケーディングとPSUの双方を細粒度に適用することを試み、その消費電力削減効果を高める。

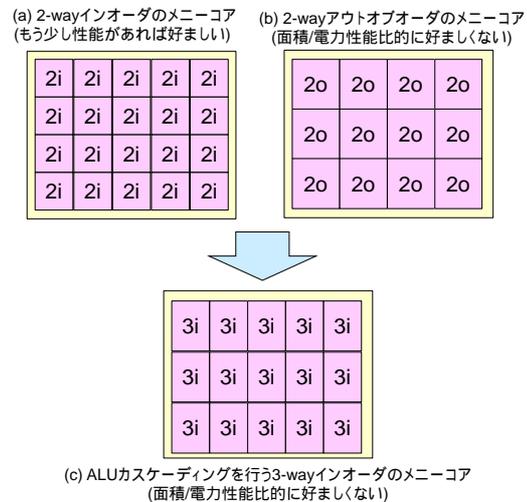


図1: 従来型メニーコア向けプロセッサコアと提案するALUカスケーディング等を行う3-wayインオーダのメニーコア

### 3. 研究の方法

研究はアーキテクチャレベルのシミュレーションとRTLにより回路を設計した上での面積/遅延/電力評価の2種類で提案プロセッサの評価を実施した。アーキテクチャレベルのシミュレーションでは、IPCの評価を行い、提案プロセッサが比較対象である現時点でのメニーコアや高性能寄り組み込み向けプロセッサコアに対して同等以上のIPCを実現できる設計点はどのようになるかを検討した。RTL設計を利用した評価においては、提案構成を実現するための回路面積/消費電力/遅延オーバーヘッド、および、そのオーバーヘッドの緩和を目的とした構成の評価を実施した。

また、研究題目にあるALUカスケーディングやPSUベースの改良に注力するのみならず、キャッシュ、分岐予測器、などの他のプロセッサを構成する要素の低電力化に対する研究も実施し、対象とするプロセッサの総合的な電力効率の向上を試みた。

### 4. 研究成果

(1) ALUカスケーディングを用いるインオーダ実行プロセッサの小規模アウトオーダ実行プロセッサに対するIPC上のアドバンテージの確認[P2]

アーキテクチャレベルのシミュレーションにより、提案プロセッサ構成が、命令ウィンドウ、リオーダバッファ、物理レジスタ、などのアウトオーダ実行のための資源が少なめな、メニーコア向け小規模アウトオーダ実行プロセッサに対するIPC上のアドバンテージがどの程度か確認を行った。比較対象は小規模な2-wayインオーダ実行、および、2-wayアウトオーダ実行のプロセッサである。

図2に評価結果を示す。グラフの横軸はベ

ベンチマークとその平均であり、縦軸は 2-way インオーダー実行時の IPC で正規化した IPC 向上率である。ベンチマークごとのグラフは左より、比較対象である分岐予測ミスペナルティ (BMP)10 の 2-way アウトオブオーダープロセッサ (2-way OoO)、それぞれ BMP10, 9, 8, 7 サイクルの ALU カスケーディングを行う 3-way インオーダープロセッサ (Cas 2, 3-way IO, BMP 10/9/8/7) である。グラフより、BMP8 の 3-way IO は 2-way OoO に匹敵する性能を示しており、アウトオブオーダー実行プロセッサよりパイプライン段数が 2 段短ければより高い IPC を実現できるという結果を得た。アウトオブオーダー実行のプロセッサと比較して、レジスタ・リネーミングと命令スケジューリングの 2 ステージは削減されるため、このパイプライン段数は実現可能だと考える。また、カスケーディングを行う 4-way インオーダー実行プロセッサの性能を評価した結果を図 3 に示す。縦横軸は図 2 と同様であり、ベンチマークごとのグラフが BMP10 の 3-way OoO、BMP10, 9, 8, 7 サイクルの ALU カスケーディングを行う 4-way IO である。グラフより、BMP7 の 4-way IO は 3-way OoO に匹敵する性能を実現できることが示されている。このパイプライン段数は、PSU でパイプライン段数を動的に減らすことも組み合わせることで動的に実現可能であると考えられる。これにより、提案構成は高性能寄り組み込みプロセッサで使われる 3-way アウトオブオーダー実行プロセッサも置き換える可能性を示した。

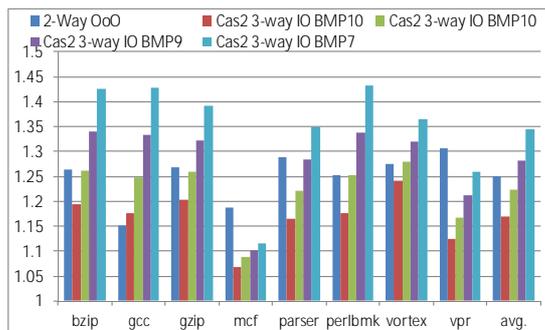


図 2: 提案する ALU カスケーディングを行う 3-way インオーダー実行プロセッサの性能

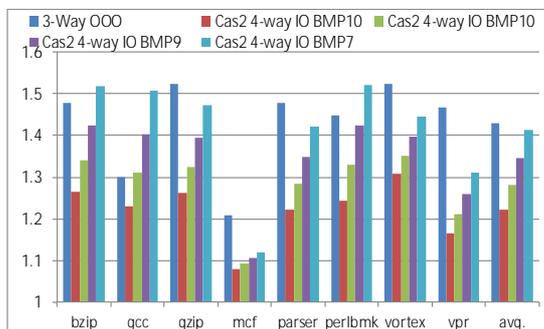


図 3: ALU カスケーディングを行う 4-way インオーダー実行プロセッサの性能

(2) パス限定カスケーディングによる ALU カスケーディングの面積性能比向上 [P1]

従来の ALU カスケーディングでは、実行ステージにおいては、全ての ALU 間で ALU カスケーディングが可能な設計としていた。例えば、図 4 に示す 3-way インオーダー構成においては、カスケーディングのパスは、左端の ALU から真ん中と右端の ALU、真ん中の ALU から右端の ALU という、3 本のカスケーディングパスが存在していた。一般的に実行ステージはクリティカルパスになりうるステージであり、データパスを増大させることはステージ遅延という観点から好ましくない。また、このような実行結果をフォワーディングするデータパスはドライブ能力の高いトランジスタを使って構成する必要があり、消費電力的にも好ましくない。そこで、図 5 に示すように、カスケーディングパスを左端の ALU から真ん中の ALU のみに限定することでデータパスを単純化させることを考える。カスケーディング可能な命令をカスケーディング可能な ALU に送り込む操作は、デコードステージにおいて実施する。つまり、複雑さが比較的 low、クリティカルパスとなりにくい (ステージ分割も容易) デコードステージにカスケーディングのための処理をオフロードすることにより、実行ステージの複雑さを軽減させることになる。

RTL 実装を論理合成して実施した回路面積と消費電力の評価の結果、図 5 の構成は図 4 の構成と比較して、消費電力で 10.6%、回路面積で 7.6% の削減を実現できることが確認できた。

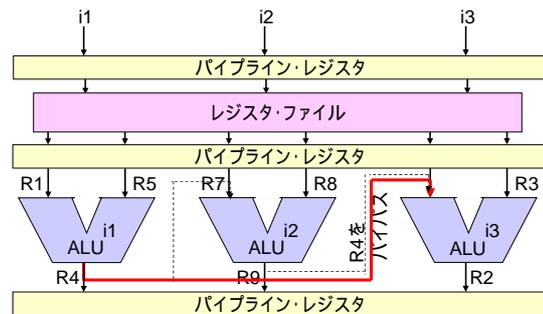


図 4: パスを限定しない従来の ALU カスケーディング

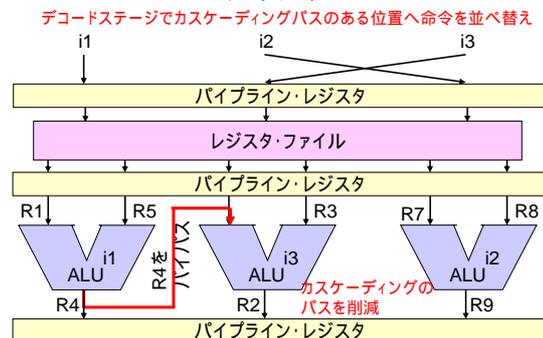


図 5: カスケーディングのパスを限定した ALU カスケーディング

(3)分岐先バッファ (BTB)における消費電力削減[J1, J2]

プロセッサを構成する他の要素の消費電力削減として、分岐先バッファ (BTB)の消費電力削減を実施した。BTB は比較的規模の大きいバッファであるとともに、毎クロックサイクルアクセスが発生するために、2 種類の消費電力削減を試みた。

1 つ目の手法は、不要な BTB のアクセスを削減することである。一般的な実装においては、全ての命令に対して BTB へのアクセスを実施し、BTB でのヒットが発生した場合にその命令は分岐命令であり、対応する分岐先アドレスを BTB より与える。文献[J1]に示した手法においては、基本ブロック内の各命令に対して BTB へのアクセスが必要か否かを示すビット列とビット列を格納するテーブルを導入し、BTB へのアクセスをフィルタすることによって消費電力削減を実現した。提案の実現のためには追加機構が必要であるが、追加機構は分岐予測においてクリティカルパスを侵害しないことを確認した。一方、ビット列の入れ替え時に1クロックサイクルのペナルティがかかることがあるため、ごくわずかに IPC は低下する。評価の結果、IPC の低下および追加機構による電力オーバーヘッドを考慮しても、最大 61.4%の消費エネルギーを削減できることを示した。

2 つ目の手法は、BTB のエントリをキャッシュラインと統合することにより、BTB におけるタグの回路面積の削減を含む回路の簡略化で消費電力を削減するものである[J2]。これは、命令キャッシュの各キャッシュラインに対して一定数の BTB のエントリを設けると同時に、キャッシュライン置き換え時に追い出される BTB エントリを保持する Victim BTB を設けることにより、従来の BTB とわずかな IPC 低下のもとで消費電力削減を達成するものである。IPC 低下によるオーバーヘッドを含めた評価の結果、提案構成は最大 72.4%の消費エネルギー削減を実現できることを示した。

## 5 . 主な発表論文等

〔雑誌論文〕(計 2 件)

[J1] Ryotaro Kobayashi, Kaoru Saito, and Hajime Shimada, "Energy Reduction of BTB by focusing on Number of Branches per Cache Line," Journal of Information Processing, Vol.24, No.3, May 2016. (accepted)

[J2] Yoshio Shimomura, Hiroki Yamamoto, Hayato Usui, Ryotaro Kobayashi, and Hajime Shimada, "BTB Energy Reduction by Focusing on Useless Accesses," IEICE Transactions on Electronics, Vol. E98-C, No. 7, pp.569-579, July 2015.

〔学会発表〕(計 7 件)

[P1] 鈴木杏理, 嶋田創, 小林良太郎, "パス限定 ALU カスケードのための命令並び替えの設計と評価," 情報処理学会全国大会, 6G-06, 神奈川県横浜市, 2016 年 3 月.

[P2] 嶋田創, 小林良太郎, "ALU カスケードと 3-way インオーダー実行を併用したメニーコア向けプロセッサ・コアの検討," 電子情報通信学会技術報告, Vol. 114, No. 242, CPSY2014-53, pp. 37-42, 千葉県千葉市, 2014 年 10 月.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

ホームページ等

<http://www.net.itc.nagoya-u.ac.jp/member/shimada/researches/architecture.html>

## 6 . 研究組織

### (1)研究代表者

嶋田 創 (SHIMADA, Hajime)

名古屋大学・情報基盤センター・准教授

研究者番号：60377851

### (2)研究分担者

小林 良太郎 (KOBAYASHI, Ryotaro)

豊橋技術科学大学・工学(系)研究科(研究院)・講師

研究者番号：40324454

### (3)連携研究者

なし