

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 17 日現在

機関番号：16301

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330062

研究課題名(和文) 3次元LSIにおけるビア接続不良に対するテストと診断に関する研究

研究課題名(英文) Study on test and diagnosis for defects on vias in 3D-LSIs

研究代表者

樋上 喜信 (Higami, Yoshinobu)

愛媛大学・理工学研究科・准教授

研究者番号：40304654

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：3次元LSIにおいてビア接続不良が発生した場合に考えられる影響として、信号の伝搬遅延が想定される。そこで本研究では、遅延故障に対する故障診断法を開発した。対象故障は、ゲート信号線とクロック信号線であり、様々な大きさの遅延量に適用可能とした。また、一時的に信号値が変化するハザードの発生にも対応できるようにした。開発した手法をベンチマーク回路に適用した実験により開発した手法の有効性を確認した。

研究成果の概要(英文)：When physical defects occur at vias in 3D-LSIs, propagation of signals will delay. In this research we develop diagnosis methods for delay faults. Targets are delay faults on gate signal lines and clock lines which have various amounts of delay. Also we consider hazard signals which change values temporarily. The effectiveness of the developed methods has been confirmed in the experiments for benchmark circuits.

研究分野：計算機工学

キーワード：LSI 故障診断 遅延故障

1. 研究開始当初の背景

半導体集積回路の高集積化・高速化を目指し、3次元LSI(大規模集積回路)の開発・実現が進んでいる。3次元LSIの実装における積層技術として、シリコン貫通ビアを用いる手法がある。ビアの欠陥に対するテストや診断(故障位置指摘)は、3次元LSI特有の問題であり、それを解決する手法が求められている。

テストや診断における対象として様々な故障モデルが用いられている。特に高速動作の回路において問題となるのが、信号伝搬が遅れる、遅延故障である。遅延故障に対するテストや診断の手法はこれまでも数多く発表されているが、様々な遅延量の遅延故障への適用、クロック信号線の遅延故障への適用、ハザード信号への適用などが未解決な問題として残されている。

2. 研究の目的

本研究の目的は、以下の3点である。

- (1) 様々な大きさの遅延量を持つ遅延故障に対する故障診断法の開発
- (2) クロック信号の遅延が存在した場合のゲート信号線の遅延故障に対する故障診断法の開発
- (3) 一時的に論理値が変化するハザード信号の発生を考慮した遅延故障に対する故障診断法の開発

3. 研究の方法

- (1) 様々な大きさの遅延量を持つ遅延故障に対する故障診断法の開発

この研究においては、遅延故障を持つ遅延量は不明と仮定し、単一のゲート遅延故障および2重ゲート遅延故障の診断を行う。回路内のすべてのゲートに単一で特定の遅延量を持つ遅延故障を仮定し、故障辞書を作成する。単一故障と2重故障のいずれに対しても、この故障辞書を用いて診断を行う。故障辞書作成には、論理値と論理値の最終変化時刻を計算するシミュレーション手法を用い、外部出力とフリップフロップの論理値と最終変化時刻の情報を辞書に記述する。診断においては、故障存在回路の出力応答と故障辞書の出力応答を比較し、候補故障を選択する。

- (2) クロック信号の遅延が存在した場合のゲート信号線の遅延故障に対する故障診断法の開発

この研究では、クロック信号に遅延が存在すると仮定し、ゲート遅延故障の診断を行う。診断は(1)の手法と同様、故障辞書を用いて行う。診断においては、故障存在回路の出力応答と故障辞書の出力応答を比較する際

に、クロック信号に遅延があり、フリップフロップへの値の取り込みが遅れる可能性を考慮し、候補故障を選択する。

- (3) 一時的に論理値が変化するハザード信号の発生を考慮した遅延故障に対する故障診断法の開発

この研究では、信号値が一時的に変化するハザード信号を考慮し、ゲート遅延故障の診断を行う。たとえば、ハザード信号を考慮しないシミュレーションで論理値が0であっても、ハザード信号を考慮した場合には、一時的に1となることがある。そのような場合には、診断結果において、誤った候補故障を指摘する可能性がある。そこでシミュレーションで扱う論理値を拡張し、ハザード信号も表現できるようにした。ハザード信号を考慮した論理値と最早変化時刻、最終変化時刻の情報を故障辞書に保存し、これらの情報と故障が存在する回路の出力応答を比較し、候補故障を推定する。

4. 研究成果

- (1) 様々な大きさの遅延量を持つ遅延故障に対する故障診断法の開発

開発した手法をC言語により実装し、ベンチマーク回路に対して適用した実験の結果を表1に示す。この実験では、テストサイクルの50%の遅延を仮定したシミュレーションによって作成した故障辞書を用い、テストサイクルの80%の遅延が1つのゲート信号線に存在する故障回路の診断を行った。故障回路として、ランダムな個所に故障を挿入した100個の回路を用いた。表の左列から順に、回路名、平均のフェイルパターン数、平均候補故障数、最大候補故障数、Wangらの手法(Wang et al., "Delay-Fault Diagnosis Using Timing Information," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 24, pp. 1315-1325, 2005.)による平均候補故障数を示す。実験の結果、すべての回路において平均候補故障数が3個未満であった。

表1 単一ゲート遅延故障の診断の結果

回路	平均パターン数	平均候補故障数	最大候補故障数	Wangの手法の結果
S9234	12.6	2.3	18	7.2
S13207	11.5	2.4	8	7.8
S15850	11.4	2.3	10	NA
S35932	7.5	2.4	12	8.8
S38417	14.5	1.3	6	9.2
S38584	10.9	2.9	6	7.2

次に2か所のゲート信号線に遅延が存在する故障回路に対する診断の結果を表2に示す。

各回路に対してランダムに故障を挿入した100個の故障回路を用いた。表中の各列には、左から順に、回路名、平均フェイルパターン数、平均候補故障数、候補故障の中に故障回路に存在する2つの故障が含まれる故障回路の数、候補故障の中に故障回路に存在する単一故障のいずれか一方のみが含まれる故障回路の数を表す。実験の結果、S15850回路を除き、すべての回路において平均候補故障数が6個未満であった。

表2 2重ゲート遅延故障の診断の結果

回路	平均パターン数	平均候補故障数	2つの故障が含まれる	1つの故障が含まれる
S9234	31.2	5.4	99	1
S13207	24.3	5.2	96	1
S15850	16.4	44.2	90	7
S35932	13.8	4.5	56	35
S38417	34.9	4.1	95	5
S38584	29.3	5.9	90	5

(2) クロック信号の遅延が存在した場合のゲート信号線の遅延故障に対する故障診断法の開発

クロック信号の遅延が存在した場合のゲート信号線の遅延故障に対する故障診断の結果を表3に示す。この実験では、テストサイクルに対して、ゲート遅延が50%の大きさ、クロックの遅延が30%の大きさの遅延を挿入した100個の故障回路を用いた。表中の各列には、左から順に、回路名、平均のフェイルパターン数、平均候補故障数、候補故障数が1つとなった故障回路数、候補故障集合に故障回路に存在する故障が含まれなかった故障回路の数を表す。実験の結果、S15850回路を除きすべての回路において平均候補故障数が24個未満であった。

表3 クロック遅延存在時のゲート遅延故障に対する診断の結果

回路	平均パターン数	平均候補故障数	候補故障が1つ	誤った診断
S9234	13.7	22.1	5	6
S13207	8.0	18.4	5	0
S15850	1.3	64.3	0	2
S35932	7.8	23.1	1	1
S38417	5.3	23.8	6	0
S38584	9.1	7.9	24	4

(3) 一時的に論理値が変化するハザード信号の発生を考慮した遅延故障に対する故障診断法の開発

ハザード信号を考慮した遅延故障に対する故障診断の結果を表4に示す。この実験に

おいては、テストサイクルの80%の遅延をランダムに選択したゲート信号線に挿入した故障回路100個を用いて診断を行った。表中の各列には、左から順に、回路名、平均フェイルパターン数、平均候補故障数、最大候補故障数、候補故障が1つとなった故障回路の数を表す。実験の結果、すべての回路において平均候補故障数が5個以下であった。

表4 ハザード信号を考慮したゲート遅延故障診断の結果

回路	平均パターン数	平均候補故障数	候補故障が1つ	誤った診断
S9234	9.9	5.0	28	13
S13207	9.4	2.7	10	21
S15850	12.0	3.3	10	18
S35932	6.3	2.7	16	13
S38417	12.9	1.9	15	31
S38584	10.6	3.9	12	10

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 6 件)

Y. Higami, S. Wang, H. Takahashi, S. Kobayashi and K. K. Saluja, "Diagnosis Methods for Gate Delay Faults with Various Amounts of Delays," IPSJ Transactions on System LSI Design Methodology, 査読有, vol. 9., pp.13-20, 2016. (DOI 10.2197/ipsjtsldm.9.1)

Y. Higami, S. Wang, H. Takahashi, S. Kobayashi and K. K. Saluja, "Diagnosis of Delay Faults Considering Hazards," Proc. IEEE Computer Society Annual Sympo. on VLSI, 査読有, pp. 503-508, July 2015. (DOI 10.1109/ISVLSI.2015.67)

Y. Higami, S. Wang, H. Takahashi, S. Kobayashi and K. K. Saluja, "Diagnosis for Delay Faults in the Presence of Clock Delays Considering Hazards," Proc. Int. Technical Conf. on Circuits/Systems, Computers and Communications, 査読有, pp. 649-652, July 2015.

Y. Higami, H. Takahashi, S. Kobayashi and K. K. Saluja, "Diagnosis of Gate Delay Faults in the Presence of Clock Delay Faults," Proc. IEEE Computer Society Annual Sympo. on VLSI, 査読有, pp. 320-325, July 2014. (DOI

10.1109/ISVLSI.2014.60)

Y. Higami, H. Takahashi, S. Kobayashi and K. K. Saluja, " Diagnosis of Delay Faults in Multi-Clock SOCs, " Proc. Int. Technical Conf. on Circuits/Systems, Computers and Communications, 査読有, pp. 217-220, July 2014.

Y. Higami, H. Takahashi, S. Kobayashi and K. K. Saluja, " Test Generation for Delay Faults on Clock Lines under Launch-on-Capture Test Environment, " IEICE Trans. on Information and Systems, 査読有, Vol.E96-D, No.6, pp. 1323-1331, June. 2013. (DOI 10.1587)

〔学会発表〕(計 3 件)

細川優人, 樋上喜信, 王森レイ, 高橋寛, 小林真也, " 遅延を考慮したシミュレータを用いたクロック信号線のブリッジ故障の故障診断, " 電気関係学会四国支部連合大会, 2015年9月26日, 高知工科大学(高知県香美市).

和田祐介, 樋上喜信, 王森レイ, 高橋寛, 小林真也, " マルチサイクルテストにおけるクロック信号線の d-故障に対する診断技術, " 電気関係学会四国支部連合大会, 2015年9月26日, 高知工科大学(高知県香美市).

細川優人, 樋上喜信, 王森レイ, 高橋寛, 小林真也, " クロック信号線のブリッジ故障に対する遅延を考慮した故障診断, " 電気関係学会四国支部連合大会, 2014年9月13日, 徳島大学(徳島市).

〔図書〕(計 1 件)

Kazuo Kondo, Morihiro Kada, Kenji Takahashi (Eds.): Three-Dimensional Integration of Semiconductors, Springer, pp. 238-240(担当執筆) 2015.

〔産業財産権〕

出願状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計 0 件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

樋上 喜信 (HIGAMI YOSHINOBU)
愛媛大学・大学院理工学研究科・准教授
研究者番号：40304654

(2) 研究分担者

高橋 寛 (TAKAHASHI HIROSHI)
愛媛大学・大学院理工学研究科・教授
研究者番号：80226878

(3) 連携研究者

()

研究者番号：