

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 15 日現在

機関番号：57403

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25420277

研究課題名(和文) 超小形スイッチトキャパシタデジタル電力増幅器の開発

研究課題名(英文) Development of small-sized switched-capacitor digital power amplifier

研究代表者

大田 一郎(OOTA, Ichirou)

熊本高等専門学校・情報通信エレクトロニクス工学科・教授

研究者番号：60149995

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：本研究では、キャパシタ(コンデンサとも言う)間の接続を半導体スイッチで高速に切り換えることで電圧変換を行うスイッチトキャパシタ回路を用いて、コイルを使わない新しいデジタル電力増幅器を開発した。本回路は、各キャパシタの充電電圧が2進数の各桁の重みに比例するように充電して、デジタル入力信号により放電するキャパシタを直列接続するので、瞬時にデジタルからパワー用のアナログ出力電圧に変換できる。設計した16ビットのデジタルアンプは、直流から20kHzまでの周波数特性はフラットで、軽負荷時と8 負荷時の電力変換効率はそのそれぞれ99%および95%以上の高効率が得られた。

研究成果の概要(英文)：A switched capacitor circuit (SCC) converts a voltage to other by changing the connection of capacitors using high speed semiconductor switches. In this study, a new coil-less digital power amplifier was developed using the SCC. In the proposed circuit, each capacitor is charged up to the voltage which is proportional to the weight of each binary digit. The output voltage is obtained by connecting the capacitors which is corresponding digital input signal is high. Therefore, a digital input signal can be converted to an analog power output voltage instantly. A designed 16-bit digital amplifier has the following feature. The frequency characteristic is flat from DC to 20 kHz, and the power conversion efficiencies at light load and 8 load are higher than 99% and 95%, respectively.

研究分野：スイッチング電源

キーワード：デジタルアンプ スwitchトキャパシタ D-Aコンバータ D級増幅器 デジタル電力増幅器 コイルレス 小形軽量 集積化

1. 研究開始当初の背景

(1) 従来のデジタル電力増幅器

従来のデジタル電力増幅器は D 級増幅器とも呼ばれ、図 1 のように、まずデジタル信号を D-A コンバータでアナログ小信号に変換し、三角波と比較して PWM 波形を得る。これをスイッチング回路で振幅を直流電源電圧 V_{CC} まで増幅し、ローパスフィルタ LPF で高周波成分を取り除き、増幅したアナログ信号を得ている。この方法では、回路が複雑で小形軽量化や低価格化には向いていない。また、スイッチング回路ではコイルやトランスが使用されているため、磁束の発生が大きく、低雑音化の点で問題がある。

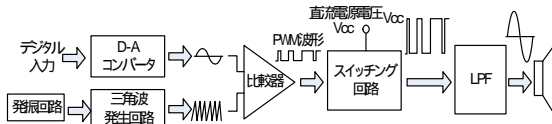


図 1 従来のデジタル電力増幅器 (D 級増幅器)

(2) 開発するデジタル電力増幅器

研究者ら長年に渡り、半導体スイッチとキャパシタだけで電圧変換でき、コイルやトランスなどの磁性部品を必要としないスイッチトキャパシタ (SC) 電源を開発している。SC 電源は、(a)小形化、軽量化が容易、(b)磁性雑音の発生が極めて少ない、(c)負荷変動に対する応答性が早い、(d)発振しない、などの特長をもち、次世代の電源回路として期待されている。

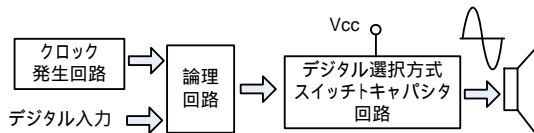


図 2 提案するデジタル電力増幅器

図 2 に提案するデジタル電力増幅器のブロック図を示す。同図に示すように、提案回路は、A-D コンバータや比較器は不要で、デジタル入力を直接、論理回路に加え、得られたクロック信号で SC 回路を駆動することによって、パワー用のアナログ信号を得ることができる。SC 回路では、まず、デジタル信号のビット数分のキャパシタを配置する。次に、直流電源 V_{CC} とスイッチ素子で、各キャパシタに充電される電圧比が 2 進数のそれぞれのビットに対応するような重み付けで充電される。次に、デジタル入力信号が 1 になっているビットに対応するキャパシタを直列接続して出力することによって、対応するデジタル信号からアナログのパワー用出力を瞬時に得ることができる。

2. 研究の目的

既に、5 ビット入力の場合についてはシミュレーションにより諸特性を明らかにしており、直流から 20kHz の信号を 97% 以上の電力変換効率で増幅できることを確認している。

本研究では更に、実用化に向けて 16 ビットのデジタル電力増幅器を開発し、製品化の妥当性を明らかにする。

また、従来のデジタル選択方式ではビット数を増加させるとクロックの総数も増加して、出力電圧のリプルが増加する問題があったが、本研究では、キャパシタ数に関係なく 3 相クロックで動作する新しいデジタル選択方式を提案し、16 ビットデジタルアンプの動作と諸特性を解析する。更に、放電時のデッドタイムをなくし、平滑キャパシタを取り除いた場合の特性を明らかにする。

3. 研究の方法

初年度は、既に従来方式で動作確認している 5 ビットのデジタル増幅器について、キャパシタ数に関係なく 3 相クロックで動作するデジタル選択方式で回路設計し、その動作と特性を解析する。2 年度は実際のオーディオ用 CD に用いられている 16 ビットのデジタル信号から直接、大音量のスピーカーを振動させるようなパワー用のデジタルアンプを開発する。解析とシミュレーションによって、提案回路の周波数特性、安定性、および、過渡応答試験について明らかにする。最終年度は、回路サイズや重量を求め、製品化の妥当性を明らかにする。

4. 研究成果

(1) 従来のデジタル選択方式 SC

図 3 に従来のデジタル選択方式 SC の回路構成を示す。図中の四角はスイッチを表し、図 4(a) に示す充電用クロック $\Phi_1 \sim \Phi_{15}$ と負荷に接続する放電用クロック Φ_0 で駆動される。クロックの相順を逆にした場合でも定常時のキャパシタの電圧変わらないため、理解しやすいように状態 Φ_{15} から説明する。まず Φ_{15} が高レベルになると、キャパシタ C_1 と C_2 が接続され同電圧となる。次に Φ_{14} が高レベ

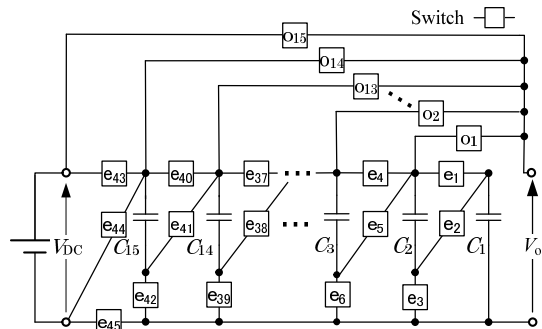
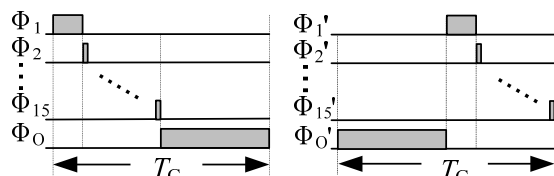


図 3 従来のデジタル選択方式 SC (SC1)



(a) SC1 用クロック (b) SC2 用クロック

図 4 充放電用クロック信号

ルになると、 C_1 と C_2 が直列接続され C_3 を充電することで、 C_3 は C_1 の2倍に充電される。次に Φ_{13} が高レベルになると、 C_1, C_2, C_3 が直列接続され C_4 を充電するため、 C_4 は C_1 の4倍に充電される。同様に、 $\Phi_{12} \sim \Phi_2$ の順でそれぞれが高レベル時に、 $C_5 \sim C_{15}$ はそれぞれ各キャパシタの右にあるキャパシタをすべて直列接続したもので充電されるため、各キャパシタは右側のキャパシタの2倍に充電される。最後に Φ_1 が高レベル時に $C_1 \sim C_{15}$ が直列接続され直流電源 V_{DC} で充電される。従って $C_{15}, C_{14} \sim C_2, C_1$ はそれぞれ $V_{DC}/2^1, V_{DC}/2^2 \sim V_{DC}/2^{14}, V_{DC}/2^{14}$ まで充電され、 $V_{DC}, C_{15}, C_{14} \sim C_2$ の電圧比は2進数の各桁に対応する比に等しくなる。

次に放電クロック Φ_0 が高レベルになると、入力が1になっているビットに対応するキャパシタのみが直列接続され、放電スイッチ $Q_1 \sim Q_{15}$ を介して V_0 に出力される。

(2) デジタルアンプの全体の回路構成

図5にデジタルアンプの全体の回路構成を示す。図中のSC1とSC2は、それぞれ図3の回路と同じで、図4(a)および(b)に示すクロックで駆動される。即ち、充電クロックと放電クロックを逆位相としプッシュプル動作することで、小さい平滑キャパシタ C_L で出力電圧リプルを軽減できる。単一のSCのみで動作する場合は、充電クロックが高レベル時に C_L から電荷を供給し出力を保持する必要がある。出力周波数が高くなると、 C_L のインピーダンスが低下し、無効電流が増加することで効率が低下する。プッシュプル方式ではSCからの出力が途切れる区間はスイッチが切り替わる際のデッドタイムのみとなる。従って、出力保持に用いる平滑キャパシタ C_L を最小限の値にできる。次に、SCからの出力電圧 V_0 は同図中に示すフルブリッジ回路に接続される。スイッチ p が高レベル時は V_0 が直接 V_{out} に接続されるが、スイッチ n が高レベル時には V_0 が反転して V_{out} に出力されることで負の電圧を出力する。従って、スイッチ p と n はデジタル入力の符号ビットで制御される。

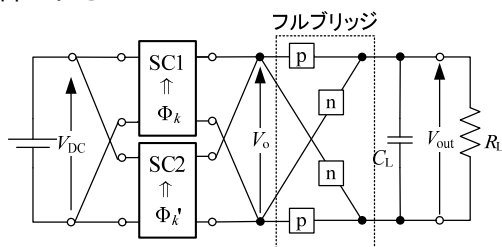


図5 デジタルアンプの全体構成図

(3) 提案回路の回路構成と充電動作

図6に提案するデジタル選択方式SCの回路構成を示す。図中のスイッチ1, 2と3はそれぞれ図7(a)の充電用クロック Φ_1, Φ_2 と放電用クロック Φ_3 で駆動される。また、提案回路においてもプッシュプルで動作し、図6のSC1と反転クロックで動作するSC2が図5

に組み込まれる。まず、 Φ_1 が高レベルになると、図6の右端のキャパシタ C_{15a} と C_{15b} が直列接続され電源電圧 V_{DC} によって $V_{DC}/2$ まで充電される。次に Φ_2 が高レベルになると、同図の C_{14a} と C_{14b} が直列接続され、 $V_{DC}/2$ に充電された C_{15a} によって、それぞれ $V_{DC}/4$ まで充電される。この動作を繰り返すと、上下のキャパシタ2個が直列接続され、右隣のキャパシタで充電されるので、右隣の1/2の電圧になるように充電される。従って、 $C_{15a} \sim C_{1a}$ および $C_{15b} \sim C_{1b}$ の充電電圧は $V_{DC}/2^1, V_{DC}/2^2, \dots, V_{DC}/2^{14}, V_{DC}/2^{15}$ となり、2進数の各桁の比に充電される。左端のキャパシタ C_0 は C_{1a} と C_{1b} の充電電圧の変動を抑制するキャパシタであり、 $V_{DC}/2^{15}$ に充電される。

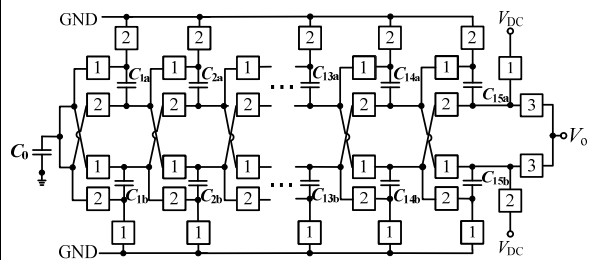
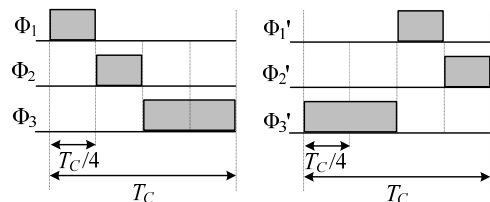


図6 提案回路 (SC1)



(a) SC1用クロック (b) SC2用クロック
図7 充放電用クロック信号

(4) 提案回路の放電動作

キャパシタ C_{1a}, C_{1b} から C_{15a}, C_{15b} に対応するデジタル入力ビットをそれぞれ $b_1 \sim b_{15}$ とする。放電用クロック Φ_3 および Φ_3' が高レベルになると、従来回路と同様に入力ビットに対応するキャパシタのみが直列に出力される。提案回路の放電クロックでは切り替わり時にデッドタイムを設けておらず、常にどちらかのSCから負荷に電荷が供給される。従って、デッドタイムでの出力保持に用いる微小な平滑キャパシタ C_L を除去できる。

(5) Hspiceによるシミュレーション

Hspiceを用いて提案回路の動作確認および従来回路と特性の比較を行う。シミュレーションに用いた回路パラメータを表1に示す。両回路は回路面積が等しく、且つスイッチの最高動作速度が等しいという条件で比較する。従って、提案回路における電荷転送キャパシタの数 n_c は従来回路の62/30倍となるため、提案回路のキャパシタ C は従来回路の30/62倍の容量値とする。同様にフルブリッジを除くスイッチの数 n_{sw} は188/120倍とな

表1 回路パラメータ

素子値	従来	提案
電源電圧 V_{DC}	12V	24V
最大出力電圧 V_{max}	24V	24V
キャパシタ数 n_c	30	62
キャパシタ C	100 μ F	48 μ F
平滑キャパシタ C_L	0.1 μ F	無し
スイッチ数 n_{sw}	120	188
オン抵抗 r_{on}	10m Ω	16m Ω
クロック周波数 f_c	500kHz	4.3 MHz
クロック周期 T_c	2 μ s	234 ns
充電クロック相数 n_{clock}	15	2

るため 提案回路のオン抵抗 r_{on} は従来回路の 188/120 倍の値とする．次にスイッチの最高動作速度を 54ns とすると提案回路のクロック周波数 f_c は 4.3MHz，従来回路では 500kHz としている．

(6) 出力電圧リプルの解析と最大許容負荷

負荷抵抗 R_L の最小値は放電時に許容される最大の出力電圧リプル ΔV_{max} の値から決定される．出力電圧を 16bit の精度とするためには， ΔV_{max} は提案回路の最小入力ビットが変化したときの出力電圧変化 ΔV_{out} の 1/2 以下である必要がある． ΔV_{out} は $V_{max}=24V$ 時で， $\Delta V_{out}=V_{max}/2^{15} \approx 0.73mV$ となる．従って， $\Delta V_{max} \leq 0.37mV$ となる． V_{out} が最大となるときはすべての C が直列となり，放電時の等価直列容量 C_T は最小で，出力電圧リプルは最大となる． V_{out} が最大となるときの瞬時等価回路から ΔV_{max} を導出すると，

$$\Delta V_{max} = V_{max} \left(1 - e^{-\frac{1}{2f_c C_T (R_L + R_{onT})}}\right) \cdot \frac{R_L}{R_L + R_{onT}} \quad (1)$$

となる．但し， R_{onT} は放電時に負荷に接続されるスイッチによる合成オン抵抗を表す． $\Delta V_{max} \leq 0.37mV$ を満たす負荷抵抗 R_L は表 1 に示す回路パラメータを用いると約 1.2k Ω となるが，一般的なスピーカー等の負荷は数 Ω 程度である．従って，1.2k Ω と 8 Ω の場合についてシミュレーションを行った．

表 2 に最小出力時定数 τ_{min} と最大出力電圧リプル ΔV_{max} の値について，式(1)から算出される解析値とシミュレーション値を比較した結果を示す． ΔV_{max} の解析値とシミュレーション値の誤差率 ε は $R_L=1.2k\Omega$ および 8 Ω の場合でそれぞれ約 3%である．更に， τ_{min} の誤差率 ε はともに 1%以内の値となった．従って，解析値とシミュレーション値はよく一致しており，解析の有効性が確認された．

(7) 定常状態の出力波形

図 8 に負荷抵抗 $R_L=1.2k\Omega$ において出力電圧 V_{out} が出力周波数 $f_{out}=10kHz$ の正弦波状に変化するように入力ビットを加えた場合の定常時の出力電圧波形を示す．図 9 は図 8 の

表2 解析値とシミュレーション結果の比較

負荷抵抗 R_L		解析値	シミュレーション値	誤差率 $\varepsilon(\%)$
1.2 k Ω	τ_{min}	8.01 ms	7.95 ms	-0.8
	ΔV_{max}	0.345 mV	0.354 mV	2.7
8 Ω	τ_{min}	53.4 μ s	53.6 μ s	0.4
	ΔV_{max}	50.7 μ s	49.2 mV	-3.2

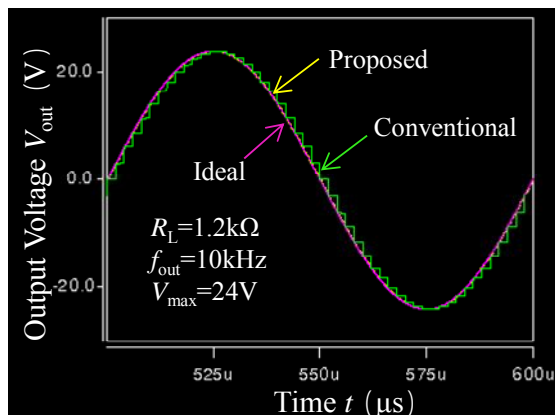


図8 定常時の出力電圧波形

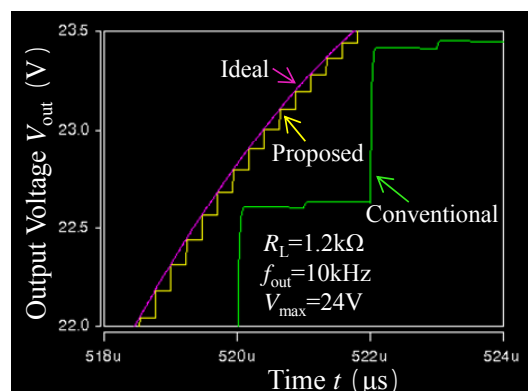


図9 定常時の出力電圧拡大波形

拡大波形を示す．両図より，従来回路と比較して出力電圧のステップ数が約 8.5 倍に増加し，より理想的な正弦波出力が得られていることが確認できる．

図 10 と図 11 にそれぞれ負荷抵抗 $R_L=1.2k\Omega$ および 8 Ω における周波数特性を示す．出力周波数 f_{out} は 100Hz から 20kHz まで変化させる． V_{out} は出力電圧の実効値で，電力変換効率 η は次式で定義される．

$$\eta = \frac{R_L \text{に供給される電力 } P_{out}}{V_{DC} \text{の供給電力 } P_{DC}} \times 100 \quad (2)$$

図 10 より $R_L=1.2k\Omega$ の場合では，両回路ともに周波数変化による出力電圧の減衰はないが，従来回路では 2kHz 付近から大きく効率 η が低下している．提案回路においては高周波での効率が維持されており，最大で 72.6%改善された．従って，平滑キャパシタを除去したことによる影響が顕著に現れていることが分かる．図 11 の $R_L=8\Omega$ の場合では，全周波数帯で特性が改善され， $f_{out}=100Hz$ において約 0.8V 高い出力で 効率 η は約 4.4%

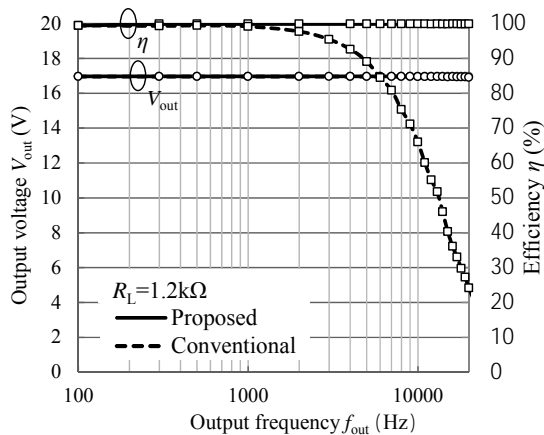


図 10 周波数-効率と出力電圧 ($R_L=1.2k\Omega$)

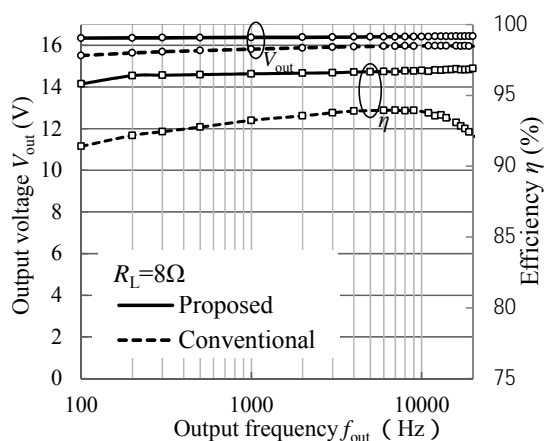


図 11 周波数-効率と出力電圧 ($R_L=8\Omega$)

改善された。これは提案回路がクロック周波数を高速化し、出力電圧リップルを減少させることができたためである。

(8) まとめ

本研究では、3相クロックで動作するデジタル選択方式SCを用いた16ビットデジタルアンプを開発した。Hspiceシミュレーションによって従来方式との比較を行い、以下の結論が得られた。(1)最高動作速度が等しいスイッチを用いた場合、クロック周波数を約8.5倍に高速化し、出力電圧のステップ数を増加できた。(2)軽負荷の場合において効率が99%以上と極めて高い周波数特性が得られた。平滑キャパシタを除去したことで高周波における効率が最大72.6%改善されることを確認した。(3) $R_L=8\Omega$ の場合、従来回路よりも最大約0.8V高い出力で、効率は約4.4%改善された。以上のことにより、提案回路の諸特性を明らかにすることができたが、市販のデジタル増幅器と性能等を比較しての製品化の妥当性を明らかにするまでは至らなかった。今後は、このことを含め、キャパシタの容量を最適配分することで、より内部損失を低減する方法等を検討する予定である。

本研究の原理は各キャパシタ電圧が2進数

の各桁の重みに比例するように充電されることを利用している。本研究を行う中で、この原理を n 進数に拡張することで、入力電圧あるいは電源電圧を J の $\pm K$ 乗倍で昇降圧できる冪乗昇降圧形 SC 電源を考案できた (J と K は整数である)。今後の研究の展開としてこの回路についても開発を行う予定である。

5. 主な発表論文等

(研究代表者, 研究分担者, および連携研究者には下線を引いている)

〔雑誌論文〕(計0件)

〔学会発表〕(計5件)

岩永友也, 寺田晋也, 江口 啓, 大田一郎, 冪乗で昇降圧できるスイッチトキャパシタ電源, 第29回回路とシステムワークショップ, 査読有り, pp. 297-300, 平成28年5月12日, 北九州国際会議場.

守田達弥, 寺田晋也, 江口啓, 大田一郎, 2相クロックで電荷配分するデジタル選択方式スイッチトキャパシタ DC-AC コンバータに関する研究, 平成27年度(第6回)電気学会九州支部高専研究講演会, 査読無し, no.A7, pp.13-14, 平成28年3月5日, 有明高等専門学校.

岩永友也, 寺田晋也, 江口 啓, 大田一郎, 3相クロックで動作するスイッチトキャパシタを用いた16ビットデジタルアンプに関する研究, 平成26年度第13回電子情報系高専フォーラム, 査読無し, no.B-1, pp.57-60, 平成27年11月14日, 熊本高専.

田尻祐貴, 寺田晋也, 江口啓, 大田一郎, 2相クロックで電荷配分できるデジタル選択方式スイッチトキャパシタを用いたデジタル電力増幅器の開発, 平成26年度第13回電子情報系高専フォーラム, 査読無し, no.A-5, pp.17-20, 平成26年11月8日, 熊本高専.

坂井健太郎, 寺田晋也, 江口啓, 大田一郎, デジタル選択方式スイッチトキャパシタ電源の等価回路を用いた動特性の解析, 電気学会電子回路研究会, 査読無し, ECT-14-004, pp.19-24, 平成26年1月23日, しいのき迎賓館.

6. 研究組織

(1) 研究代表者

大田 一郎 (OOTA, Ichirou)

熊本高等専門学校・情報通信エレクトロニクス工学科・教授

研究者番号: 60149995

(2) 研究分担者

寺田 晋也 (TERADA, Shinya)

熊本高等専門学校・制御情報システム工学科・准教授

研究者番号: 70455179