

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 17 日現在

機関番号：13501

研究種目：基盤研究(C) (一般)

研究期間：2013～2016

課題番号：25420329

研究課題名(和文)容量型センサの低消費電力・デジタル出力型信号処理システムに関する研究開発

研究課題名(英文)The study of the low-power, digital output signal processing circuits for capacitive sensors

研究代表者

小川 覚美 (OGAWA, Satomi)

山梨大学・総合研究部・准教授

研究者番号：40252168

交付決定額(研究期間全体)：(直接経費) 3,900,000円

研究成果の概要(和文)：本研究では、時間・デジタル変換器(TDC)を用いたデジタル出力型の容量型センサのCMOSインターフェイス回路を提案した。TDCは、周期が僅かに異なる2つのクロック信号の周期の差を利用して高精度の変換が可能となる。容量・デジタル変換において、11.3ビット精度が得られることをシミュレーションによって、10.3ビット精度が得られることを試作回路の測定結果によって示した。容量・時間変換の高精度、低消費電力化を図るため3つの容量・時間変換器(CTC)を提案した。構成素子の非理想的な特性を回路的に相殺することにより、分解能が12ビット程度、消費電力が数10 μ W以下となる結果が得られた。

研究成果の概要(英文)：A high-accuracy CMOS interface for differential capacitive sensors using a time-to-digital converter (TDC) is presented. The proposed TDC achieves high resolution using two clock signals of which the periods are different. The performances of the proposed CMOS interface are simulated by HSPICE using 0.18 μ m CMOS process parameters. The resolutions of 11.3 bits are achieved with calibration. The maximum nonlinear errors are smaller than plus/minus 0.55 LSB. The measured results of a prototype circuit indicate that the resolutions of 10.3 bits is achievable. To realize higher-accuracy capacitance-to-time conversion, three differential-capacitance-to-time converters (DCTC) for capacitive sensors were proposed. Simulated results have demonstrated that 12-bit resolution is achievable. The power consumption of the proposed circuits is 25.6 microwatts for 1.8 V.

The proposed circuit is suited for co-integration with MEMS-type sensors and microcontroller-based measurement system.

研究分野：電子デバイス・集積回路

キーワード：容量型センサ 容量・時間変換器 時間・デジタル変換器 スイッチドキャパシタ回路 センサ信号
処理回路 CMOSアナログ回路

1. 研究開始当初の背景

(1) 静電容量型センサは、圧力、加速度、回転角度、位置等の物理量の検知に広く使われている。近年の MEMS 技術の進歩に伴ってセンサを微小サイズで作り込むことが可能となり、容量型センサの応用分野は益々広がっている。差動容量型センサは、物理量の変化によって容量が相補的に変化する2つのキャパシタで等価的に表すことができる構造の容量型センサである。

これまでに、差動容量型センサの容量変化を電気信号に変換する信号処理回路がいくつか提案されている。近年、医療・ヘルスケア分野に代表されるように、高速・高精度だけでなく、バッテリー駆動のポータブル機器に搭載し長時間駆動できる小型・低消費電力型のセンサ信号処理システムが求められている。しかし、これまでに提案された容量型センサの信号処理回路の多くはその消費電力が mW オーダーである。バッテリー駆動のポータブル機器等へ用いるためには更に2桁から3桁以上消費電力を下げる必要がある。また、センサからの信号をデジタル信号処理する用途が増えており、デジタル出力できるセンサ信号処理回路への要求も大きい。現在のところ、デジタル出力を得るために一般的にアナログ・デジタル(A/D)変換器が用いられている。A/D変換器を用いることによって、回路規模が増加し消費電力が増える。更に、回路の応答速度も低下する。A/D変換器を用いることなくデジタル出力できる、小型・低消費電力の容量型センサの信号処理回路が求められている。

2. 研究の目的

(1) 本研究は、アナログ・デジタル(A/D)変換器を用いることなくデジタル出力でき、 μW オーダーの低消費電力、高速・高精度の差動容量型センサの信号処理システムを開発することを目的としている。本提案システムは、基本的に、差動容量型センサの2つのセンサキャパシタの容量差と容量和の比に比例した信号を出力するレシオメトリック信号処理を行う構成としている。アナログとデジタル技術を組み合わせることによって従来型よりも2桁以上高速の信号処理が期待できる。

本提案システムは、微小電気機械システム(MEMS: Micro Electro Mechanical Systems)型の容量型センサとともに CMOS 集積化が可能であり、ボタン電池で長時間のバッテリー駆動が求められるポータブル機器等、様々な分野への応用が期待される。

3. 研究の方法

(1) 本研究は、まず、従来の A/D 変換器を用いたデジタル出力型の差動容量型センサの信号処理回路の構成、信号処理速度と精度、消費電力について調査を行った。この結果に基づいて、小型・低消費電力の新しい容量・

時間変換器(CTC)を提案した。低消費電力化を考慮し、回路の構成要素を設計した。回路シミュレーションを行い、また、回路を $0.18\ \mu\text{m}$ CMOS プロセスで試作集積化し、回路の特性を評価した。また、時間を高精度にデジタルに変換する時間・デジタル変換器(TDC)の設計を行った。回路のデジタル部は、FPGA(Field Programmable Gate Array)と汎用の CMOS ゲート IC 用いて試作した。

(2) 精度の改善を図るため CTC の3つの新しい構成を提案した。回路シミュレーションと試作集積化により、回路の特性を評価した。本研究で提案された回路の特性を総合的に比較・評価した。

4. 研究成果

(1) 容量・時間変換器(CTC)、時間・デジタル変換器(TDC)を用いたデジタル出力型の差動容量型センサの CMOS インターフェイス回路を提案した。

提案回路のブロック図を図1に示す。

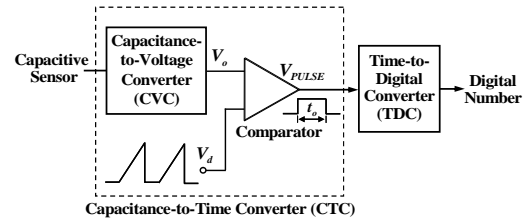


図1. A block diagram of the proposed CMOS interface for differential capacitive sensors.

容量・電圧変換器(CVC)を含む CTC によってセンサの容量差がパルス幅 t_o に変換される。TDC によって t_o がデジタル値に変換される。

図2に CTC の回路図とタイミング図を示す。

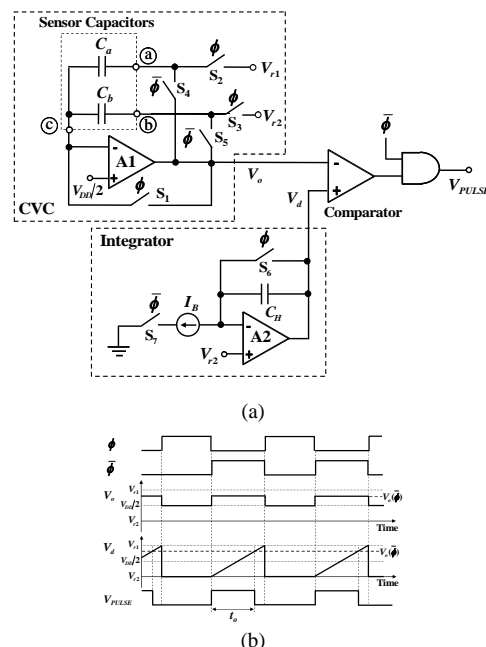


図2. (a) The schematic and (b) the timing diagram of the CTC.

図2の回路によって、差動容量型センサの容量 C_a と C_b の容量差が電圧 V_{PULSE} のパルス幅として時間 t_o

$$t_o = \left(\frac{C_a - C_b}{C_a + C_b} + 1 \right) \frac{C_H V_r}{I_B} \quad (1)$$

に変換される。TDCは、図3に示すように t_o をクロック信号 CLK_M でパルス幅をカウントすることによってデジタル値に変換する。

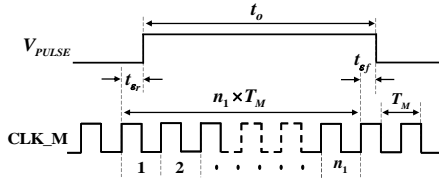


図3. The timing diagram of a Basic TDC.

t_o の立ち上がり時と立ち下がり時に生じる変換誤差 t_{er} 、 t_{ef} は、CLK_Mに加えて、CLK_Mよりもわずかに周期の短いクロック信号 CLK_S を用いることによって低減できる。これによって時間・デジタル変換の分解能は両クロックの周期差となる。クロック信号 CLK_M の周期を T_M 、クロック信号 CLK_S の周期を T_S とすると、次式のように、まず、 t_o はデジタル値 n_1 に変換される。

$$t_o = n_1 \times T_M - t_{er} + t_{ef} \quad (2)$$

t_{er} 、 t_{ef} はそれぞれ次式で示されるように、デジタル値 n_2 、 n_3 に変換される。

$$t_{er} = n_2 \times (T_M - T_S) \quad (3)$$

$$t_{ef} = n_3 \times (T_M - T_S) \quad (4)$$

図4に0.18 μm CMOS プロセスパラメータを用いた場合のCTCのHSPICEシミュレーション結果を示す。

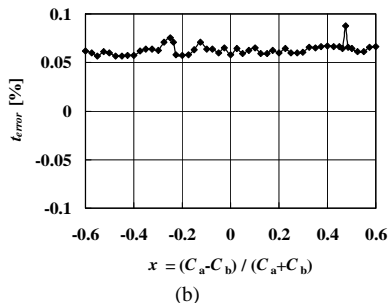
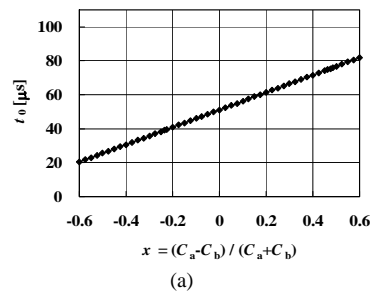


図4. (a) Simulated performance of the proposed CTC: (a) The time interval, t_o and (b) the deviation from the ideal value.

図4は、フルスケール $t_o=102.4 \mu\text{s}$ に対してオフセット誤差が0.6%、非直線性誤差が0.022%となることを示している。図5に、CTCとTDCを含む図1の回路の容量・デジタル変換特性のシミュレーション結果を示す。

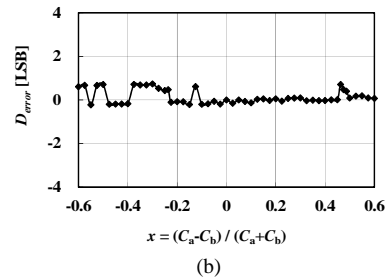
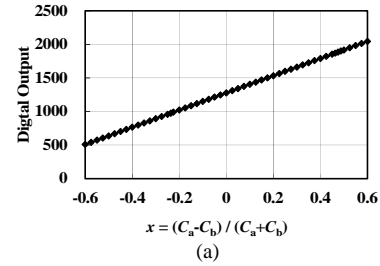


図5. Simulated performance of the proposed CMOS interface: (a) The digital output and (b) the deviation from the ideal value.

シミュレーションによって、2つのクロック信号によって $8+3.3=11.3$ ビット精度が得られることを示した。微分非直線性誤差は ± 0.55 LSB (1 LSB = $T_M - T_S = 0.04 \mu\text{s}$) である。

(2) 高精度のスイッチドキャパシタ差動容量・時間変換器(DCTC)を提案した。

図6にDCTCの回路図とタイミング図を示す。

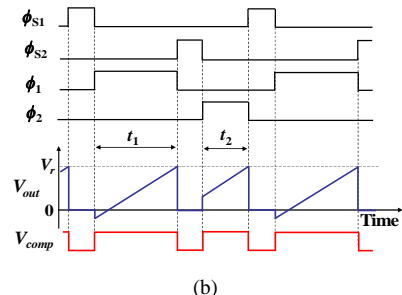
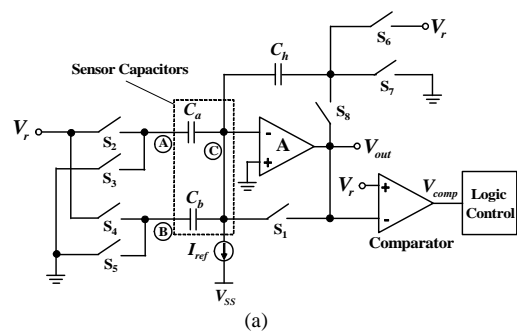


図6. (a) The schematics of the DCTC. (b) The timing diagram of clock signals.

この回路によって、次式に示すように、 $C_a - C_b$ 、 $C_a + C_b$ に比例した時間 t_1 、 t_2 が出力される。ただし、 C_h はホールドキャパシタである。

$$t_1 = \frac{(C_a - C_b) + C_h V_r}{I_{ref}} \quad (5)$$

$$t_2 = \frac{C_a + C_b}{I_{ref}} V_r \quad (6)$$

デジタル的に t_1 、 t_2 の比をとることによって出力 N は次式のようになる。

$$N = \frac{t_1}{t_2} = \frac{C_a - C_b}{C_a + C_b} + \frac{C_h}{C_a + C_b} \quad (7)$$

図7に0.18 μm CMOS プロセスパラメータを用いた場合のDCTCのHSPICEシミュレーション結果を示す。

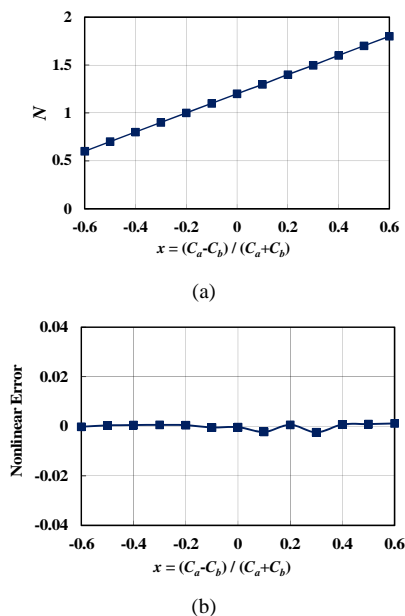


図7. Simulated performance of the proposed DCTC: The output N (a) and the nonlinear error (b) as a function of capacitance difference-to-sum ratio.

図7は、フルスケール(FS)に対し、利得誤差が0.02%、オフセット誤差が0.02%、非直線性誤差が0.18%となることを示している。試作したDCTCに対する測定結果からフルスケール(FS)に対し、利得誤差が0.16%、オフセット誤差が0.095%、非直線性誤差が1.39%となることを示した。回路の消費電力は ± 0.9 Vの電源電圧に対して500 μW である。

(3) 高精度、低消費電力の容量・時間変換器(CTC)を提案した。

図8にCTCの回路図とタイミング図を示す。この回路は構成素子の非理想的な特性を回路的に相殺することができる。 C_a 、 C_b に比例した時間 t_1 、 t_2 が出力され、出力 N は次式のようになる。

$$N = \frac{t_1 - t_2}{t_1 + t_2} = \frac{C_a - C_b}{C_a + C_b} \quad (8)$$

0.18 μm CMOS プロセスパラメータを用いたHSPICEシミュレーションによって、利得誤差が0.0087%、オフセット誤差が0.00016%、非直線性誤差が0.027%となることを示した。回路の消費電力は1.8 Vの電源電圧に対して25.6 μW である。

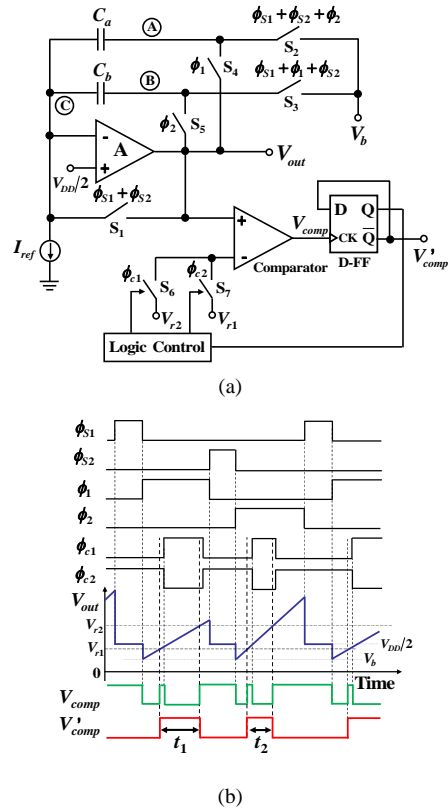


図8. (a) The schematics of the C/T converter. (b) The timing diagram of clock signals.

容量をデジタル値に変換する回路に関する研究は、主に国外で行われており、様々な研究成果が報告されている。その成果の多くが単一容量・デジタル変換器についてである。本研究は、差動容量・デジタル変換器についての研究成果である。提案回路において、変換時間が110 μs 、11.3ビットの分解能が得られることを示された。時間・デジタル変換回路を含まない容量・時間変換回路部分の直線性は12ビット程度であり、消費電力は1.8 Vの電源電圧に対して25.6 μW となった。

また、当初、時間・デジタル変換器は、FPGAを用いて実現するつもりであった。しかし、回路合成によって回路の遅延時間が僅かに変化し、時間・デジタル変換動作に影響を与えることから、本研究では時間・デジタル変換器を汎用のCMOSゲートICを用いて試作した。

本研究による提案回路は、微小電気機械システム(MEMS: Micro Electro Mechanical

Systems) 型の容量型センサとともに CMOS 集積化が可能であり、ボタン電池で長時間のバッテリー駆動が求められるポータブル機器等、様々な分野への応用が期待される。

今後は差動容量型センサの利点を活かし、容量型センサの高精度の信号処理が求められる応用分野に対し、実用化に向けた研究を進める予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 3 件)

S. Ogawa, “A Low-Power, High-Accuracy Capacitance-to-Time Converter for Differential Capacitive Sensors,” Proceedings of the IEEE IEEE 8th Latin American Symposium on Circuits and Systems, 査読有, pp. 2017, 13-16.

M. Nagai and S. Ogawa, “A High-Accuracy Differential-Capacitance-to-Time Converter for Capacitive Sensors,” Proceedings of the IEEE 58th International Midwest Symposium on Circuits and Systems, 査読有, 2015, pp. 1-4.
DOI: 10.1109/MWSCAS.2015.7282200.

S. Ogawa, “A CMOS Interface for Differential Capacitive Sensors Using a Time-to-Digital Converter,” Proceedings of the IEEE 57th International Midwest Symposium on Circuits and Systems, 査読有, 2014, pp. 945-948.
DOI: 1109/MWSCAS.2014.6908572.

[学会発表](計 7 件)

シュレスタ ソミ, 小川 覚美, 佐藤 隆英, “差動容量型センサの信号処理回路の精度改善,” 平成 29 年電気学会全国大会, 講演論文集 3-031, 第 3 分冊 p.44, March 17, 2017 (富山大学・五福キャンパス).

棚田 康介, 小川 覚美, 佐藤 隆英, “荷重測定用の容量型センサの試作及び評価と信号処理回路の開発,” 平成 29 年電気学会全国大会, 講演論文集 3-021, 第 3 分冊 p.29-30, March 17, 2017 (富山大学・五福キャンパス).

小川 覚美, “C/T 変換を用いた高精度容量型センサ・インターフェイス,” 平成 28 年電気学会全国大会, 講演論文集 3-012, 第 3 分冊 p.15, March 18, 2016 (東北大学・川内キャンパス).

永井 正成, 小川 覚美, “C/T 変換を用い

た容量型センサ CMOS インターフェイスの高精度化に関する検討,” 平成 27 年電気学会全国大会, 講演論文集 3-017, p.18, March 26, 2015 (東京都市大学・世田谷キャンパス).

永井 正成, 小川 覚美, “C/T 変換を用いた容量型センサ CMOS インターフェイスの高精度化,” 第 21 回電気学会東京支部沼津・山梨支所研究発表会, 予稿集 NY.21-01, pp. 4-7, Nov. 21, 2014 (東芝キャリア(株)).

小川 覚美, 永井 正成, “C/T 変換を用いた容量型センサ CMOS インターフェイス,” 平成 26 年電気学会電子・情報・システム部門大会, 講演論文集 GS5-5, pp. 1550-1553, Sept. 4, 2014 (島根大学・松江キャンパス).

石原 拓馬, 橋場 智之, 小川 覚美, “時間・デジタル変換器とそのセンサ信号処理への応用,” 平成 25 年度電気関係学会東海支部連合大会, 講演論文集 G5-6, Sept. 24, 2013 (静岡大学).

[その他]

ホームページ等

<http://nerdb-re.yamanashi.ac.jp/Profiles/339/0033858/profile.html>

<http://www.scrs.yamanashi.ac.jp/wp-content/uploads/2015/10/ogawa.pdf>

6. 研究組織

(1) 研究代表者

小川 覚美 (OGAWA, Satomi)

山梨大学・大学院総合研究部・准教授

研究者番号: 4 0 2 5 2 1 6 8

(2) 研究協力者

佐藤 隆英 (SATO Takahide)

横手 裕治 (YOKOTE, Hiroji)