

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 24 日現在

機関番号：31302

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25420339

研究課題名(和文) 四端子駆動自己整合ダブルゲート多結晶Si-TFTによる革新的フレキシブルデバイス

研究課題名(英文) Self-Aligned Four-Terminal Low-Temperature Poly-Si TFTs on Glass Substrate

研究代表者

原 明人(Hara, Akito)

東北学院大学・工学部・教授

研究者番号：20417398

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：独自の連続波レーザ結晶化技術(CLC)と四端子(4T)多結晶シリコン(poly-Si)薄膜トランジスタ(TFT)技術を融合させ、自己整合平面型4Tメタルダブルゲート(MeDG) CLC低温poly-Si TFTを550℃プロセスでガラス基板上に実現した。このTFTは、MOSFETのしきい値電圧の制御性とほぼ同じ性能を示す。この優れた特性を利用してE/Dインバータを作製し、2.0(V)動作を実現した。さらに、代表者はp-chについても自己整合平面型4T MeDG CLC 低温poly-Si TFTを開発し、高いしきい値電圧の制御性を実現した。

研究成果の概要(英文)：In the current study, the fabrication of low temperature (LT) polycrystalline-silicon (poly-Si) thin-film transistor (TFT) was achieved using continuous-wave laser lateral crystallization (CLC). In order to control the V_{th} of the LT poly-Si TFTs, we fabricated self-aligned four-terminal (4T) LT poly-Si TFTs using high-quality CLC poly-Si film. The self-aligned 4T CLC LT poly-Si TFTs showed excellent V_{th} controllability. The variation of the V_{th} of the drive gate TFT, with respect to small variation in the control gate voltage, was found to closely match the theoretically predicted values of the top and bottom gate drives for both n- and p-ch TFTs. By exploiting the high controllability of the 4T TFTs, an E/D inverter was fabricated and successfully operated at 2.0 V.

研究分野：半導体工学

キーワード：薄膜トランジスタ poly-Si poly-Ge ダブルゲート 四端子 ガラス

1. 研究開始当初の背景

研究代表者は、システムオンガラスを実現するため、強い独自性を有する自己整合メタルダブルゲート低温(LT)多結晶シリコン(poly-Si)薄膜トランジスタ(TFT)をガラス基板上で開発していた。まず、ガラス上に poly-Si 薄膜を成長する際に、半導体励起固体(DPSS)連続波(CW)レーザーを使った代表者の独自開発である連続波レーザーラテラル結晶化(CLC)技術を利用して、大粒径ラテラル poly-Si 薄膜を成長する技術を確立した。さらに、TFT 構造として、上下にメタルゲート電極を有する独自のメタルダブルゲートを採用し、さらに背面露光による自己整合プロセスを用いて上下のメタルゲートを形成している。この独自技術を利用して鋭い立ち上がり特性と $600 \text{ cm}^2/\text{Vs}$ という高い(見かけ上の)移動度を実現している。従来の LT poly-Si TFT の動作電圧が 10 V 、移動度 $100 \text{ cm}^2/\text{Vs}$ に対して、本 TFT は 5.0 V 以下で動作が可能であり、ガラス上に高速・低消費電力回路の実現を可能にするものである。この性能は世界トップレベルを有していた。

しかし、更にデバイス性能を向上させるためには、この TFT は問題点を抱えていた。ボトムメタルゲートが凸構造を有するため、チャンネル Si 層やゲート SiO_2 を薄くできない。この点を解決するために、ボトムメタルゲートを基板に埋め込んだダマシン(埋め込み)型自己整合メタルダブルゲート LT poly-Si TFT を 550 プロセスで実現した。その結果、高い(見かけ上の)移動度 $530 \text{ cm}^2/\text{Vs}$ と小さい s 値 $140 \text{ mV}/\text{dec}$ を有し、 $V_{\text{dd}}=3.0 \text{ V}$ で動作可能であるレベルを実現した。

更に研究代表者は、早期から透明フレキシブルガラスに注目し、2003 年には移動度 $300 \text{ cm}^2/\text{Vs}$ を有する LT poly-Si TFT を実現し、この基板の有効性を示す先駆的な研究を行った。透明フレキシブルガラスは、低コスト・柔軟性・表面平坦性・熱耐久性・耐薬品性・透明性を有し、標準的なフォトリソグラフィに加えて、ロール・ツー・ロールプロセスが使えるなど、多くの利点を備えている。さらに、2012 年には透明フレキシブルガラス上で $V_{\text{dd}}=3.0 \text{ V}$ において電圧利得 33、論理しきい値 1.65 V を有する LT poly-Si CMOS インバータを実現することに成功した。

近年、次世代 ICT 技術としてフレキシブルエレクトロニクスが注目され、研究代表者もこの技術に注目しているが、先に述べた研究代表者の研究は、フレキシブルエレクトロニクスの要素技術として十分利用できると思った。しかし、問題点もある。フレキシブルエレクトロニクスはモバイル機器に使われるため、フレキシブル性に加え、低消費電力と高速動作を満足する必要がある。

2. 研究の目的

この問題点は、自己整合メタルダブルゲ

ート LT poly-Si TFT の上下の 2 つのゲートを独立させ、四端子(4T)駆動にすることで解決できるとのアイデアに到達した。先端微細 MOSFET では、低消費電力化のため、4T 駆動による閾値制御の技術が注目され、活発に研究されている。研究代表者が開発した自己整合メタルダブルゲート LT poly-Si TFT は高い移動度と小さい s 値を有し、非常に高性能であるが、加えて閾値制御が可能になれば、低消費電力 TFT をガラス上で実現することが可能になる。

このような独自技術を融合させた、大粒径 poly-Si 薄膜をチャンネルに利用したガラス基板上の 4T 自己整合メタルダブルゲート LT poly-Si TFT は過去に例が無い。即ち、世界初の TFT を形成することが本研究の目的である。本 TFT は上下非対称構造のダブルゲートを形成することが容易である。ボトムゲート SiO_2 の厚さやボトムメタルゲートの材料(仕事関数)を変えることによりボトムゲートの制御性をデザインできるというフレキシブル性も有することが大きな特徴である。

3. 研究の方法

CLC 技術を利用した大粒径ラテラル poly-Si 薄膜を利用するが、この結晶成長技術は研究代表者が開発した技術であり、論文および特許(米国と日本)を有する。同時に自己整合メタルダブルゲート LT poly-Si TFT は研究代表者が世界で初めて実現した技術であり、論文と特許(米国)あるいは特許公開(日本)を有する。また、研究代表者は早期に透明フレキシブルガラスに注目し、本基板上に移動度 $300 \text{ cm}^2/\text{Vs}$ を有するトップゲート LT poly-Si TFT を実現し、 3.0 V で動作する CMOS インバータを実現するなど先駆的な研究を行っている。以上のように、本研究は研究代表者の独自技術で構成され、他機関では真似のできない独創性の高い研究である。

4. 研究成果

(1) 四端子自己整合メタルダブルゲート LT poly-Si TFT の開発及び制御性

報告者は、CLC 技術をガラス上の LT poly-Si TFT に応用することにより、移動度 $300 \text{ cm}^2/\text{Vs}$ を再現性良く実現している。さらに、ガラス上 TFT の付加価値を高めるために、四端子(4T)化に注目し、本研究を推進した。コントロールゲート電圧(V_{CG})により、閾値電圧(V_{th})の制御が可能なることから、4T TFT は次世代 TFT として期待される。そこで、CLC 技術と 4T 技術を融合させ、自己整合平面型 4T 埋め込み型メタルダブルゲート(E-MeDG) CLC LT poly-Si TFT を 550 プロセスでガラス基板上に実現した。ここで埋め込み型とは、ボトムメタルゲート(BG)が CMP によりガラスの中に埋め込まれている構造を示している。

トップ/ボトムのゲート SiO_2 膜はそれぞれ $75 \text{ nm}/150 \text{ nm}$ 、 $50 \text{ nm}/100 \text{ nm}$ または $50 \text{ nm}/150$

nm で形成した。ここではトップ/ボトムゲート SiO₂ 膜が 75 nm/150 nm の TFT を例に報告する。

図 1 (a) は、異なる BG コントロール電圧におけるトップゲート(TG)ドライブの n-ch 4T E-MeDG CLC LT poly-Si TFT のトランスファ特性である。TG 電圧は-4.0 V から 4.0 V まで動作させ、BG コントロール電圧は-3.0 V から 3.0 V まで 0.5 V 間隔で変化させている。図 1 (b) は異なる TG コントロール電圧における BG ドライブのトランスファ特性である。BG 電圧は-4.0 V から 4.0 V まで動作させ、TG コントロール電圧は-3.0 V から 3.0 V まで 0.5 V 間隔で変化させている。図 1 (a) および (b) とともに、コントロールゲート電圧 (V_{CG}) の減少に伴って V_{th} が正側にシフトしている。図における太線は上下のゲートを連結させたダブルゲート (DG) 動作でのトランスファ特性である。

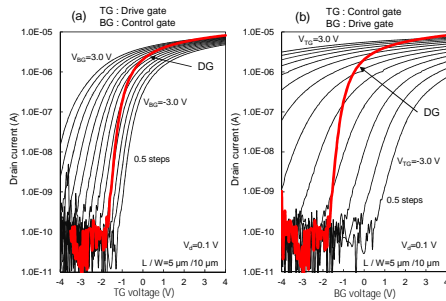


図 1. N-ch 4T E-MeDG 低温 poly-Si TFT の特性

(a) トップゲートドライブ (b) ボトムゲートドライブ

図 2 (a) は、異なる BG コントロール電圧における TG ドライブの p-ch 4T E-MeDG CLC LT poly-Si TFT のトランスファ特性である。TG 電圧は 0.0 V から -8.0 V まで動作させ、BG コントロール電圧は 0.0 V から -6.0 V まで 0.5 V 間隔で変化させている。図 2 (b) は異なる TG コントロール電圧における BG ドライブのトランスファ特性である。BG 電圧は 0.0 V から -8.0 V まで動作させていて、TG コントロール電圧は -1.0 V から -6.0 V まで 0.5 V 間隔で変化させている。図 2 (a) および (b) とともに、V_{CG} の減少に伴って V_{th} が正側にシフトしている。図における太線は DG 動作でのトランスファ特性である。

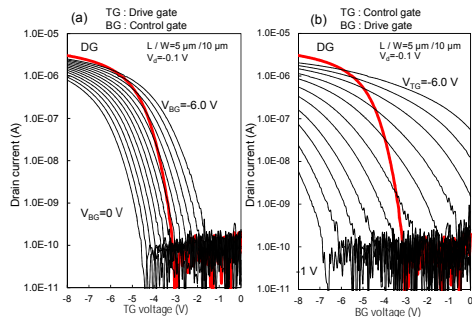


図 2. P-ch 4T E-MeDG 低温 poly-Si TFT の特性 (a)

トップゲートドライブ (b) ボトムゲートドライブ

図 3 (a) および (b) は、n-ch および p-ch の 4T E-MeDG CLC LT poly-Si TFT の V_{CG} による V_{th} の変化を示したものである。TG 動作を黒丸、BG 動作を白丸で示している。図中の直線の傾きの大きさを表している。ここで、V_{th} は TFT の閾値の変化であり、V_{CG} はコントロールゲート電圧の微小変化である。括弧内の値については後で述べる。

図 4 (a) および (b) は、n-ch および p-ch の 4T E-MeDG CLC LT poly-Si TFT の異なる V_{CG} におけるサブスレッショルドスロープ (S.S.) の値を示したものである。TG 動作を黒丸、BG 動作を白丸で示している。TG ドライブにおける S.S. が BG ドライブのものよりも小さいのは、ゲート SiO₂ の膜厚が BG よりも TG のほうが薄いからである。図 4 (a) の n-ch TFT において、S.S. は V_{CG} の減少に伴って減少している。図 4 (b) の p-ch TFT において、S.S. は V_{CG} の増大に伴って減少している。

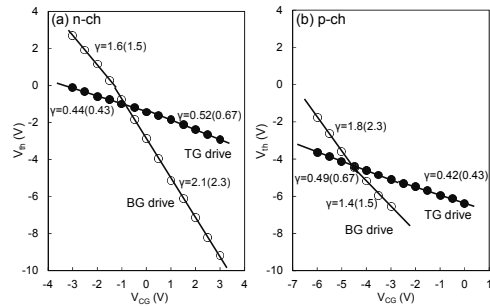


図 3. V_{th} の V_{CG} 電圧依存性 (a) n-ch (b) p-ch

表I. Comparison of γ values for n-ch TFT. $V_{thDG} = -0.95$ V.

	TG drive (BG control)		BG drive (TG control)	
	$V_{BG} < V_{thDG}$	$V_{BG} > V_{thDG}$	$V_{TG} < V_{thDG}$	$V_{TG} > V_{thDG}$
Theory	0.43	0.67	1.5	2.3
Experiment	0.44	0.52	1.6	2.1

表II. Comparison of γ values for p-ch TFT. $V_{thDG} = -4.4$ V.

	TG drive (BG control)		BG drive (TG control)	
	$V_{BG} < V_{thDG}$	$V_{BG} > V_{thDG}$	$V_{TG} < V_{thDG}$	$V_{TG} > V_{thDG}$
Theory	0.67	0.43	2.3	1.5
Experiment	0.49	0.42	1.8	1.4

図 5 (a) および (b) は、n-ch および p-ch の 4T E-MeDG CLC LT poly-Si TFT の異なる V_{CG} における電界効果移動度を示したものである。TG 動作を黒丸、BG 動作を白丸で示している。この移動度は最大値によって規格化されている。図 5 (a) の n-ch TFT の TG ドライブと BG ドライブにおける最大の移動度は、それぞれ 165 と 143 cm²/Vs であり、正と負の V_{CG} において移動度が減少している。図 5 (b) の p-ch TFT の TG ドライブと BG ドライブにおける最大の移動度は、それぞれ 68 と 74 cm²/Vs であり、n-ch TFT の右半分の部分

分と似た傾向を示している。

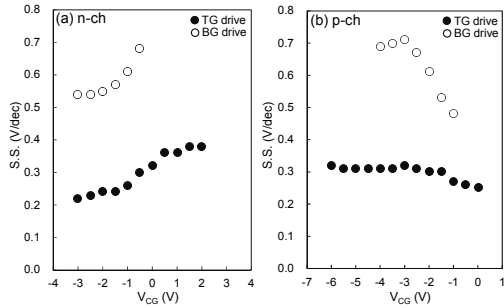


図4 . S.S.の V_{CG} 電圧依存性 (a) n-ch (b) p-ch

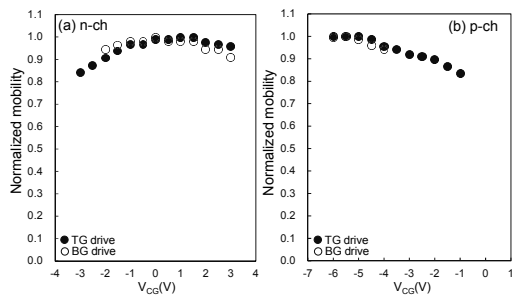


図5 . 移動度の V_{CG} 電圧依存性 (a) n-ch (b) p-ch

4T E-MeDG CLC LT poly-Si TFT の応用として、n-ch TFT を用いて E/D インバータを作製し、その性能を評価した。TG ドライブで動作する E/D インバータを動作させるため、二つの n-ch TFT を図6 (a) のように接続した。 V_{CG} が 0 V におけるディプリッション型 TFT を負荷 TFT として用い、 V_{CG} 制御下におけるエンハンスメント型 TFT をドライブ TFT として用いている。

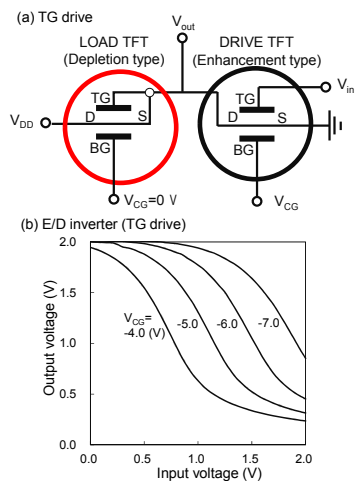


図6 . TG ドライブを利用した E/D インバータ (a)

回路図 (b)インバータ特性の V_{CG} 依存性

図6 (b) は異なる BG コントロール電圧における 2.0 V での TG ドライブ E/D インバータの特性である。BG コントロール電圧が -4.0 V 以下で良好な特性を示している。

図3 (a) および (b) における括弧内の値は、Masahara et al.らのモデルを用いて計算されたの理論値である。表 および表に、n-ch TFT および p-ch TFT のの理論値と実験値の比較を示す。の実験値は理論値に近いものが得られており、コントロールゲートによる高い V_{th} 制御性が確認された。このことは、CLC poly-Si と PECVD-SiO₂ の品質が良好であり、欠陥の少ない SiO₂/poly-Si 界面が形成されていることを示していると考えられる。

V_{CG} による S.S. の変化の傾向は、チャンネル層が形成される位置の変化によって説明できる。N-ch TFT において、負の V_{CG} はドライブゲート側の SiO₂/poly-Si 界面に電子を誘起し、正の V_{CG} はコントロールゲート側の SiO₂/poly-Si 界面に電子を誘起する。したがって、後者よりも前者の場合の方がドライブゲート電圧は表面ポテンシャルに強い影響を与える。P-ch TFT において、負の V_{CG} はコントロールゲート側の SiO₂/poly-Si 界面に正孔を誘起し、正の V_{CG} はドライブゲート側の SiO₂/poly-Si 界面に正孔を誘起する。したがって、前者よりも後者の場合の方がドライブゲート電圧は表面ポテンシャルに強い影響を与える。

V_{CG} による電界効果移動度の変化は、界面における垂直電界の変化に起因している。N-ch TFT において負の V_{CG} はドライブゲート側の界面での散乱を増加させ、正の V_{CG} はコントロールゲート側の界面での散乱を増加させる。したがって、移動度は正と負の両方の V_{CG} において減少する。P-ch TFT において移動度のピークは V_{CG} が -6.0 V の時であり、 V_{CG} の増大はドライブゲート側の界面での散乱を増加させ、移動度が減少している。 V_{CG} が -6.0 V 以下での移動度の変化については確認できていないが、 V_{CG} が -6.0 V 以下で移動度は減少することが予測できる。

TG ドライブ E/D インバータが 2.0 V での動作が可能なのは、TG ドライブ TFT の S.S. が小さいためである。

(2) pH センサへ応用

我々は、この 4T E-MeDG CLC LT poly-Si TFT を Extended Gate FET (EGFET) として用いた pH センサの応用検討も行った。

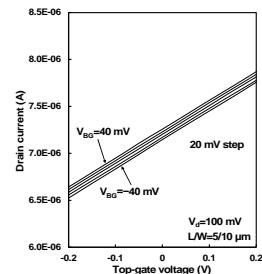


図7 . TG ドライブの V_{CG} 依存性。 V_{CG} を 20 mV ステップで測定。

4T E-MeDG CLC LT poly-Si TFT のコントロールゲート電圧に対する分解能を確認するために、BG に 20 mV 間隔の定電圧を加えて TG ドライブのトランスファ特性を測定した。その結果を図 7 に示す。BG 電圧(V_{BG})の減少に伴って V_{th} が正方向にシフトしていることが確認できる。また、 V_{BG} を 20 mV 間隔で変化した各特性は十分に識別可能であり、4T E-MeDG CLC LT poly-Si TFT は pH センサとして応用可能な分解能を有すると考えられる。

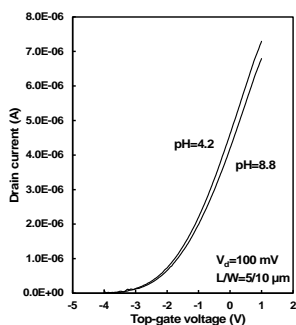


図 8 . pH を変化した場合のトランスファ特性、ボトムゲートを pH 溶液に接続して測定。

図 8 は、pH=8.8 と pH=4.2 の緩衝液に対して TG ドライブで測定したトランスファ特性である。ボトムゲートはガラス電極に接続されている。pH=8.8 における特性は pH=4.2 における特性に対して正方向にシフトしている。

ガラス電極に生じる電位は pH の増加に伴って減少するので、pH 変化による V_{th} シフトの方向は図 1 の傾向に一致している。また、線形近似により pH=8.8 において $V_{th}=-1.55$ V、pH=4.2 において $V_{th}=-1.65$ V が得られた。よって、ガラス電極を用いたときの 4T E-MeDG CLC LT poly-Si TFT の pH 感度は、 $|V_{th}/pH|=21.7$ mV/pH と算出された。TFT の値 ($=|V_{th}/V_{BG}|$) の理論値は $=0.43$ であり、ガラス電極の pH 感度は 59.2 mV/pH であるので、TFT の pH 感度の理論値は 25.5 mV/pH である。実験により得られた pH 感度は理論値に近いものである。

以上の結果から、4T E-MeDG CLC LT poly-Si TFT が pH センサとして機能していることが確認できる。

(3) 自己整合メタルダブルゲート低温(LT)多結晶ゲルマニウム(poly-Ge) TFT の開発

正孔に関しては、Si ($\mu=500$ cm²/Vs) よりも Ge ($\mu=1800$ cm²/Vs) の方が圧倒的に優れている。研究代表者は、poly-Si TFT の技術を用いて poly-Ge TFT に応用し、世界ではじめて、上下のメタルゲートの合わせに自己整合技術を利用したガラス上の自己整合平面型メタルダブルゲート(MeDG) LT poly-Ge TFT を開発した。本研究で開発した簡単なプロセスを用いることでオンオフ比 100 を越える LT poly-Ge TFT を実現することに成功した。現

状では、この poly-Ge TFT に利用されている poly-Ge 薄膜は固相成長によって形成された非常に品質が悪いものであるが、今後、poly-Ge 薄膜の高品質化と TFT の四端子化により、高いオンオフ比と V_{th} 制御性の実現が期待される。

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計9件)

Hiroki Ohsawa, Shun Sasaki, Akito Hara, Controllability of self-aligned four-terminal planar embedded metal double-gate low-temperature polycrystalline-silicon thin-film transistors on a glass substrate, 査読有, Jpn. J. Appl. Phys. 55 (2016) 03CC01.

DOI:10.7567/JJAP.55.03CC01

Akito Hara, Teruyoshi Awano, Mechanism of formation of ultrashallow thermal donors in carbon-doped oxygen-rich monocrystalline silicon preannealed to introduce hydrogen, 査読有, Jpn. J. Appl. Phys. 54 (2015) 101302.

DOI: 10.7567/JJAP.54.101302

【Invited】Akito Hara, Tatsuya Meguro, Shun Sasaki, Hiroki Ohsawa, High-Performance Top-Gate and Double-Gate Low-Temperature Polycrystalline-Silicon Thin-Film Transistors Fabricated Using Continuous-Wave-Laser Lateral Crystallization on a Glass Substrate, 査読有, ECS Transactions 67 (2015) 79.

DOI:10.1149/06701.0079ecst

Y. Nishimura, S. Nibe, A. Hara, Low-temperature metal double-gate junctionless p-channel polycrystalline-germanium thin-film transistors with high-k gate dielectric on glass substrate, 査読有, The 22nd Int. Workshop on AM-FPD (2015) 227.

DOI: 10.1109/AM-FPD.2015.7173250

H. Ohsawa, S. Sasaki, A. Hara, Controllability of self-aligned four-terminal planar embedded metal double-gate low-temperature polycrystalline-silicon thin-film transistors on glass substrate, 査読有, The 22nd Int. Workshop on AM-FPD (2015) 253.

DOI: 10.1109/AM-FPD.2015.7173258

Kuninori Kitahara, Kazuya Shibutani, Yasunori Okabe, Tatsuya Meguro, Akito Hara, Highly oriented lateral growth of SiGe thin films on glass induced by constitutional undercooling, 査読有, Jpn. J. Appl. Phys. 54 (2015) 021302.

DOI:10.7567/JJAP.54.021302

【Invited Paper】Akito HARA, Shinya KAMO, Tadashi SATO, Self-Aligned Four-Terminal Planar Metal Double-Gate Low-Temperature Polycrystalline-Silicon Thin-Film Transistors for System-on-Glass, 査読有, IEICE TRANS. on Electronics E97-C (2014) 1048.

DOI: 10.1587/transele.E97.C.1048

Akito Hara, Keisuke Goto, Kuninori Kitahara, Crack Propagation in Nonalkaline Glass Activated by Laser-Crystallized Polycrystalline Silicon Films, THE 21th Int. Workshop on AM-FPD (2014) 265.

DOI:10.1109/AM-FPD.2014.6867190

【Student Paper Award】 Shun Sasaki, Hiroyuki Ogata, Akito Hara, Self-Aligned Planar Metal Double-Gate Low Temperature Polycrystalline Silicon Thin-Film Transistors on Glass Substrate, The Proc. of The 20th Int. Workshop on AM-FPD (2013) 251.

〔学会発表〕(招待講演 7 件のみ記載、全体 39 件)

〔招待講演〕 A. Hara, T. Meguro, Y. Nishimura, S. Nibe, H. Ohsawa, Prospect of Low Temperature Poly-Si, Poly-SiGe, Poly-Ge TFTs on Glass Substrate, The 22nd International Display Workshops (2015 年 12 月) p.260、滋賀県大津プリンスホテル.

〔招待講演〕 原明人、レーザーアニールにより形成した多結晶シリコン薄膜を用いた薄膜トランジスタの高性能化・高機能化、日本表面科学会中部支部研究会「レーザによる材料改質加工の最前線」(2015 年 11 月) 静岡県静岡大学.

〔招待講演〕 A. Hara, T. Meguro, High Performance Sputtered High-k CLC LTPS TFTs on Glass Substrate, The 15th International Meeting of Information Display, 22-2 (2015 年 7 月)、韓国大邱.

〔依頼講演〕 原明人、Si 中の不純物複合体ドナー、(独)日本学術振興会「結晶加工と評価技術」第 145 委員会 第 143 回研究資料、東京都主婦会館

〔招待講演〕 A. Hara, T. Meguro, S. Sasaki, H. Ohsawa, High Performance Top Gate and Double Gate CLC LT Poly-Si TFTs on Glass Substrate, Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors V (2015 年 6 月) USA.

〔招待講演〕 A. Hara, High-Performance CLC LT Poly-Si TFTs on Glass Substrate, The 14th International Meeting on Information Display, 38-2 (2014 年 8 月) 韓国大邱.

〔招待講演〕 原明人、加茂慎哉、佐々木駿、目黒達也、佐藤旦、北原邦紀、大粒径薄膜 poly-Si を利用したガラス上低温 poly-Si TFT の高性能化、IEICE Technical Report Vol.114, No.1, SDM2014-10, OME2014-10 (2014 年 4 月) p.39、沖縄.

〔図書〕(計 1 件)

“電子スピン共鳴” シリコン結晶技術 Silicon Crystal Technology 5.3.4 (日本学術振興会第 145 委員会、2015 年) pp.391-395.

〔産業財産権〕

出願状況 (計 2 件)

名称：半導体バイオセンサ装置

発明者：原明人

権利者：東北学院大学

種類：特許

番号：特願 2014-241584

出願年月日：2014 年 11 月 28 日出願

国内外の別：国内

名称：半導体評価方法

発明者：原明人、淡野照義

権利者：東北学院大学

種類：特許

番号：特願 2015-167020

出願年月日：2014 年 8 月 26 日出願

国内外の別：国内

取得状況 (計 1 件)

名称：半導体装置

発明者：原明人

権利者：東北学院大学

種類：特許

番号：特許第 5648252 号

取得年月日：2015 年 01 月 07 日発行

国内外の別：国内名称：

〔その他〕

ホームページ等

<http://www.tohoku-gakuin.ac.jp/faculty/engineering/apph/staff/hara.html>

6. 研究組織

(1) 研究代表者

原 明人 (Hara Akito)

東北学院大学 工学部 教授

研究者番号：20417398

(3) 連携研究者

北原 邦紀 (Kitahara Kuninori)

島根大学 総理工工学部 教授

研究者番号：60304250

平成 26 年度より名誉教授

連携研究者

菅原 文彦 (Sugawara Fumihiko)

東北学院大学 工学部 准教授

研究者番号：70171139

連携研究者

鈴木 仁志 (Suzuki Hitoshi)

東北学院大学 工学部 准教授

研究者番号：70351319