

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 15 日現在

機関番号：32678

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25420345

研究課題名(和文) 微分子量化器を用いた混載信号処理LSIの低消費電力化に関する研究

研究課題名(英文) Research on low power mixed signal LSI with novel quantizer

研究代表者

傘 昊 (SAN, HAO)

東京都市大学・知識工学部・准教授

研究者番号：30400774

交付決定額(研究期間全体)：(直接経費) 3,900,000円

研究成果の概要(和文)：微細CMOSを用いる混載信号処理用LSI低消費電力化技術を開発し、高精度アナログ・デジタル変換器(ADC)回路を低消費電力実現するために、ダイナミックアナログ回路を用いる新しい回路実現手法を提案した。提案ADC回路の詳細設計・LSIチップの試作を行い、試作チップ測定・評価の実験検証結果により、提案回路構成手法の実現可能性と消費電力削減効果の有効性により確認できた。

研究成果の概要(英文)：This research propose a novel mixed signal processing LSI of multi-bit AD modulator for low power and high signal-to-noise-and distortion (SNDR) application. The integrators in the modulator are realized by ring amplifier without static current. Multi-bit quantizer and analog adder in the feedforward modulator is realized by a passive-adder embedded successive approximation register (SAR) analog-to-digital converter (ADC) which consists of capacitor array and a dynamic comparator. The dynamic comparator does not dissipate static power at all when a preamplifier is not used. Proposed modulator is fabricated in TSMC 90nm CMOS technology. Measurement results show the feasibility of proposed circuit architecture.

研究分野：電子回路・集積回路設計技術

キーワード：ADC アナログ集積回路

1. 研究開始当初の背景

LSI 微細化が急速に進み、次世代プロセスの開発も進んでいる。デジタル回路は高集積化・低消費電力化の恩恵を受けるが、アナログ回路は微細 CMOS の固有問題である素子性能バラツキの影響により、精度劣化の問題は益々顕著になってきた。微細 CMOS でも回路精度を確保するため、アナログ回路の規模が増大し、混載 LSI に占めるアナログ回路の割合と消費電力が増加してしまう。性能や精度が劣化した回路素子を用いても、高精度かつ低消費電力をいかに実現するかが今後のナノ CMOS 時代の混載 LSI を発展させる鍵となる。各種センサからの信号を取り込み、マイコンで制御する混載 LSI システムが普及してきている。センサからの信号はアナログ信号であるために、マイコンなどのデジタル信号処理とのインタフェースとして、アナログ信号をデジタル信号に変換する AD 変換器が不可欠となる。システムの高集積化に伴い、微細 CMOS で高精度 AD 変換器の低消費電力化が益々要求される。AD 変換器内部には、アナログ回路とデジタル回路の両方が含まれ、混載 LSI の典型的な代表回路である。学界・産業界が一丸となり、低消費電力 AD 変換器の開発を進められているが、依然として沢山の学術課題が残されている。

2. 研究の目的

本研究では、ナノ CMOS 時代の微細化によるアナログ回路の精度劣化、消費電力急増の課題を解決するため、デジタル信号処理技術とアナログ回路技術を融合した新しい回路実現手法を利用し、高精度かつ低消費電力のアナログ・デジタル混載 LSI を開発する。具体的には、高精度アナログ・デジタル変換器(AD 変換器)回路を取り上げ、実用上の問題点である高い消費電力を削減する新規技術を開発する。微細 CMOS 技術を適用した高精度かつ低消費電力 AD 変換回路を開発することにより、高精度・低消費電力混載 LSI の応用範囲を広げ、半導体産業のみならず、計測分野などにも寄与する。

3. 研究の方法

本研究は 3 年間の期間で、低消費電力化回路の実現手法の提案、詳細の回路設計と LSI 試作による有効性確認の実験検証を行った。初年度は主に低消費電力化回路方式の提案と実現手法の検討に注力し、その検討結果を踏まえ、高精度 AD 変換器回路の全体構成を確定した。2 年目以後は実験検証に主眼を置き、提案回路の LSI 実現に向けて注力した。具体的には、(1)提案回路方式に関する理論解析とシステム検証を行い、新たに提案した信号処理手法の実現回路及び低消費電力構成を考案した。(2)提案回路の詳細設計を行い、回路シミュレーションによる性能確認の上、LSI チップの試作を行った。(3)試作 LSI チップの測定・性能評価の実験検証による提案手法の有効性検証を行った。

4. 研究成果

ナノテクノロジー微細 CMOS を用いる高精度アナログ・デジタル変換器(ADC)回路の低消費電力化技術を開発し、ダイナミックアナログ回路を用いる ADC 回路の実現手法を提案した。具体的には、図 1 に示すマルチビット構成のフィードフォワード AD 型の変調器構成を採用し、消費電力削減のため、実現回路の新たな構成手法を提案した。詳細回路設計と実際 LSI チップの試作を行い、試作回路の測定・評価による実験検証結果により、提案回路構成手法の実現可能性と消費電力削減の有効性を確認できた。

(1) 動的アナログ回路を用いる ADC 回路のシステム構成法を提案した。

高精度と低消費電力の AD 変換器を実現するため、システム的手法で高精度 ADC 回路を実現できる。ADC は、回路構成素子に対する精度要求が緩和できるので、微細 CMOS を用いる高精度 ADC の実現に最も適した回路構成であるが、

ADC 内部では、演算増幅器回路と比較器回路が必要不可欠であり、消費電力が大きくなってしまふ欠点がある。本研究では、従来式の静的な定常電流が流れるアナログ回路ブロックである演算増幅器回路と量子化器回路の消費電力削減に着目し、定常電流が流れない動的アナログ回路を用いて ADC の実現手法を提案し、システムレベルで回路改良を行った。具体的には前段の積分器回路では、動的増幅器回路、後段の 4bit ADC 回路には、動的比較器回路を採用して、消費電力削減をはかった。

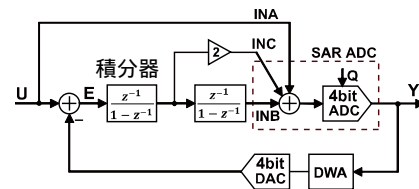


図 1 提案 ADC 回路のブロック図

(2) リングアンプを用いる積分器回路の実現手法を提案した

図 1 に示す ADC では、積分器回路は最も消費電力の大きいブロックである。従来式の増幅器回路回路を使用せず、動的アナログ回路であるリングアンプ回路を用いて、積分器回路を実現する手法を提案し、消費電力削減だけでなく、動作速度向上も実現できた。

(3) 加算機能を持つ量子化器回路の実現手法を提案した。

図 1 に示す ADC の後段では、アナログ信号の足し算処理を行った後、マルチビット(本研究の回路構成では 4bit)ADC

で量子化を行う必要がある。従来式回路では、加算器回路と量子化器回路は異なる回路ブロックで実現する必要があるが、本研究では、新たな加算機能を持つ SAR ADC 回路を提案し、一つの回路ブロックで足し算処理と量子化処理の機能を統合的に実現させた。さらに量子化器内部の比較器回路には、非同期動作可能な動的比較器回路を使用し、回路動作速度の向上と消費電力の削減を実現した。

- (4) 提案 ADC の設計・試作による実験検証を行った。
 提案した回路構成手法の実現性と消費電力削減効果を示すために、LSI チップ試作による実験検証を行った。図 2 には試作 ADC の顕微鏡写真とレイアウトの設計図を示している。試作チップの面積は $610\mu\text{m} \times 254\mu\text{m}$ である。図 3 には試作 ADC の出力パワースペクトラムの測定結果を示している。最大 SNDR=77.51dB を実現でき、消費電力は 0.37mW である。従来研究で発表された ADC [,] に比べ、より良い電力効率を達成した。

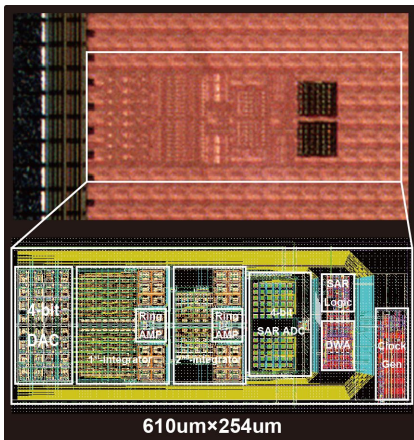


図 3 試作 ADC の顕微鏡写真とレイアウト設計図

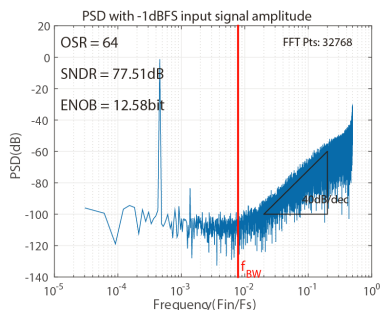


図 2 試作 ADC 出力パワースペクトラムの測定結果

<引用文献>

E. Bilhan and F. Maloberti, "A wideband sigma-delta modulator with cross-coupled two-paths," IEEE Trans. Circuits Syst. I, vol.56, no.5, pp.886-893, May, 2009.
 O. Rajaei, et. al, "Low-OSR over ranging hybrid ADC incorporating noise-shaped two-step quantizer," IEEE J. Solid-State Circuits, vol.46, no.11, pp.2458-2468, Nov. 2011.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

潘春暉, 傘昊, "逐次比較量子化器とリングアンプを用いる AD 変調器," 電子情報通信学会論文誌 A, 査読有, J99-A, No.8, Aug. 2016(採録済み)
 R. Suzuki, T. Maruyama, H. San, K. Aihara and M. Hotta, "Robust Cyclic-ADC Architecture Based on -Expansion," IEICE Trans on Electronics, 査読有, Vol.E96-C, No.4, pp.553-559, April 2013.

[学会発表](計 6 件)

陳広謙, 北島敦, 新井義明, 山下順, 伊藤壽, 傘昊, "静電気放電保護回路のリーク電流低減手法の検討," 電気学会電子回路研究会, ECT-016-023, 2016/03/07, 東京都市大学(東京).
 C. Pan and H. San "A Low-Distortion Delta-Sigma Modulator with Ring Amplifier and Passive Adder Embedded SAR Quantizer," The 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2015), 2016/11/10, Bali (Indonesia).
 潘春暉, 傘昊, "逐次比較量子化器とリングアンプを用いる AD 変調器の検討," 電子情報通信学会, 第 28 回回路とシステムワークショップ, 2015/8/3, 淡路夢舞台国際会議場(兵庫).
 内田順平, 竹山遼, 山田俊毅, 吉田昂右, 堀田正生, 傘昊, 松浦達治, "展開に基づくサイクリック ADC の値推定誤差に関する検討," 電子情報通信大会ソサイエティ大会, 2014/9/25, 徳島大学(徳島).
 T. Yamada, R. Sugawara, H. San, T. Matsuura, K. Aihara and M. Hotta, "Robustness of Cyclic ADC Based on -expansion," 2014 International Conference on Analog VLSI Circuits, 2014/10/23, Ho Chi Minh City(Vietnam).
 吉田昂右, 菅原論平, 山田俊毅, 松浦達治, 傘昊, 堀田正生, "展開に基づく ADC 用

オペアンプ回路の検討,"電気学会 電子回路研究会, ECT-14-023, 2014/1/24, しいのき迎賓館(石川).

〔その他〕

<http://www.risys.gl.tcu.ac.jp/Main.php?action=01&type=detail&tchCd=5001801>

6. 研究組織

(1) 研究代表者

傘 昊 (SAN Hao)

東京都市大学・知識工学部・准教授

研究者番号：30400774