

平成 30 年 5 月 17 日現在

機関番号：32641

研究種目：基盤研究(C) (一般)

研究期間：2013～2017

課題番号：25420384

研究課題名(和文)大規模集積回路の大域的求解法の開発とその実用化に関する研究

研究課題名(英文) Study on globally-convergent algorithms for solving large-scale integrated circuits and their practical application

研究代表者

山村 清隆 (Yamamura, Kiyotaka)

中央大学・理工学部・教授

研究者番号：30182603

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：大規模集積回路をはじめとする非線形システムの数値解析の分野では、理論の実用化に伴い様々な困難や未解決問題が生じる。これらは主として「問題の本質的難しさ」「理論研究の不足」「実用化が困難である(理論と実用が結びつかない)」などの理由による。特に「任意の初期値から必ず解に収束するアルゴリズム」「すべての解を求めるアルゴリズム」といったいわゆる大域的求解法の分野では、その重要性にもかかわらず未解決のまま残されている課題が多く存在する。本研究ではこのような問題に焦点をあてた研究を行い、様々な大規模非線形システムに対する効率的で実用的な大域的求解法の開発を行った。

研究成果の概要(英文)： In this project, we developed efficient and practical globally-convergent algorithms for solving large-scale integrated circuits. We first proposed an efficient homotopy method for solving nonlinear circuits, and prove its global convergence property. By this method, bipolar analog integrated circuits with more than 20000 elements could be solved with the theoretical guarantee of global convergence. We next proposed an efficient algorithm for finding all solutions of nonlinear circuits using linear programming. By this algorithm, all solutions of large-scale systems where the number of variables is several thousands could be found in practical computation time. We further proposed an efficient method for finding all solutions of nonlinear circuits using integer programming. By this method, all solutions can be found easily without making complicated programs. Thus, we have developed various types of globally-convergent algorithms that are good at efficiency and practicality.

研究分野：工学

キーワード：非線形理論・回路 非線形数値解析 大規模集積回路 回路シミュレーション 数理計画法

1. 研究開始当初の背景

大規模集積回路をはじめとする非線形システムの数値解析の分野では、理論を実用化する際に様々な困難や未解決問題が生じていた。これらは主として「問題の本質的難しさ」「理論研究の不足」「実用化が困難である(理論と実用が結びつかない)」などの理由による。特に「任意の初期値から必ず解に収束するアルゴリズム」「すべての解を求めるアルゴリズム」といったいわゆる大域的求解法の分野では、その重要性にもかかわらず未解決のまま残されている課題が多く存在していた。

2. 研究の目的

本研究では、著者(研究代表者)が理論と実用をつなぐ軸線上に立っているという特殊性を背景に、このような問題に焦点をあてた研究を行い、様々な大規模非線形システムに対する効率的で実用的な大域的求解法の開発を行う。

3. 研究の方法

本研究では、

- (1) 回路シミュレーションにおける非収束問題に対する大域的求解法の開発
- (2) 解曲線追跡における乗り移り問題を改善した新しい予測子修正子法の開発
- (3) 線形計画法を用いた非線形回路のすべての解を求める効率的なアルゴリズムの開発
- (4) 整数計画法を用いた非線形回路のすべての解を求める実現可能なアルゴリズムの開発
- (5) 整数計画法を用いた区分的線形回路の完全解析法の開発
- (6) 一般化線形相補性問題に対する非常に優れたソルバーの確立
- (7) 区分的線形区間方程式のすべての解を求める新しいアルゴリズムの開発

の七つのテーマに対して、「計算効率の改善」「実用性の向上」などの観点から総合的に研究を行った。またその成果を随時学会論文誌や国際会議等で発表した。研究規模、研究体制は「研究代表者と大学院生」とした。

4. 研究成果

以下、本研究で得られた主要な成果を記す。

(1) ホモトピー法を用いた非線形回路の大域的求解法を開発し、その大域的収束性を証明した。さらに企業との共同研究により、最も解析が困難とされるバイポーラアナログ回路に対して、その最大級である2万素子クラスのアナログLSIを世界で初めて収束の保証付きで解くことに成功した。このとき開発した世界最大級のアナログLSIのレイアウト図の例を図1に示す。

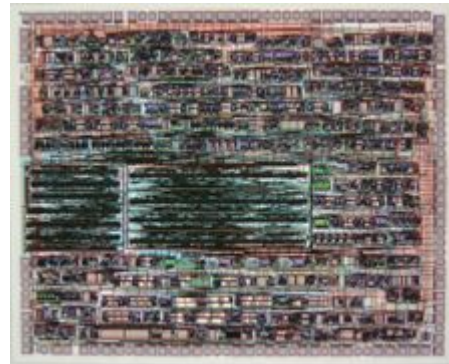


図1 開発された世界最大級のアナログLSIのレイアウト図

(2) 誰でも簡単に高度なホモトピー法を利用できるようにするためのSPICE指向型解析法というアイデアを考案し、ホモトピー法の実装を大幅に簡単化した。これによりホモトピー法の実用性は飛躍的に向上した。

(3) 直流動作点解析のための効率的なホモトピー法として「可変利得ホモトピー法」や「可変利得ニュートン不動点ホモトピー法」を提案し、これらの方法が従来のホモトピー法の長所を兼ね備え、かつ欠点が解消された方法であることを示した。またその大域的収束性を証明するとともに、インプリメンテーションを容易化する方法を考案した。

(4) 長い間解決されていなかった重要な未解決問題である「解曲線追跡における乗り移り問題」を改善した新しい予測子修正子法を提案し、その有効性を理論的に証明した。この論文により、2016年度のIEEE APCCAS Best Paper Awardを受賞した。

(5) LSI設計における重要な未解決問題である「非線形回路のすべての解を求める実用的なアルゴリズムの開発」に対し、線形計画法を用いて解の存在する領域を大幅に縮小させる“LP縮小”というアイデアを用いた、非線形回路に対する効率的な全解探索法を開発し、これまで不可能とされた数千~数万素子クラスの全解探索に成功した。

(6) 線形計画法(双対単体法)を用いて解の非存在判定を行う新しい方法として「平行四辺形LPテスト」を開発し、この方法を用いた非線形回路の全解探索法を提案した。またこの方法が従来の「長方形を用いたLPテスト」よりも効率的であることを示した。

(7) 可分計画法を用いた非線形回路の全解探索法を開発し、その有効性を検証した。全解探索の分野に可分計画法を導入した研究は本研究が初めてである。

(8) 全解探索法のアルゴリズムはインプリメンテーションの際に高度な専門的知識と

複雑なプログラミングを必要とするため、大学院生レベルの研究者には敷居の高い方法であった。本研究では、初心者でも簡単にインプリメントできる実現容易な非線形回路の全解探索法を提案した。本手法は、非線形回路を記述する方程式を混合整数計画問題に定式化し、それに CPLEX, SCIP などの商用 / 非商用の優れた整数計画ソルバーを適用するもので、複雑なプログラムを作る必要がなく、簡単に全解探索を行うことができる。

(9) 更にこの方法を Microsoft Excel ソルバーに拡張し、誰でも簡単に全解探索を行うことができる環境を拡充した。

(10) 整数計画法を用いた非線形回路の特性解析法と変動解析法を開発した。この方法を用いれば整数計画問題を 2 回解くだけですべての特性曲線を求めることができる。また 4 回解くだけで複雑な形状の変動領域を精密に求めることができる。この成果については、2016 IEEE APCCAS で招待講演を行っている。

(11) 非線形回路の解析では、非常に複雑な形状の解集合をもつ回路を扱うことがある。例えば特性曲線が多角形などの平面を含む回路、解集合が連結されていない非凸多面体の集合となる回路などである。このような回路のすべての解を求めることを完全解析と呼ぶ。本研究では、混合整数計画問題を 2 回解くだけで完全解析を行うことのできる新しい方法を提案した。

(12) これまで専用ソルバーが存在しなかった一般化線形相補性問題に対して、非常に優れたソルバーを与えた。

(13) 整数計画法を用いた区分的線形区間方程式のすべての解を求める方法を開発した。またこの方法によりすべての解が得られることを、整数計画ソルバー CPLEX で使われているアルゴリズムの原著論文と CPLEX のマニュアルから証明した。区分的線形区間方程式の全解探索に成功した研究は本研究が初めてで、その成果は精度保証付き数値計算の分野の権威誌である *Reliable Computing* の特集号 Special issue in honor of Ray Moore, 1929-2015 に掲載され、世界的な注目を集めている。

以上の研究により、大規模集積回路をはじめとする様々な非線形システムに対する効率的で実用的な大域的求解法を開発することに成功し、研究開始当初に設定した研究目標はほぼ達成することができた。

本研究の成果は多くの国際誌や国際会議等で発表され、この分野に大きなインパクトと波及効果を与えている。

5. 主な発表論文等

(雑誌論文)(計 3 1 件)

山村清隆, 伊藤麻美, 篠原そのこ, “可変利得ニュートン不動点ホモトピー法を用いた非線形回路の直流動作点解析,” *電子情報通信学会論文誌 (A)*, vol. J100-A, no. 11, pp. 401-410, Nov. 2017, 査読有. https://search.ieice.org/bin/summary.php?id=j100-a_11_401

K. Yamamura and S. Ishiguro, “Finding all solution sets of piecewise-linear interval equations using integer programming,” *Reliable Computing*, vol. 23 (Special issue in honor of Ray Moore, 1929-2015), pp. 73-96, July 2016, 査読有.

<https://interval.louisiana.edu/reliable-computing-journal/volume-23/reliable-computing-23-pp-073-096.pdf>

K. Yamamura, S. Ishiguro, and H. Taki, “Characteristic analysis and tolerance analysis of nonlinear resistive circuits using integer programming,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E99-A, no. 3, pp. 710-719, March 2016, 査読有.

DOI:10.1587/transfun.E99.A.710

K. Yamamura and T. Miyamoto, “DC operating point analysis of transistor circuits using the variable-gain homotopy method,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E97-A, no. 5, pp. 1042-1050, May 2014, 査読有.

DOI:10.1587/transfun.E97.A.1042

K. Yamamura and H. Tanaka, “Finding all solutions of piecewise-linear resistive circuits using separable programming,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E97-A, no. 5, pp. 1037-1041, May 2014, 査読有.

DOI:10.1587/transfun.E97.A.1037

山村清隆, 前田礼維, 加藤弘之, “一般化線形相補性理論と整数計画法を用いた区分的線形抵抗回路の完全解析,” *電子情報通信学会論文誌 (A)*, vol. J97-A, no. 3, pp. 150-159, March 2014, 査読有.

https://search.ieice.org/bin/summary.php?id=j97-a_3_150

K. Yamamura and M. Tonokura, “Formulating hybrid equations and state equations for nonlinear circuits using SPICE,” *International Journal of Circuit Theory and Applications*, vol. 41, no. 1, pp. 101-110, Jan. 2013, 査読有. DOI:10.1002/cta.788

[学会発表](計32件)

K. Yamamura, H. Takahara, and Y. Takane, "Finding all solution sets of piecewise-linear interval equations using integer programming," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.78-81, Dec. 2017, 査読有.

K. Yamamura and T. Shimada, "An efficient variable-gain homotopy method for finding DC operating points of transistor circuits," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.82-85, Dec. 2017, 査読有.

K. Yamamura and H. Takahara, "Complete analysis of piecewise-linear resistive circuits using integer programming," IEEE European Conference on Circuit Theory and Design, Catania, Italy, Sept. 4-6, 2017, 査読有.
DOI:10.1109/ECCTD.2017.8093298

K. Yamamura and R. Watanabe, "Finding all solution sets of piecewise-linear interval equations using integer programming," IEEE European Conference on Circuit Theory and Design, Catania, Italy, Sept. 4-6, 2017, 査読有.
DOI:10.1109/ECCTD.2017.8093317

K. Yamamura, R. Watanabe, and H. Takahara, "Complete analysis of piecewise-linear resistive circuits using integer programming," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.24-27, Dec. 2016, 査読有.

K. Yamamura, D. Koyama, and S. Sato, "Finding all solution sets of piecewise-linear interval equations using integer programming," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.28-31, Dec. 2016, 査読有.

K. Yamamura and R. Watanabe, "A simple method for finding all characteristic curves of piecewise-linear resistive circuits using an integer programming solver," IEEE Asia Pacific Conference on Circuits and Systems, Jeju, Korea, pp.224-227, Oct. 25-28, 2016, 査読有.
DOI:10.1109/APCCAS.2016.7803939

K. Yamamura and D. Koyama, "Finding all solutions of piecewise-linear resistive circuits using Excel," IEEE Asia Pacific Conference on Circuits and Systems, Jeju, Korea, pp.228-231, Oct. 25-28, 2016, 査読有.
DOI:10.1109/APCCAS.2016.7803940

K. Yamamura and K. Adachi, "A modified predictor-corrector method for tracing solution curves," IEEE Asia Pacific Conference on Circuits and Systems, Jeju, Korea, pp.372-375, Oct. 25-28, 2016, 査読有.

DOI:10.1109/APCCAS.2016.7803979

T. Okamoto, S. Ishiguro, and K. Yamamura, "Complete analysis of piecewise-linear resistive circuits using CPLEX," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.30-33, Dec. 2015, 査読有.

T. Shiraishi, S. Ishiguro, and K. Yamamura, "Characteristic analysis of piecewise-linear resistive circuits using SCIP," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.34-37, Dec. 2015, 査読有.

K. Yamamura and S. Ishiguro, "Finding all DC solutions of nonlinear circuits using parallelogram LP test," IEEE European Conference on Circuit Theory and Design, Trondheim, Norway, Aug. 24-26, 2015, 査読有.
DOI:10.1109/ECCTD.2015.7300124

J. Huang, Q. Li, K. Yamamura, and Y. Inoue, "A trapezoidal method for solving differential algebraic equations," International Technical Conference on Circuits/Systems, Computers and Communications, pp.752-755, June 29-July 2, 2015, 査読有.

S. Ishiguro, D. Koyama, and K. Yamamura, "Statistical tolerance analysis of nonlinear circuits using integer programming and set-valued functions with probability distribution," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.14-17, Dec. 2014, 査読有.

K. Yamamura and H. Taki, "Characteristic analysis and tolerance analysis of nonlinear resistive circuits using integer programming," IEEE Asia Pacific Conference on Circuits and Systems, Ishigaki Island, Okinawa, Japan, pp.254-259, Nov. 17-20, 2014, 査読有.
DOI:10.1109/APCCAS.2014.7032891

E. Yukawa, H. Taki, S. Kinami, and K. Yamamura, "An algorithm for finding all DC solutions of nonlinear circuits using polygonal LP test," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.51-54, Dec. 2013, 査読有.

K. Yamamura, "Complete analysis of piecewise-linear resistive circuits using the generalized linear complementarity theory and integer programming," IEEE Workshop on Nonlinear Circuit Networks, Tokushima, Japan, pp.57-60, Dec. 2013, 査読有.

K. Yamamura and H. Tanaka, "Finding all solutions of piecewise-linear resistive circuits using separable programming," IEEE European Conference on

Circuit Theory and Design, Dresden,
Germany, Sept. 8-12, 2013, 査読有.
DOI:10.1109/ECCTD.2013.6662275

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

ホームページ等

[http://www.elect.chuo-u.ac.jp/yamamura/
index.html](http://www.elect.chuo-u.ac.jp/yamamura/index.html)

6. 研究組織

(1)研究代表者

山村 清隆 (YAMAMURA, Kiyotaka)

中央大学・理工学部・教授

研究者番号：30182603