

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 5 日現在

機関番号：12605

研究種目：挑戦的萌芽研究

研究期間：2013～2014

課題番号：25630123

研究課題名(和文)スパッタエピタキシー法によりSi直上にGe平坦膜を形成するGe仮想基板形成技術

研究課題名(英文)Technology of Formation of Ge Virtual Substrates by Growth of Ge Flat Films Directly on Si Using Sputter Epitaxy Method

研究代表者

須田 良幸(Suda, Yoshiyuki)

東京農工大学・工学(系)研究科(研究院)・教授

研究者番号：10226582

交付決定額(研究期間全体):(直接経費) 3,100,000円

研究成果の概要(和文):これまで高濃度PドーピングSi基板に直接平坦なGe膜が形成されることを示してきたが、本研究によって、高濃度のBドーピングSi基板にも直接平坦なGe膜が形成できることを示した。また、高抵抗基板でも、初期に高い成膜速度で微細・高密度の島を形成する事によって、その後、成膜速度に依存せずGeが次第に平坦化成長することが判った。これは結合手の多い凹部に泳動するGeが安定に固定化されるアンカー効果によると解析した。この手法によりRMS=0.23nmの極めて平坦で、CVD法より貫通転位の少ないGe膜が得られた。電流は主に転位の多い界面を流れたが、縦方向に整流性を持たせることで、有効なチャネル形成が期待できる。

研究成果の概要(英文): We have previously shown that a flat Ge layer can be formed directly on a highly P doped Si substrate. Through this work, we have also shown that a flat Ge layer can be formed directly on a highly B doped Si substrate. We have further found that Ge gradually grows flat on a high-resistive Si substrate independently of the Ge growth rate when a small and high-density Ge island layer is initially formed with a Ge high growth rate. This is analyzed by that Ge atoms migrate and are fixed, as an anchor effect, at concave positions with many bonding sites. With this method, we have obtained a very flat Ge film directly grown on Si with a RMS value of 0.23 nm and a small number of threading dislocations. Although the electric current flows mainly through a Ge/Si interface having many dislocations, a device channel is expected to be effectively formed by providing a rectifying characteristic in the perpendicular direction to the growth surface.

研究分野：電子デバイス

キーワード：ゲルマニウム 仮想基板 エピタキシー サファクタント ヘテロ接合 高速デバイス

1. 研究開始当初の背景

LSI は微細化により高速化を図ってきた。今日では, $\text{Si}_{1-x}\text{Ge}_x/\text{Si}_{1-y}\text{Ge}_y$ ヘテロ構造を用いた歪の導入によるキャリア移動度の向上や, 移動度の高い Ge や Ge に整合する III-V 系化合物半導体を用いたトランジスタの混載によって高速化が検討されている。また, Ge は地球資源として Si よりはるかに少ないため, Ge 基板を用いる代わりに Si 基板上に形成された Ge 層 (Ge 仮想基板) の利用が可能となれば, Si 系, Ge 系, III-V 系の素子の効果的な混載が可能となり, 速度および資源の両面から期待が高い。Si 上の Ge の成長は, 通常 S-K モードで島状に成長するため, デバイス搭載が不可能である。このため, $\text{Si}_{1-x}\text{Ge}_x$ の酸化濃縮や, Si と Ge の間に多段の $\text{Si}_{1-x}\text{Ge}_x$ 歪緩和層を挿入することで Ge 平坦層を得る方法の開発が進められている。しかし, 工程の複雑さを考えると Si 上に Ge 層を直接形成する方法が好ましく, 平坦な Ge 層を Si 基板上に直接形成する方法が期待される。研究代表者はこれまで, 高濃度に P ドープした低抵抗 Si (n-Si) 基板上で Ge が直接平坦成長することを提示してその機構を解析した。また, B ドープした低抵抗 Si (p-Si) 基板上にも Ge が直接平坦化成長する特性を得た。さらに, B ドープした高抵抗 p-Si 基板上でも成長速度や厚さに依存して Ge が平坦化成長する現象を見出した。

2. 研究の目的

本研究では, 研究代表者らが提案したスパッタエピタキシー法を組み合わせた, (1) Si 表面上の不純物介在効果による Ge の平坦化成長機構と, (2) 成長速度や厚さに依存して発現する, 高抵抗 Si 上の Ge 平坦化成長機構, および, (3) Ge 仮想基板としての電氣的有用性, を提示することを目的とした。

3. 研究の方法

(1) 高濃度に B ドープした $0.015\ \Omega\text{cm}$ の Si (001) 基板 (低抵抗 p-Si (001) 基板) と B ドープした $3.5\ \Omega\text{cm}$ の Si (001) 基板 (高抵抗 p-Si (001) 基板) を用いて, 成長条件と, 成膜した膜の SEM による表面モフォロジー, および, TEM 解析による転位構造, および, ラマン分光解析による歪率との相関を解析し, 低抵抗 p-Si (001) 直上の Ge 平坦化成長機構を明らかにする。また, (2) B ドープした $3.5\ \Omega\text{cm}$ の高抵抗 p-Si (001) 基板を用いて, 成長条件と, SEM による表面モフォロジー, および, ラマン分光解析による歪率と結晶性, および, XRD 解析による結晶性との相関を調べ, 高抵抗 p-Si (001) 直上の Ge 平坦化成長機構を明らかにする。さらに, (3) Si (001) 直上に成長した Ge 平坦膜の電氣的評価を行い, 実用化の有用性を評価する。Si 上の Ge 膜は $5\%\text{H}_2+\text{Ar}$ 混合ガスを用いて, 3mTorr のガス圧で DC マグネトロンスパッタ法で成長した。

4. 研究成果

(1) 低抵抗 p-Si 基板上への Ge 平坦膜の形成

$3.5\ \Omega\text{cm}$ の p-Si 基板上の Ge 膜はうねりが大きく Ge/Si 界面には 60° 転位を含む多くの転位が存在した (図 1 (a)). $0.015\ \Omega\text{cm}$ の p-Si 基板上の Ge 膜は平坦性が高く, Ge/Si 界面の転位はより少なく (図 1 (b)), 平面 TEM 像には 90° 転位が観測された (図 1 (c)). $3.5\ \Omega\text{cm}$ の p-Si 基板上では 20nm の Ge 膜のラマンスペクトルから Ge/Si 界面に Si-Ge 混合が観測された (図 2 (a)). $0.015\ \Omega\text{cm}$ の p-Si 基板上では観測されず (図 2 (b)), Ge/Si 界面は急峻に変化した。 $3.5\ \Omega\text{cm}$ の p-Si 基板上の Ge 膜は, Ge-Ge ラマンシフトがおよそ 300.5cm^{-1} で, 完全緩和 Ge のラマンシフト 300.4cm^{-1} に近く (図 3), 十分に緩和していた。 $0.015\ \Omega\text{cm}$ の p-Si 基板上の Ge の Ge-Ge ラマンシフトはブルーシフトし (図 3), 積層 Ge は $20\sim 100\text{nm}$ の範囲の膜厚で, $0.47\sim 0.21\%$ の歪を有していることが分かった。

以上の結果, $0.015\ \Omega\text{cm}$ の p-Si 基板上では, 初期の成膜段階で, Ge/Si 界面に 90° 転位が形成されて Ge-Si 混合がなく, Ge は歪を含有して平坦化成長した。また, $3.5\ \Omega\text{cm}$ の p-Si 基板上では, Ge が初期段階から島状に成長し, Ge/Si 界面で Ge-Si の混合が生じ, 多くの転位により Ge 膜が緩和して, うねりの多い成長に至ったと考えられる。低抵抗基板では, 不純物原子による表面のポテンシャル変動が機能し, 表面の吸着 Ge 原子の泳動が抑制され, 島状成長が抑制されたため, 平坦化成長に至ったと考えることができる。

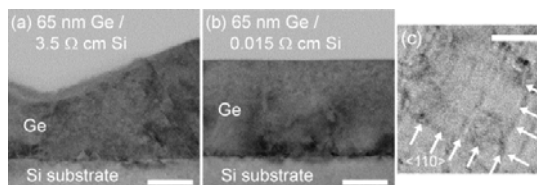


図 1. (a) $3.5\ \Omega\text{cm}$ p-Si (001) 上に, および, (b) $0.015\ \Omega\text{cm}$ p-Si (001) 上に, 65nm Ge を積層した試料の断面 TEM 像. (c) 試料 (b) の平面 TEM 像.

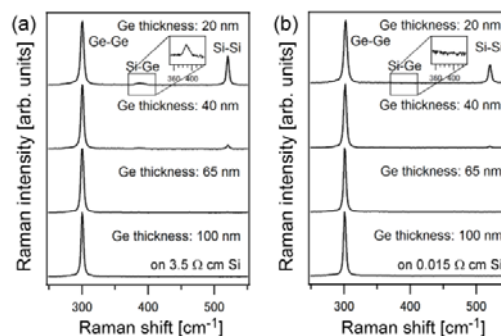


図 2. (a) $3.5\ \Omega\text{cm}$ p-Si (001) 上に, および, (b) $0.015\ \Omega\text{cm}$ p-Si (001) 上に, $20, 40, 65,$ および, 100nm 厚の Ge を積層したときのラマンスペクトルの変化.

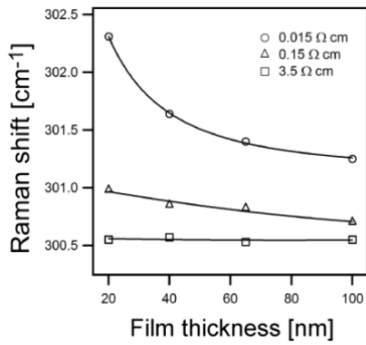


図3. 3.5 Ω cm, 0.15 Ω cm, および, 0.015 Ω cm p-Si(001)上の Ge 成長膜の厚みを変化したときの Ge-Ge ラマンシフトの変化.

(2)高抵抗 Si 基板上への平坦 Ge 膜の形成

高抵抗 p-Si 基板上では, 成膜電力が大きくなるにつれ, 島のサイズが小さくなり, また, 島の密度が増加した(図4). さらに, 膜厚が増大するにつれて表面の平坦度が向上した(図4). 40W 以下の電力では Ge/Si 界面で, Si-Ge の混合が見られるが, 50W 以上の電力では, この Si-Ge 混合が見られず, Ge/Si 界面は急峻に変化すると考えられる(図5). 電力が低いと Ge 膜は大きく緩和し, 電力の増加につれて歪率が大きくなり, 80W で成長した 20nm の Ge は 0.3%の歪を含有した.

以上の結果, 島が大きいと歪の分布が大きくなると考えられ, Si-Ge の混合が生じて緩和し, うねりの多い成長となるが, 島が小さく島密度が大きいと Si/Ge 界面が急峻に変化し, Ge が歪成長すると考えられることが判

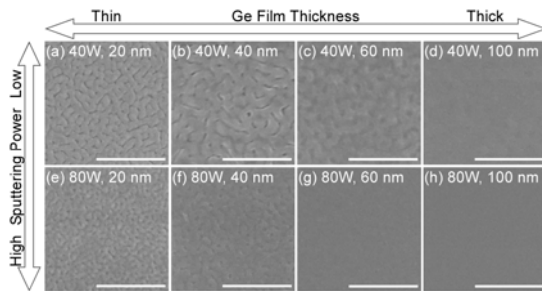


図4. 3.5 Ω cm p-Si(001)上の Ge 成長膜の成膜電力と成長膜厚と表面平坦特性との相関.

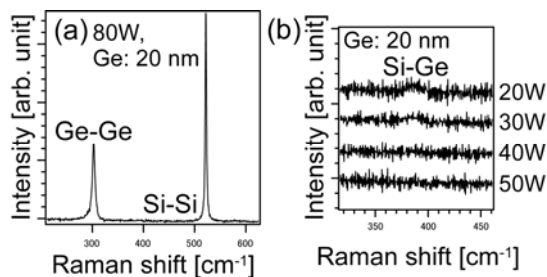


図5. 3.5 Ω cm p-Si(001)上に 20nm 厚の Ge 膜を成長したときの成膜電力に依存した Si-Ge ラマンピークの強度変化.

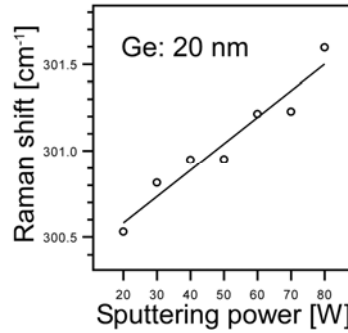


図6. 3.5 Ω cm p-Si(001)上の 20nm 厚の Ge 成長膜の成膜電力とラマンシフトとの相関.

た. これは, 島が小さく島密度が大きいと島が緩和する前に島同士が平面方向に一体的に連結して, 90° 転位が生じ, 歪を含有したまま成長するためと考えられる. また, 厚くなるほど平坦化するのは, 島密度の増大に依存して, 活性点の多い島間凹部に Ge が固定され易く(アンカー効果), 凹部が次第に埋まって平坦化すると解析できる. 初期に 80W で島密度の大きい島状層を形成すると, その後, 低電力でもこのアンカー効果によると考えられ成長面が平坦化することが判った(図7). 100W の電力で 200nm 成長した Ge 膜は非常に良好な結晶性をもち(図8), 且つ, 成長表面の凹凸度 RMS(二乗平均平方根)=0.23nm の非常に平坦な表面(図9)が得られた. Ge 表面の貫通転位密度も, これまで, 200nm の膜厚で, $1 \times 10^{11} \text{cm}^{-2}$ の値が報告されているが, 本手法では, $2 \times 10^9 \text{cm}^{-2}$ と 2 桁低い値が得られた. また, これらの Ge 平坦化技術を基盤に, GeSn(Si)平坦化成長技術への展開を図った.

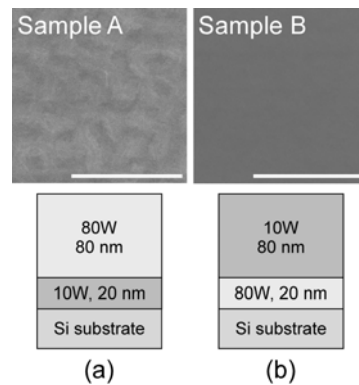


図7. 3.5 Ω cm p-Si(001)上へ Ge を(a)10W で 20nm 積層後さらに 80W で 80nm 積層した試料表面と, (b) 80W で 20nm 積層後さらに 10W で 80nm 積層した試料表面の SEM 像の比較.

(3)n-Si(001)直上の Ge 平坦膜の電气的評価
n-Si(001)直上に 100~500nm の Ge 膜を 100W の電力で積層し, ホール効果測定を行ったところ, 電流の多くが Ge/Si 界面を流れることが判った. 平坦性が高いことから, 縦方向の積層によって, ダイオード構造を形成して, 縦方向の流れを抑制すれば, 実デバイスのチャネルとしての利用が期待される.

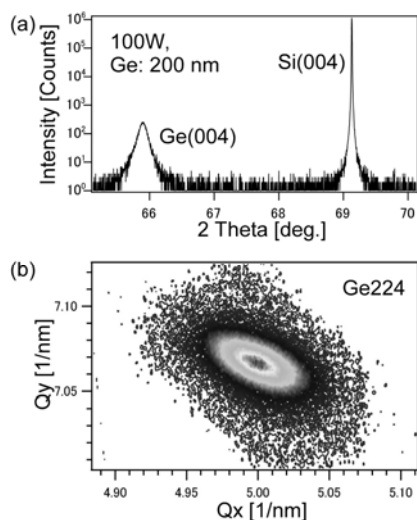


図8. 3.5Ωcm p-Si(001)上にGeを100Wの電力で200nm積層した試料のXRDスペクトルと逆格子マップ。

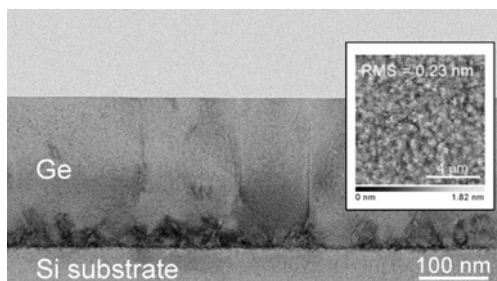


図9. 3.5Ωcm p-Si(001)上にGeを100Wの電力で200nm積層した試料TEM像。

5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

1. Takahiro Tsukamoto, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura, Toshiaki Matsui, and Yoshiyuki Suda, Formation of GeSn layers on Si (001) substrates at high growth temperature and high deposition rate by sputter epitaxy method, Journal of Materials Science, 50, pp. 4366-4370, 2015, 査読有.
2. Takahiro Tsukamoto, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura, Toshiaki Matsui, and Yoshiyuki Suda, Effects of boron dopants of Si (001) substrates on formation of Ge layers by sputter epitaxy method, Applied Physics Letter, 103, pp. 172103(1)-(4), 2013, 査読有.

[学会発表] (計5件)

1. 塚本貴広, 広瀬信光, 笠松章史, 三村高志, 松井敏明, 須田良幸, Si直上Ge薄膜

形成におけるスパッタ電力の効果と表面平坦化の試み, 第75回応用物理学会学術講演会, 2014年09月17日~2014年09月20日, 北海道大学, 札幌

2. 塚本貴広, 広瀬信光, 笠松章史, 三村高志, 松井敏明, 須田良幸, スパッタエピタキシー法を用いたSi直上へのGeSn薄膜の形成, 第75回応用物理学会学術講演会, 2014年09月17日~2014年09月20日, 北海道大学, 札幌.
3. Takahiro Tsukamoto, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura, Toshiaki Matsui, and Yoshiyuki Suda, Effects of DC Sputtering Conditions on Formation of Ge Layers on Si Substrates by Sputter Epitaxy Method, 2014 Int. SiGe Technology and Device Meeting, June 2, 2014-June 4, 2014, Swissotel Merchant Court, Singapore.
4. (招待講演) Yoshiyuki Suda, Takahiro Tsukamoto, Sohei Fujimura, Satoshi Tamanyu, Akira Motohashi, Midori Ikeda, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura and Toshiaki Matsui, SiGe Processes and Their Device Applications Using Sputter Epitaxy Method, 7th International WorkShop on New Group IV Semiconductor Nanoelectronics, Jan. 27, 2014-Jan. 28, 2014, Tohoku University, Miyagi.
5. Takahiro Tsukamoto, Akifumi Kasamatsu, Nobumitsu Hirose, Takashi Mimura, Toshiaki Matsui, and Yoshiyuki Suda, Effect of Boron Dopant of Si (001) Substrates on Growth of Ge Layers using Sputter Epitaxy Method, 8th International Conference on Silicon Epitaxy and Heterostructures, June 2, 2013-June 6, 2013, Kyushu University, Fukuoka.

[その他]

ホームページ

<http://www.tuat.ac.jp/~boss>

6. 研究組織

(1) 研究代表者

須田 良幸 (SUDA YOSHIYUKI)

東京農工大学・大学院工学研究院・教授
研究者番号: 10226582

(2) 研究分担者

塚本 貴広 (TSUKAMOTO TAKAHIRO)

東京農工大学・大学院工学研究院・助教
研究者番号: 50640942

(3) 連携研究者

なし