

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 8 日現在

機関番号：12608

研究種目：挑戦的萌芽研究

研究期間：2013～2014

課題番号：25630140

研究課題名(和文) 環境適応型エネルギーハーベスティング回路技術の研究

研究課題名(英文) A study of adaptive circuits for an energy harvesting power supply system

研究代表者

宮原 正也 (Miyahara, Masaya)

東京工業大学・理工学研究科・助教

研究者番号：90551705

交付決定額(研究期間全体)：(直接経費) 2,000,000円

研究成果の概要(和文)：本研究ではエネルギーハーベスティング回路の動作状態をモニタリングし、適応的に回路パラメータを再構築することで環境変動が生じても安定した電力効率を実現するためのシステム及び要素回路の開発を行った。

提案手法では負荷回路に供給する電源回路とエネルギー回収を行う電源回路を分けることで、負荷変動に関わらず回収電力を最大点に対して5%以内の範囲で制御できることを確認した。

また、適応制御に必要なモニタ回路の要素回路であるアナログ・デジタル変換器を開発した。0.6Vの動作において有効ビット9.1ビット、動作周波数10kHzにおいて0.1μWの電力、FoM=19.5fJ/conv.で動作することを確認した。

研究成果の概要(英文)：We have developed an energy harvesting power supply system which can be adapted to the environmental change for realizing maximum power point tracking (MPPT).

The proposed technique divides a DC-DC converter into an energy harvesting block and a load voltage stabilizer for realizing MPPT and stable supply at the same time regardless of the load fluctuations. As a result, it was confirmed that the proposed technique can control within a 5% to the maximum power point.

We have also developed an analog to digital converter (ADC) used for monitoring the power supply system. The proposed ADC demonstrates an effective number bit of 9.1 with 10kHz sampling rate and 0.6V power supply. At this conversion rate, it consumes only 0.1μW resulting in a FoM of 19.5fJ/conv.-step.

研究分野：アナログ・デジタル混載集積回路設計

キーワード：エネルギーハーベスティング アナログ・デジタル変換器 DC-DCコンバータ

1. 研究開始当初の背景

エネルギーハーベスティング回路は動作エネルギーを周辺環境から取り入れて発電し、無電源で回路システムを動作可能にする技術である。電源メンテナンスが不要となる利便性から、自律動作型センサーネットワークシステムを構築する技術として注目を浴びている。利用する環境エネルギーは電磁波(光を含む)、熱、振動、圧力など多岐にわたる。しかしながら現在の技術では特定の環境下でしか実用化がなされていない。これは、周辺環境から取り入れられるエネルギーが小さく、また環境変動により安定したエネルギー供給が難しいことが原因のひとつである。

2. 研究の目的

本研究では、極低電力シリコン CMOS 回路技術を用いてエネルギーハーベスティング回路の動作状態をモニタリングし、適応的に回路パラメータを変化させることで環境変動が激しい場合においても安定した電力効率を実現するためのシステム及び要素回路を開発することを目的とする。エネルギーハーベスティング用電源回路のモニタリングにおいて鍵となるのが、極低電力で動作するアナログ・デジタル変換回路(ADC)とデジタル信号処理回路である。0.5V 以下で安定に動作し、分解能 10bit 程度、非同期動作(動作周波数 0 ~ 数 100kHz) ADC を FoM=20fJ/conv.以下で実現し、システムの有効性を実測結果により評価する。

3. 研究の方法

環境適応型エネルギーハーベスティング回路の実現に向けて、安価なシリコン CMOS 回路技術を用いて極低電力で動作するエネルギーモニタリング回路及びそれを用いた最大電力効率追従制御回路の研究開発を行う。最大電力効率追従制御回路の核となるのは、低電力(低電圧)で動作する A/D 変換器及びデジタル信号処理回路(マイコン)である。A/D 変換回路を用いてエネルギーハーベスティング回路の状態をモニタリングし、マイコンを用いて演算を行い、その結果を電源回路のパラメータ再構成情報としてフィードバックする。電源回路で再構成されるパラメータは、環境エネルギー源との電力整合や、電源回路のスイッチング周波数などである。具体的な実施については以下のとおりである。

(1) システムシミュレーション

最大電力効率追従制御回路の制御方法及び各要素回路に求められる必要性能を求め、システムシミュレーションにより確認する。

システムシミュレーションは Verilog-AMS を用いたアナログ・デジタル混載シミュレーションで行う。

(2) モニタ用 ADC の設計

(1) の検討で算出された仕様を満たす ADC の回路技術を開発する。低電力動作においては逐次比較比較型(SAR) ADC が第一候補となるが、低電圧化では比較動作に用いられるダイナミックコンパレータのノイズが電源電圧低下に伴い劣化し、高精度化を妨げるなど様々な問題が発生する。これらの問題点をアナログ、デジタル両技術を用いて解決する。試作は 65nm CMOS プロセスで行う

(3) ディスクリート品によるシステム実証

(1) の検討で求められた制御方法をマイコンを用いて実現する。

(4) CMOS 回路設計

設計した回路の全体または一部をシリコン CMOS チップとして試作し評価を行う。

4. 研究成果

(1) システムシミュレーション

図 1 に検討を行ったシステム構成を示す。発電素子の効率は負荷の変動により変動し、特に高負荷時には著しく特性が劣化する。発電素子からの DC 出力電圧は通常負荷回路で必要となる電圧より低いため、昇圧型 DC-DC コンバータにより昇圧して使用する。ただしこれだけでは発電素子からみた負荷が、負荷回路の動作状態により変動してしまう。この問題を解決するために、降圧型 DC-DC コンバータを追加し、エネルギーの回収と負荷電圧の制御を独立に行える構成とする。通常の動作では、昇圧型 DC-DC コンバータは容量 CA を昇圧することに専念する。この時に、発電素子から得られるエネルギーを最大とするように昇圧型 DC-DC コンバータの Duty を制御する。ここでは V_R の変化をモニタしながら、 C_A のチャージアップ時間が最小(=発電素子から得られるエネルギーが最大)になるように制御を行う。次に、負荷回路への電圧制御には、スイッチとキャパシタ型の降圧型 DC-DC コンバータを用いて C_A からエネルギーを取り出し、降圧動作を行う。降圧動作は V_L をモニタしながらスイッチング周波数を変化させる。こうすることで、負荷電圧の制御と独立に発電素子から見た負荷抵抗を設定することができ、負荷の動作状態によらず常に発電素子からの電力回収効率を最適に保つことができる。図 2 に検討を行ったシステムのエネルギー回収効率のシミュレーション結果を示す。図 2 に示すように昇圧型 DC-DC コンバータの Duty を 0.4 に設定するとエネルギーの回収効率が最適となるシステムにおいて、図 3 に示すように Duty が最適な値に制御されている様子がわかる。

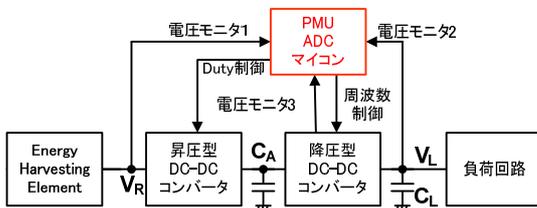


図 1. システム構成図

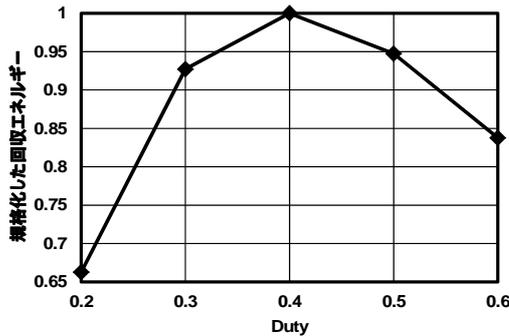


図 2. 昇圧型 DC-DC コンバータの Duty と回収エネルギー

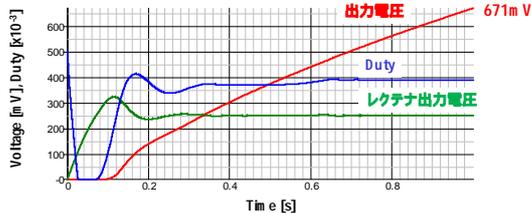


図 3. 最適化制御時の各部の応答

(2) モニタ用 ADC の設計

モニタ用 ADC には低消費電力動作が求められるため、最も低消費電力動作が見込める変換アーキテクチャである逐次比較型 ADC (SAR ADC) について検討を行った。SAR ADC では比較器のノイズが ADC 全体のノイズに寄与するので、はじめに比較器のノイズ低減について検討を行った。

従来、比較器のノイズ低減のためにプリアンプの出力端に大きな容量を必要としていた。しかしながら、比較動作のために出力端容量に蓄えられている電荷を充放電しなければならず、ノイズ低減を行うと消費電力が増加するというトレードオフが存在する。本研究では、スイッチの働きをする p-MOS トランジスタを挿入した比較器を提案することで比較器の低ノイズ化と低消費電力化を図った。

従来用いられている比較器の回路図を図 4 に示す。比較器はプリアンプとラッチ回路から構成されており、ラッチがプリアンプで増幅された差電圧を検知して判定を行う。この時、後段のラッチが比較結果を出しているにもかかわらず、前段のプリアンプの容量からの電荷の放電が続いている。この放電は消費電力の増大を招くので、この放電をなくすために図 5 に示すように p-MOS トランジスタを負荷容量との間に設ける。この時の応答波

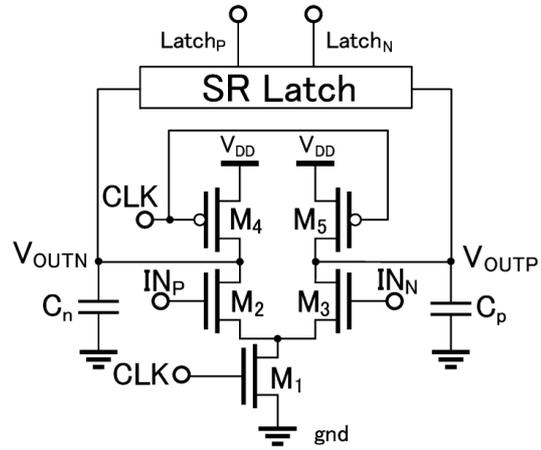


図 4. 従来の比較器の回路構成

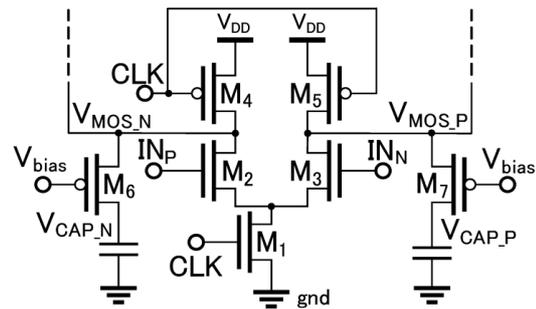


図 5. 提案する比較器の回路図

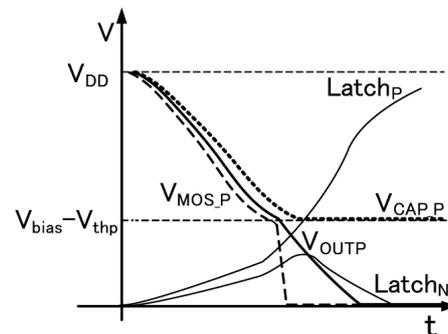


図 6. 比較器の応答波形

形を図 6 に示す。従来の比較器と提案する比較器の比較を行った。今回、比較器を周波数 1.2GHz で動作させて、その時の応答と消費電力のシミュレーションを行った。比較のため従来の比較器と提案する比較器のノイズ電力を同じにしている。図 6 より、従来の比較器では、容量に蓄えられた電荷の放電が全て行われている (V_{OUTP}) のに対して、提案する比較器の放電は、 $V_{bias} - V_{thp}$ (V_{thp} : p-MOS トランジスタのしきい値電圧) で M_6, M_7 のトランジスタが自動的に OFF 状態になり止まっていることが分かる。これによって、ラッチが動作した後の放電を低減することができ、これが消費電力の低減効果につながる。その結果、従来の比較器の消費電力が 1.51mW であったのに対し、提案の比較器では 1.22mW と 20%程度

の消費電力改善効果が得られた。また、放電の途中でプリアンプの出力から見える容量が M_6, M_7 のトランジスタが自動的に OFF 状態になることで見えなくなるため、負荷が軽くなることから出力電圧の電圧降下が速まる。これによりラッチ回路に速い段階から大きなドライブ電圧がかかるようになり、高速な判定が行えるようになる。シミュレーション結果では、15%の速度向上が確認できた。

(3) ディスクリート品によるシステム実証

システム検証にあたり汎用マイコンボードである ARDUINO UNO を用いて検討を行った。また、発電素子については基礎検討のため出力電圧 1V の DC 電圧源に対して 10k の出力抵抗を付加して模擬した。DC-DC コンバータに用いられるスイッチについては別途試作した 350nm CMOS プロセスのものを用いた。インダクタ、容量については市販のものを用いた。

図7に負荷抵抗の変動に対する発電素子の出力電力(=回収されるエネルギー)を示す。電源回路なしの場合、負荷抵抗が変動することで出力電力が大きく変動しているが、提案する電源回路を用いることで負荷変動に対してほぼ一定の出力電力が得られていることが分かる。ピーク電力では電源回路の損失が加わるため劣っているように見えるが、エネルギーハーベスティングを用いたセンサーネットワークのような極低電力動作が求められるシステムの場合には間欠動作が必須なため、回路の動作率は大きく変動することから負荷変動が激しく、一点でのピーク電力を得ることは困難である。提案回路では負荷が重い場合でも軽い場合でも一定して電力を回収できるため、動作全体を通した時に電力をより大きく回収できることが望める。

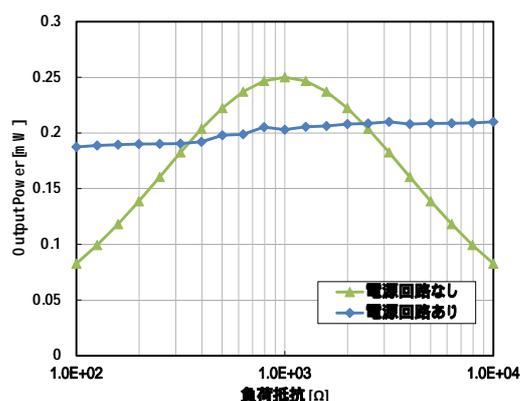


図7. システム検証結果

(4) CMOS 回路設計

(2)で提案した比較器を用いて SAR ADC の試作を行った。使用したプロセスは 65nm CMOS プロセスである。分解能は 12bit とした。動作電圧は 0.6V、サンプリング周波数は 4MSps、入力周波数は 1MHz である。動作電力

は $40 \mu\text{W}$ であった。図8に試作した SAR ADC のスペクトラムを示す。SNDR=56.4dB、有効ビット 9.1bit が得られた。動作周波数 10kHz においては $0.1 \mu\text{W}$ の電力で動作し、 $\text{FoM}=19.5\text{fJ}/\text{conv.}$ と当初の目標 $20\text{fJ}/\text{conv.}$ 以下を達成した。これにより ADC を持ち知恵低電力で電源回路をモニタリングし、最適制御を可能とする見通しが得られた。

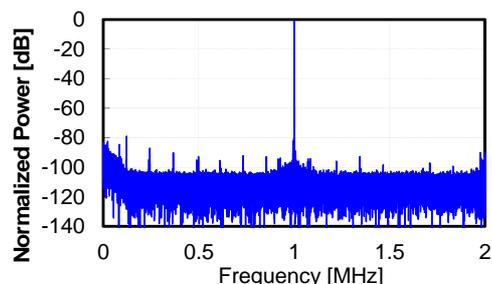


図8. 試作した SAR ADC のスペクトラム

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 1 件)

Zhijie Chen, Masaya Miyahara, and Akira Matsuzawa, "ISSCC Student Research Preview," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA USA, Feb. 22, 2015

〔図書〕(計 0 件)

〔産業財産権〕

出願状況(計 0 件)

取得状況(計 0 件)

〔その他〕

なし

6. 研究組織

(1) 研究代表者

宮原 正也 (MIYAHARA, Masaya)
東京工業大学・大学院理工学研究科・助教

研究者番号：90551705

(2) 研究分担者

なし

(3) 連携研究者

なし