

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 2 日現在

機関番号：17104

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25730031

研究課題名(和文) 先端LSIテスト手法に対応した設計フロー最適化に関する研究

研究課題名(英文) Maximize the Efficiency of LSI DesignFlow with Advanced LSI Test Method

研究代表者

宮瀬 紘平 (Miyase, Kohei)

九州工業大学・大学院情報工学研究院・助教

研究者番号：30452824

交付決定額(研究期間全体)：(直接経費) 2,600,000円

研究成果の概要(和文)：本研究では、レイアウトデータの中で電力制御の観点から必要なデータとそうでないデータを分割する技術と、必要なデータに対して集中してテスト入力生成を行う技術を提案した。これらの成果は、そのまま統合することが可能であり、LSI設計フローの最適化に貢献する。レイアウトデータの分割および解析結果は、レイアウト設計における電源設計や電力制御を考慮したテスト入力生成技術に役立ち、設計フローの効率化にも貢献する。

研究成果の概要(英文)：In this work, we proposed a method to extract important areas in terms of controlling power consuming of LSI testing. Also, we proposed a method to generate test patterns for the extracted areas. The results of above methods can be integrated, and then they can contribute to increase the efficiency of the LSI design flow. The results of extraction of areas can be used for power network synthesis and power-aware test pattern generation. The proposed test pattern generation can contribute to increase effectiveness of detection, reliability, and quality of LSI. We have published this work in two international symposiums, one international workshop, and one Japanese workshop.

研究分野：LSIテスト

キーワード：VLSI設計技術

1. 研究開始当初の背景

LSI の設計ルールは今なお微細化の方向に進んでいる。微細化により高速化や一つのウェーハで製造できるダイ(チップ)数の増加などが可能となった。しかし、微細化により、リーク電流による消費電力増加や、複雑な欠陥が増加するなどのマイナス面も顕在化している。LSI の信頼性や品質を保証するため、出荷前のテストで確実に欠陥を検出することが必要不可欠であるが、これまでのテスト手法では、今後も複雑化していく欠陥の検出や、データ量の増加および消費電力増加などの様々な問題に対応することが困難となってきた。

国内外における複雑化した欠陥の検出に関する対応策は、被テスト LSI に対するテスト入力を効果的に生成することである。現在、テスト入力生成の商用ツールの販売においては米国の EDA ベンダーの独占状態であるが、さらに先端研究を進めているのは、国内の研究機関とドイツの研究グループであるといっても過言ではない。ドイツのフライブルク大学の研究グループは一からテスト入力を生成することを得意とし、九州工業大学の LSI テスト研究グループはテスト入力を変換して様々な効果を得ることを得意とする。近年は、欠陥の検出に加えて、データ量の削減や消費電力の削減をテスト入力生成技術で実現することが多い。

近年のテスト入力生成では、より複雑な欠陥検出のために、論理素子間の距離や位置などの物理的な情報を得るため、配置配線(レイアウト)後のデータを利用する。レイアウトデータの一部を用いた手法は提案されているが、欠陥などが複雑化するにつれ、今後はさらに大量のレイアウトデータを効率良く利用することが必要となる。そのため、本研究ではテスト入力生成とテスト入力変換で、対象とするレイアウトデータを効果的に分割するなどし、設計フロー全体として出来るだけ大量のデータを効果的に利用できるような技術が必要不可欠である。

テスト入力生成で所望の効果が得られない場合は、回路を追加・修正することで対応する必要がある。しかし、レイアウト設計後に回路修正することはコストが高すぎる。申請者は以前、企業との共同研究にて、レイアウト設計前にテスト入力生成の効果を見積る技術を開発した。共同研究の成果は平成 24 年 11 月に国際ワークショップで発表済みである。しかし、テスト入力生成効果の見積りが低かった場合に回路を効率的に修正する技術や、LSI 設計フローに与えるインパクトを考慮した上での、テスト入力生成に関わる LSI 設計フローの最適化は不十分である。

2. 研究の目的

本研究では、効率的に大量の設計データを利用することで今後も複雑化を増す欠陥を確実に検出するテスト手法を確立する。また、そのテスト方式を低コストで実現する LSI 設計フローを最適化する。大量の設計データを効率的に利用する技術と、設計フローの最適化まで踏み込んで行う研究は非常に新しい。今後も複雑化していく LSI の信頼性・品質向上(先端テスト手法)と低コスト化(設計フロー最適化)に貢献することが本研究の目的である。

3. 研究の方法

(1) レイアウトデータ分割

LSI のテストを行う際、回路内部の一部の信号値は当初の故障の検出に必要不可欠である。そのため、新たな欠陥検出などを考えたときに、利用できる回路内部の信号値は限られてくる。そのため、レイアウトされた設計データを精査し、電力削減もしくは電力制御が容易なエリアと困難なエリアの特定を行う。本研究で対象としている電力は、LSI テスト時に大きな問題となっている、動的な消費電力である。そのため、信号値が遷移起こりやすいエリアと、遷移が起こりにくいエリアを、信号値の制御困難性を表す SCOAP を用いて求める。

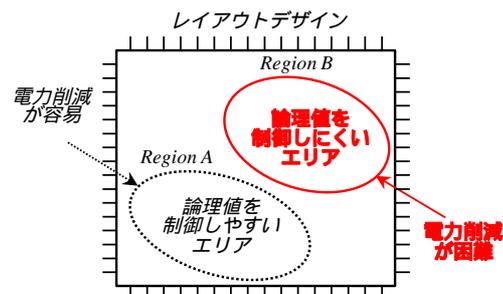


図1: レイアウト上の論理値制御性

テスト時に問題を引き起こす動的消費電力が IR-drop を引き起こすという観点から、遷移を引き起こすゲートが密集しているエリアで IR-drop が起こりやすいと言える。図 2 にレイアウト上のゲートと電源線(Power Rail: GND, VDD)を示す。図中の電源線に囲まれた長方形がゲート(Standard Cell)を表し、さらに SW が遷移の起きているゲートである。図 2 の例の場合、エリア A で遷移があるゲートが密集しておりエリア B と比較して IR-Drop が起きやすいと考えられる。前述の論理値制御性に加えてゲートの種類とその影響を精査し、IR-Drop の起きやすいエリアを特定する。

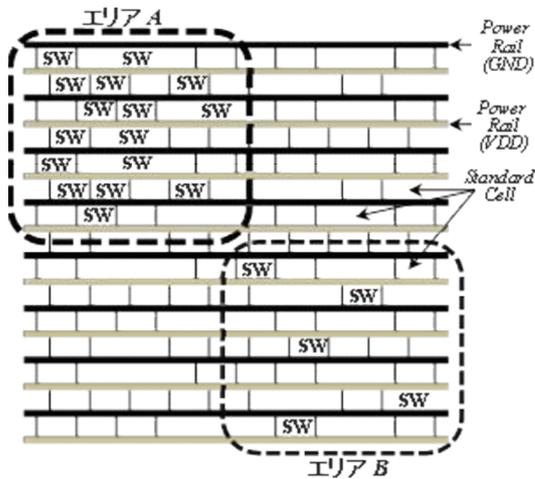


図2： IR-Drop の起こり易いエリア

(2)分割データ利用先端テスト入力生成

通常のテスト入力生成で目的である故障の検出能力を低下させることなく電力消費に関わる欠陥検出向上を目的として、回路内部の信号値を変更し回路内部の電力制御を行うテスト入力生成・変換手法を開発する。

ここでは、回路内部の信号線（ゲート）の信号値確率を機能動作時とテスト時の両方で求め、機能動作時の遷移率よりテスト時の遷移率が高くなる信号線を抽出する。図3に機能動作時とテスト時の遷移率の差とエリアのサイズの概念図を示す。機能動作時より10%遷移率が高いゲート数に比べて、50%高い場合はゲート数が少なくなる（電力制御対象エリアが小さくなる）。サイズの異なるエリアに対して電力制御を行うことにより効果と効率の違いを見る。

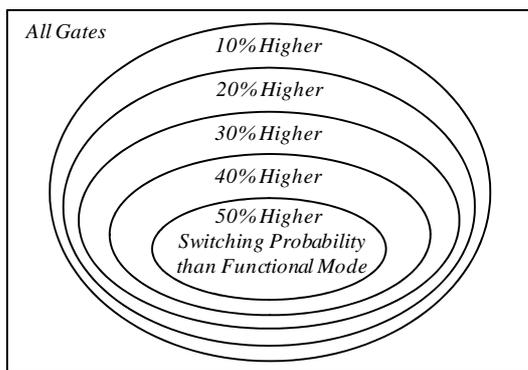


図3： 遷移率の差とエリアのサイズ

4. 研究成果

まず大量の設計データを効率的に利用するために行ったレイアウト分割に関する成果を示す。図4にIWLS2005ベンチマーク回路のaes_core回路をレイアウトし、各ゲートにSCOAPを用いて制御困難性を表す数値を求め、求めた数値に基づいて彩色したものを示す。

図の縦軸横軸はレイアウト上のゲートの座標を表している。各色に割り当てられた数値は、数値が高いほど制御が困難であることを示している。この結果では、黄色の部分が制御困難であり回路の一部に集中していることが分かる。

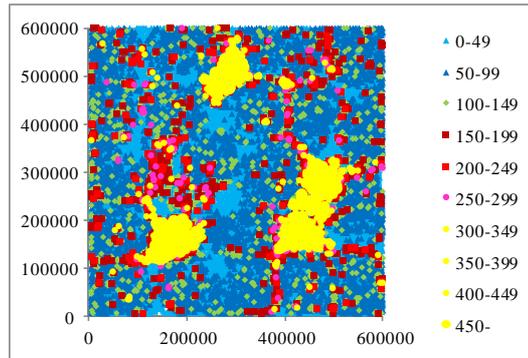


図4： 制御困難性解析

図5に、図4で使用した回路にテスト入力を印加し実際に遷移したゲートとフリップフロップをプロットした。おおよそ図4の黄色に彩色された部分で遷移が起きていることが分かる。図5は1つのテスト入力による結果であるが、その他のテスト入力によっても同様の結果が得られている。この結果より、制御困難性の数値が高いエリアに遷移する可能性の高いゲートが密集していると読み取れる。

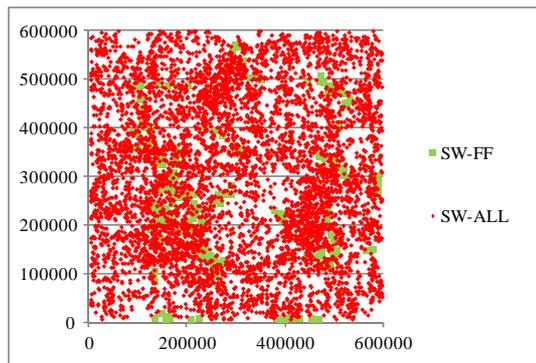


図5： テスト入力による遷移

続いて、別の観点からレイアウトと信号値遷移の関係を調査した。図4で用いたレイアウトデータに対して、ゲートの種類による解析を行った。理論上、EXORゲートの遷移確率が高くなる。図6にEXORゲートをプロットしている。図6のEXORの位置は図4で示す制御困難性の高い位置とほぼ一致している。また、図5の信号値遷移が起きている位置ともほぼ一致していることが分かった。

さらに、図4~6で用いた回路データに対して電力解析を行った。異なる3つのテスト入力に対する電力解析結果を図7~9に示す。平面を示すX軸Y軸はゲートの座標を示し、

Z 軸は電力(W)を示す。図 7~9 が示すように信号値制御困難であり EXOR が密集するエリアの電力が高いことが分かる。

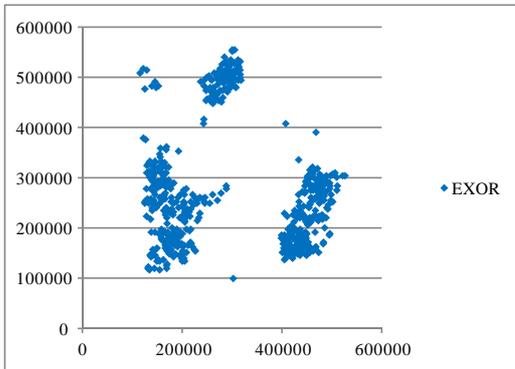


図 6： EXOR ゲートの配置

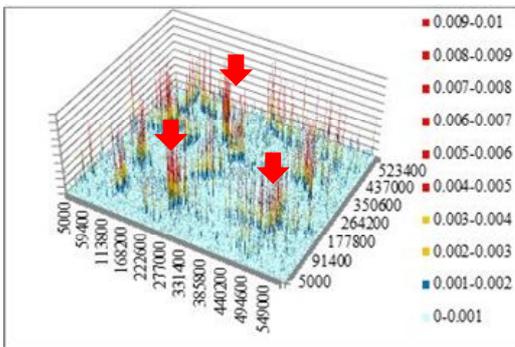


図 7： 電力解析結果 (テスト入力 No.1)

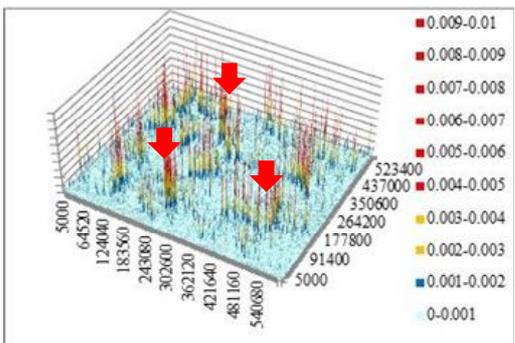


図 8： 電力解析結果 (テスト入力 No.201)

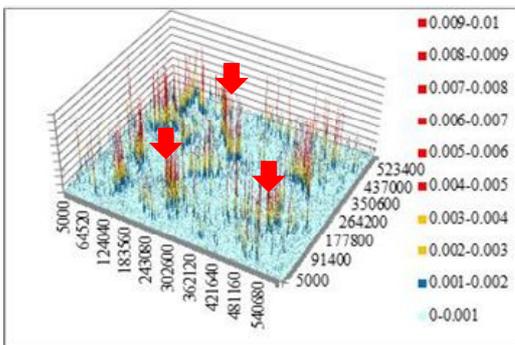


図 9： 電力解析結果 (テスト入力 No.401)

次に信号値遷移を制御するエリアのサイズを絞り込んだうえでテスト入力生成・変更を行う事により信号値遷移削減効果を向上

させた。表 1 に IWL2005 のベンチマーク回路の 3 回路に対する実験結果を示す。エリアは全ゲートからランダムに 10%~50%を選択し表中の Range としている。Old と表記している従来手法に比べて提案手法が高い信号値遷移の削減率を得ることが可能である。また、表 2 に示すように CPU 時間の削減にも効果が大きい。ただし、aes_core 回路に対しては効果が低い。原因としては、エリアを絞り込んで、エリア内の信号値制御に関わる入力数は削減できないことだと考えられる。

表 1： エリアサイズと遷移削減率

Circuit	Range	Red. Ratio of Sw. Act.	
		Average (%)	
		Old	Proposed
ac97_ctrl	10	69.0	69.0
	20	73.1	73.2
	30	75.0	75.4
	40	78.6	78.8
	50	77.7	78.5
usb_funct	10	59.8	59.8
	20	61.2	61.4
	30	62.8	63.0
	40	66.8	67.5
	50	68.9	71.1
aes_core	10	7.1	7.1
	20	7.2	7.2
	30	7.3	7.3
	40	7.7	7.7
	50	8.2	8.2

表 2： エリアサイズと CPU 時間

Circuit	Range	CPU Time (s)	
		Old	Proposed
ac97_ctrl	10	1349.36	1225.7
	20		1149.7
	30		168.2
	40		34.4
	50		32.1
usb_funct	10	731.02	664.9
	20		288.4
	30		188.9
	40		171.7
	50		43.2
aes_core	10	5.99	17.7
	20		17.7
	30		17.7
	40		17.7
	50		16.5

本研究では、レイアウトデータの中で電力制御の観点から必要なデータとそうでないデータを分割する技術と、必要なデータに対して集中してテスト入力生成を行う技術を提案し、上記の成果が得られた。これらの成果は、そのまま統合することが可能であり、LSI 設計フローの最適化に貢献する。レイアウトデータの分割および解析結果は、レイアウト設計における電源設計や電力制御を考

慮したテスト生成技術に役立ち、設計フローの効率化やLSIの信頼性・品質向上(先端テスト手法)に貢献することができる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計0件)

〔学会発表〕(計4件)

宮瀬紘平, ザウアー マティアス, ベッカーベルンド, 温暁青, 梶原誠司, “レイアウトデータを用いたテスト時の高消費電力エリア特定手法に関する研究,” 電子情報通信学会技術研究報告 DC2015-18, pp. 13-18, June 2015, 東京.

Kohei Miyase, Matthias Sauer, Bernd Becker, Xiaoqing Wen, Seiji Kajihara, “Identification of High Power Consuming Areas with Gate Type and Logic Level Information,” Proc. European Test Symposium, Paper9.1-1, pp. 1-6, 2015年5月28日, クルージュ・ナボカ, ルーマニア.

Kohei Miyase, Matthias Sauer, Bernd Becker, Xiaoqing Wen, Seiji Kajihara, “Search Space Reduction for Low-Power Test Generation,” Proc. Asian Test Symposium, pp. 171-176, 2013年11月20日, イーラン, 台湾.

Kohei Miyase, Matthias Sauer, Bernd Becker, Xiaoqing Wen, Seiji Kajihara, “Controllability of Analysis of Local Switching Activity for Layout Design,” Workshop on Design and Test Methodologies for Emerging Technologies, 2013年5月31日, アヴィニョン, フランス.

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

ホームページ等

6. 研究組織

(1)研究代表者

宮瀬 紘平 (MIYASE KOHEI)

九州工業大学・大学院情報工学研究院・助教
研究者番号: 30452824

(2)研究分担者

(3)連携研究者