

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 16 日現在

機関番号：13601

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25820148

研究課題名(和文)単電子効果起因エラー耐性を有する極微細NANDフラッシュメモリスステムの構築

研究課題名(英文)A fundamental study for a scaled NAND flash memory system resistive to errors induced by single-electron phenomenon

研究代表者

宮地 幸祐 (MIYAJI, Kousuke)

信州大学・学術研究院工学系・准教授

研究者番号：80635467

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：極微細NANDフラッシュメモリにおいて主要エラー源となる、単電子効果に起因するノイズ(ランダムテレグラフノイズ：RTN)に対するエラー耐性システム構築を見据え、三次元デバイスシミュレーションを用いてRTN強度分布を解析し、その起源解明を試みた。NANDフラッシュメモリのRTN強度分布において、これまで主要な物理要因として考えられていたチャンネル不純物個数・位置ばらつき以外に、トラップ個数やセルデータパターンなど様々な物理パラメータが関係していることが新しく分かった。

研究成果の概要(英文)：The origin of a statistical distribution of random telegraph noise (RTN, noise induced by single-electron behavior) amplitude in scaled NAND flash memory technology is investigated through 3D device simulation for error-resistive NAND flash memory system. Although random dopant fluctuation was believed to be the major physical origin as reported in the previous works, it is newly found that many other physical origins, such as the number of traps and the amount of charge in the floating gate of the NAND flash memory cell, are important factors to understand RTN amplitude distribution.

研究分野：半導体集積メモリデバイス

キーワード：NANDフラッシュメモリ ランダムテレグラフノイズ デバイスシミュレーション 離散不純物ばらつき

1. 研究開始当初の背景

モバイル製品から大規模データセンターまでのストレージとして大容量 NAND フラッシュメモリの需要が飛躍的に高まる中、微細化による NAND フラッシュメモリの信頼性の著しい劣化が問題となっている。近年の NAND フラッシュメモリでは繰り返し書き換え（数千回程度）を行うと、電子を保持する浮遊ゲートと電子を浮遊ゲートに注入するチャネル間のトンネル酸化膜に欠陥が生じ、データ保持特性の悪化や誤書き込みの増加等が深刻になることが知られている[1]。一方、約 5 年後の 10nm 世代以降の極微細 NAND フラッシュメモリにおいては浮遊ゲート中の電子数が数十個を下回るため、一つの電子が浮遊ゲートやトンネル酸化膜の欠陥を出入りするだけでもフラッシュメモリの特性が大きく変動する単電子効果が顕著となる。特に単電子効果に起因する数 kHz の低周波ランダムノイズはランダムテレグラフノイズ (RTN) と呼ばれる (図 1)。RTN が生じるとフラッシュメモリのしきい値電圧が時間領域でランダムに変動し、ノイズ量が大きいとしきい値電圧がデータの判定電圧を超えてビットエラーになる。微細化に伴う浮遊ゲート容量の低下により RTN は原理的に増大するため、NAND フラッシュメモリの信頼性に大きな影響を与えるとされている[2]。

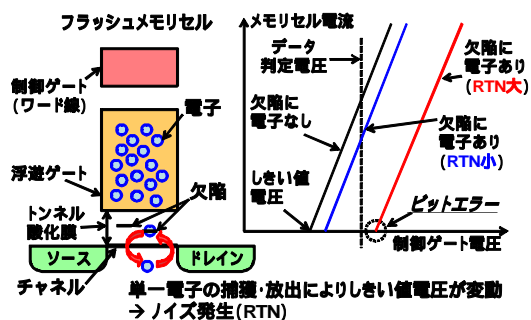


図 1 極微細 NAND フラッシュメモリの RTN ノイズ

しかし、NAND フラッシュメモリにおける RTN の解析は、ほとんど未使用の NAND フラッシュメモリに対して近年報告が数件なされた程度であり[3,4]、様々なデータパターンが存在し、トンネル酸化膜の劣化が進んでいく中で RTN が信頼性にどのように影響を与えるかといった実際的かつ体系的な議論に至っていない。さらに、高電界ストレスに曝されるトンネル酸化膜において、RTN の発生源となる欠陥の生成を抑制することは現状困難であることより、RTN に対してプロセス・デバイス技術による有効な対処法が存在していない。研究代表者は RTN 特性を把握したうえで新規エラー訂正方式等システムからの救済が不可欠になると考える。

2. 研究の目的

本研究は、10nm 世代以降の極微細 NAND

フラッシュメモリにおいて主要エラー源となる、単電子効果に起因するノイズに対するエラー耐性システムを構築し、そのノイズによるシステムエラーレートを 1/10 にすることを目的とする。実測及び三次元シミュレーションによる解析を通じて、上記ノイズが NAND フラッシュメモリの信頼性に与える影響の理論体系を確立し、それに対する新規エラー訂正等システムを構築することでさらなる微細化の道筋を切り開く。

3. 研究の方法

研究目的に従い、当初計画として本研究項目を以下の 3 点とした。

(1) 極微細 NAND フラッシュメモリの単電子効果 (RTN) の評価と解析

極微細 NAND フラッシュメモリにおいて単電子効果 (特に RTN) に影響を与えるパラメータ (各種動作電圧対象セルの周囲のデータパターン等) に対するビットエラーレート、しきい値電圧等の統計を観測し、系統的な評価を行う。得られたデータ間の相関関係から RTN エラーが多い (RTN 強度が大きい) ビットについて特徴を抽出する。

(2) 測定結果のモデル化と三次元デバイスシミュレーションによる解析

三次元デバイスシミュレーションにより RTN 強度が大きいビットの特徴をより正確に抽出する。特に RTN のノイズ強度が高くなる場合のチャネル中の不純物の位置や欠陥の位置・数の条件について掘り下げる。また、データパターンによってどれだけのエラーが出現するかを見積もるために RTN 統計モデルを作成する。さらに、微細化を進めた際の影響についても見積もる。

(3) 単電子効果によるエラーに耐性を有する極微細 NAND フラッシュシステムの構築

本研究の最終段階として、研究項目(2)で得られたモデルから単電子効果によるノイズエラーが多くなる傾向にあるビットに対して、それを補正するようなデータ処理アルゴリズムとアーキテクチャを検討・提案し、その実証を目指す。

上記に述べた研究項目を申請時に予定していたが、研究上の理由により NAND フラッシュメモリの実測ができなくなったことから研究項目(1)の内容を大幅に減らし、研究項目(2)についてより詳細な解析を行うことで拡充することにした。その結果、RTN の強度分布の測定結果を説明する物理的要因が、これまでに NOR フラッシュメモリや NAND フラッシュメモリで報告されていた以上に複雑であることが新しく判明した。そのため、本研究期間内では研究項目(3)への移行を見送り、研究項目(2)の内容を洗練することに専念した。NAND フラッシュメモリセルはロジックトランジスタに対して複雑なトランジスタ構造をもつために 1 つのデバイスのシミュレーションの計算量自体多い上に、統計的

に多数のシミュレーションサンプルが必要なため、非常に多くの計算資源を要する。多数の CPU コアを使用できるスーパーコンピュータの利用が有効であるため、その利用を新たに行って研究を遂行した。

4. 研究成果

(1) RTN の空間及び統計分布とチャネル不純物濃度依存性

過去の研究報告より、NOR フラッシュメモリにおいては、実測より RTN によるしきい値電圧の変動値 (RTN 強度 ΔV_{th}) の統計確率分布は裾を引き、このときの分布傾き λ は、チャネル不純物濃度 N_A の平方根に比例することが報告されている [3]。これより、 N_A の高い NOR フラッシュメモリにおいては、チャネル不純物の位置や個数の離散的なばらつきによる影響が ΔV_{th} 確率分布に強く依存している。これは、3D デバイスシミュレーションを用いた解析から得られた結果であり、実測結果との整合性がとれている。一方で、NAND フラッシュメモリにおける ΔV_{th} 分布においても実測結果が報告されており、NOR フラッシュメモリと同様に、分布が広がっている [5]。また、実測 ΔV_{th} 分布を再現するような統計分布解析モデルも考案されている [5]。しかし、NAND フラッシュメモリは動作条件の違いより、NOR フラッシュメモリと比べて N_A が低い。そのため、チャネル不純物の離散的なばらつきによる影響が小さいと予想され、3D デバイスシミュレーションによる解析報告は無く、実測結果との整合性がとれていない現状がある。これより、3D デバイスシミュレーション HyENEXSS を用いて 30nm 世代 NAND フラッシュメモリにおける ΔV_{th} 分布の N_A 依存性の解析を行い、 ΔV_{th} 分布の起源の解明を試みた。

図 2 のように本研究では 30nm 世代の NAND フラッシュメモリ構造を採用し、 N_A を $1 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3}$ まで変化させた。モンテカルロ法より、チャネル不純物の離散的なばらつきを考慮したメモリセル構造を 100 サンプル以上生成し、チャネル表面上に $1 \times 1 \text{nm}^2$ の広さをもった面電荷をランダムに 1 つ配置 (電荷量は負電荷素量とした) した。この面電荷をトラップとして定義し、トラップの配置前後の V_{th} 差を ΔV_{th} と定義した。

図 3(a),(b) に各 N_A における ΔV_{th} 分布の解析結果を示す。図中の黒い実線で示した RTN_model とは、NAND フラッシュメモリにおける ΔV_{th} 分布の実測結果をフィッティングにより再現した ΔV_{th} 分布解析統計モデル [5] を用いて、本研究で用いた 30nm 世代 NAND フラッシュメモリ ΔV_{th} 分布を表したものであり、本研究で比較対象としているものである。結果より、低 N_A 領域では、 ΔV_{th} 分布において裾が広がらず、統計分布モデル [5] より過小評価であった。また、低 N_A 領域では、 ΔV_{th} が大きいセルはチャネル中央にトラップが存在しているケースであることが

わかった。これは、チャネル表面を流れる電流密度がチャネル中央に集中しているからと判明した。 N_A が濃い NOR フラッシュメモリのようなケースではチャネル端にトラップが存在すると ΔV_{th} が大きくなるが、NAND フラッシュメモリはそれとは根本的に異なるメカニズムで RTN 強度分布が決定されることが新しく分かった。さらに、両 N_A 領域における ΔV_{th} の平均値においてモデルより大きな差が生じており、これに関しては過大評価であった。これは RTN に寄与するトラップがない大半のセルを考慮していないためと考えられる。

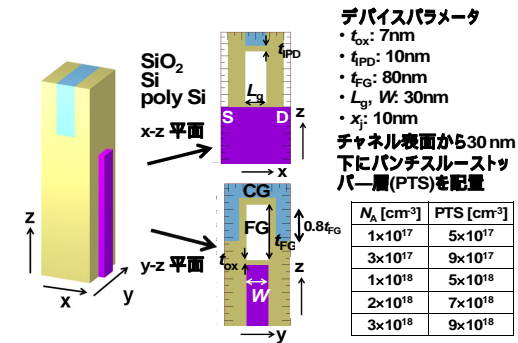


図 2 30nm NAND フラッシュメモリの構造と各パラメータ

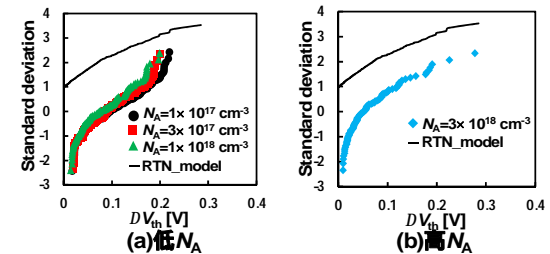


図 3 各 N_A 領域における ΔV_{th} 分布のシミュレーション結果

(2) ΔV_{th} と FG 内の初期電荷量及びトラップ個数依存性解析

上記のように、チャネル不純物個数・位置ばらつき以外の物理パラメータが NAND フラッシュメモリの RTN 強度分布に影響を与えていることが初めて明らかになった。そこで、他の物理要因を考慮すべく、トラップ個数をはじめ、浮遊ゲート (FG) 内の電荷量 (すなわち NAND フラッシュメモリのデータパターン) に着目し、3D デバイスシミュレーションを用いて ΔV_{th} 分布を調べた。まず、1 つのセルに 2bit の情報量を持たせた MLC (multi-level cell) を想定した。FG 内の初期電荷量を調整することでセル V_{th} 値を操作し、これを 4 値設定した。それぞれのセル V_{th} 値におけるセル V_{th} 状態を図 4 のように定義した。使用した N_A は $3 \times 10^{17} \text{cm}^{-3}$ で固定し、各セル V_{th} 状態で、 N_A 依存解析と同様に ΔV_{th} データを 100 個以上抽出した。さらに、各セル V_{th} 状態等の条件は変えずに、チャネル表面にランダム配置するトラップ個数を、1 個

固定から2個固定、ポアソン分布によってランダム発生させた場合を考慮し、同様の試行を行った。

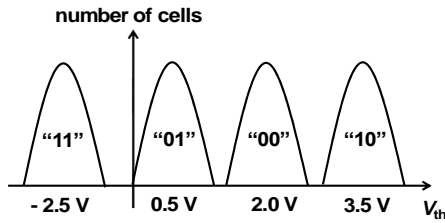


図4 各設定した4値のセル V_{th} 分布

図5(a),(b)にトラップ個数を1個固定(内容としてはデータパターン以外は図3(a)と同様シミュレーション内容)、2個固定して発生させた際の各セル V_{th} 状態における ΔV_{th} 分布を示した。図5(a)では、全セル V_{th} 状態の ΔV_{th} 分布において、RTNモデルと比べて分布幅が狭く過小評価であった。図5(b)でも完全にRTNモデルと同じ分布にはならなかったが、図5(a)のように分布に裾を引かないという問題点は見られず、トラップ個数が分布に大きな影響を与えることがわかった。

この他に、図5(a),(b)で、セル V_{th} 状態が最も低い状態“11”の ΔV_{th} 分布が一番大きいことがわかった。この理由について、図6にセル V_{th} 付近におけるチャネル電流分布を示した。チャネル幅方向を y 方向とする。低セル V_{th} 状態では、FG-チャネル間容量結合が支配的なため、電流がチャネル中央表面に強く集中していた。一方で、高セル V_{th} 状態では、制御ゲート(CG)-チャネル間のフリンジ容量により、電流がチャネル幅両端に集中し、チャネル深部でも電流が流れていた。よってチャネル表面にトラップを配置した場合、低セル V_{th} 状態のときに大きな ΔV_{th} が発生すると考えられる。

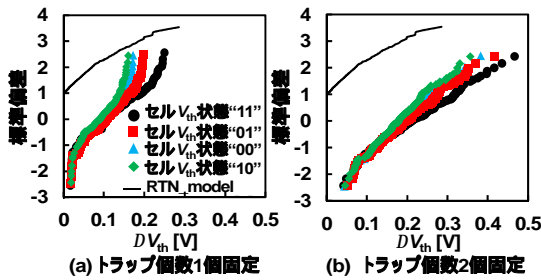


図5 ΔV_{th} 分布のトラップ個数及びFG内の初期電荷量依存性についてのシミュレーション結果

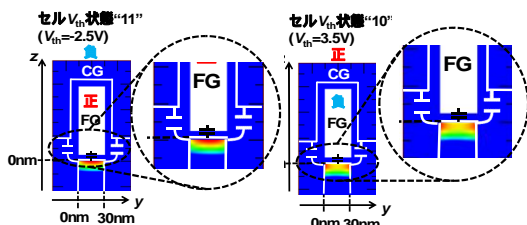


図6 各セル V_{th} 付近におけるチャネル電流分布

図7にトラップ個数をポアソン分布に従ってランダム発生させた場合の ΔV_{th} 分布のシミュレーション結果を示した。与えたトラップ密度 N_{trap} は $2 \times 10^{10} \text{cm}^{-2}$ である。結果より、 ΔV_{th} 分布の裾が広がっており、大きな違いとしては、 ΔV_{th} の平均値が統計分布モデルとほぼ一致した点にあった。これは、このシミュレーションではトラップの無いセルも考慮していることによるものである。これより、トラップ個数を考慮することは、RTN特性を理解する上で非常に重要であることがわかった。一方、現状のシミュレーションでは実測結果に対して過大に強度分布を見積もってしまうことも判明した。これらの解析は時間領域における揺らぎを考慮しておらず、トラップに必ず電子が捕獲されることを想定している点がこの誤差に関係していると考えられる。

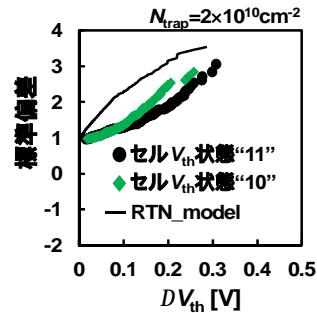


図7 トラップ個数をポアソン分布に従って発生させた場合の ΔV_{th} 分布のシミュレーション結果

以上より、当初研究計画で予定していたエラーモデルとエラー抑制システムの構築まで至らなかったが、これまでの NAND フラッシュメモリの RTN 解析と比べて三次元デバイスシミュレーションを用いてチャネル不純物個数・位置ばらつき以外に様々な物理パラメータが NAND フラッシュメモリの RTN 強度分布に影響を与えていることを初めて明らかにした点と、より細かい物理的要因の調査に踏み込んだ点は該当研究分野の学術発展に貢献したと考えられる。

<引用文献>

- [1] S. Tanakamaru et al., *ISSCC*, 2012, p. 424.
- [2] H. Kurata et al., *Symp. VLSI Circ.*, 2006, p. 112.
- [3] C. M. Compagnoni et al., *IEEE TED*, **55** (2008) 388.
- [4] S. M. Joe et al., *IEEE TED*, **58** (2011) 67.
- [5] K. Fukuda et al., *IEDM*, 2009, p. 771.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計2件)

Toshihiro Tomita, Kousuke Miyaji,
“Number of traps and trap depth
position on statistical distribution of
random telegraph noise in scaled NAND
flash memory,” Japanese Journal of
Applied Physics, vol. 55, no. 4S, pp.
04EE08-1-4, April 2016, 査読有

Toshihiro Tomita, Kousuke Miyaji,
“Substrate Doping Concentration
Dependence on Random Telegraph Noise
Spatial and Statistical Distribution in
30nm NAND Flash Memory,” Japanese
Journal of Applied Physics, vol. 54, no.
4S, pp. 04DD02-1-6, April 2015, 査読有

[学会発表](計5件)

富田季宏, 宮地幸祐, “3次元デバイスシミュレーションを用いた30nm世代NANDフラッシュメモリにおけるRTN統計分布の浮遊ゲート内電荷量及びトラップ個数依存性解析,”平成27年度応用物理学会北陸・信越支部学術講演会,2015年12月12日,信州大学 長野工学部キャンパス, 査読無

Toshihiro Tomita, Kousuke Miyaji,
“Effects of Cell Vth State and Number of
Traps on Statistical Distribution of
Random Telegraph Noise in Scaled
NAND Flash Memory,” International
Conference on Solid State Devices and
Materials (SSDM), pp. 1188-1189,
Sapporo Convention Center, September
30th, 2015, 査読有

富田季宏, 宮地幸祐, “30nm世代NANDフラッシュメモリにおけるRTNの空間及び統計分布のチャネル不純物濃度依存性,”第62回応用物理学会春季学術講演会,2015年3月12日,東海大学 湘南キャンパス 査読無

Toshihiro Tomita, Kousuke Miyaji,
“Substrate Doping Concentration
Dependence on Random Telegraph Noise
Spatial and Statistical Distribution in 30
nm NAND Flash Memory,” International
Conference on Solid State Devices and
Materials (SSDM), pp. 462-463,
Tsukuba International Congress Center,
September 11th, 2014, 査読有

富田季宏, 宮地幸祐, “30nm世代NANDフラッシュメモリにおけるランダムテレグラフノイズの強度と分布のチャネル不純物密度依存性,”集積回路研究会,信学技報, vol. 113, no. 419, ICD2013-121, p. 53, 京都大学 時計台記念館, 2014年1月28日, 査読無

[その他]

ホームページ等

- 信州大学宮地研究室ウェブサイト
http://www.shinshu-u.ac.jp/faculty/engineering/chair/elec024/ronnbunn_2015.html
- 信州大学学術情報オンラインシステム SOAR 研究者総覧【宮地幸祐】
<http://soar-rd.shinshu-u.ac.jp/profile/ja.yenpWFLa.html>

6. 研究組織

(1)研究代表者

宮地 幸祐 (MIYAJI, Kousuke)

信州大学・学術研究院工学系・准教授

研究者番号：80635467