

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 17 日現在

機関番号：82118

研究種目：若手研究(B)

研究期間：2013～2014

課題番号：25871110

研究課題名(和文)2重SOIウエハを用いた計数型ピクセル検出器の開発

研究課題名(英文)Development of counting-type pixel detector using double SOI wafer

研究代表者

三好 敏喜(MIYOSHI, Toshinobu)

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・研究機関講師

研究者番号：20470015

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：CMOS回路の性能を向上させる技術であるSOI(Silicon-on-insulator)技術を用いて、センサと回路が一体になったピクセル検出器を開発した。ピクセル回路には前段増幅回路と波高弁別回路とカウンタが含まれている。開発上の問題となっている、センサと回路間のクロストーク低減や耐放射線性向上のために、2重SOIウエハを使用した。2重SOI層の上層を回路層とし、下層をシールド層とした。シールド層に一定電圧をかけることでクロストークが低減し、負電圧をかけることで耐放射線性が向上した。これら開発の結果、将来の実用化の目途がついた。

研究成果の概要(英文)：We have developed pixel detectors including both sensor and circuit, using SOI(Silicon-on-insulator), which improves performance of CMOS circuit. The pixel circuit includes preamplifier, discriminator, and counter. To solve problems such as crosstalk between sensor and circuit and radiation hardness, double SOI wafer has utilized. Top SOI layer was used as SOI-CMOS circuit and the bottom as a shield layer. When a constant voltage was applied in the middle SOI layer, the crosstalk was suppressed. When negative voltages were applied, radiation hardness was improved. The results might promise the utilization of the SOI counting-type pixel detectors for various application.

研究分野：エレクトロニクス

キーワード：半導体 X線 電子デバイス SOI CMOS

1. 研究開始当初の背景

ピクセル検出器は、X線や荷電粒子の位置情報や、エネルギー情報を得たり、2次元画像を得るためのものである。主に材料としてシリコンが使われるが、1枚のシリコンウエハから検出器を製作する場合、回路は抵抗率が低いウエハ、センサは抵抗率が高いウエハが必要であるので、両者に矛盾があり最良の性能は得られない。いくつかの高性能なピクセル検出器は、回路とセンサを別々に作り、金属バンプで接続している(ハイブリッド型)。この場合、金属バンプが不要な物質になり、またそれ自身の大きさによりピクセルの大きさに制約が出てくる。そこで我々(測定器開発室・SOIPIXグループ)は、抵抗率が異なる2つのシリコンウエハから作成したSOI基板にセンサを作り、薄いSOI層に回路を作り、両者を絶縁膜を貫通するビアを通じて接続させるという、ワンチップ型のピクセル検出器を開発してきた。この場合は製作を一括して行うことができ、金属バンプに比べて余分な物質が減り、回路とセンサの接続箇所を小さくすることができる。また、SOI技術は本来通常のCMOS回路の性能を向上させるための技術であるので、従来の、1枚のシリコンウエハから製作するCMOS回路よりも回路の性能が良くなる。これこそが理想的な検出器の形態であるが、非常に難しく挑戦的な研究開発であるため、世界を見渡しても、我々の研究グループのみ長年続けることができている。困難である主な理由は以下になる。

(1) 回路とセンサが近いことから、センサ裏面に高電圧を印加すると表面(SOI層)の回路動作に影響する(バックゲート効果)

(2) 回路とセンサが近いことから、両者の間に干渉が起こる(クロストーク)

(3) 回路とセンサを薄い絶縁酸化膜で分けているために、放射線量が多いと酸化膜に正孔が蓄積して回路に影響を与える(イオン蓄積効果、あるいはTID効果)

我々の研究グループでこれまで成果を挙げてきたものは、回路が簡単なもの、すなわちアナログ出力を読み出す“積分型”のみであった。回路規模を大きくし、高速回路処理を行ってデジタル出力まで行う理想的なワンチップ型の検出器を作るためには上記の3点が高いハードルとなっていた。近年、通常のSOIウエハではなく2重SOIウエハを製作して真ん中のSOI層をシールド層とすると、上記の3つの課題を克服できる可能性があることが分かってきた。

2. 研究の目的

ピクセル毎に高速処理回路を搭載した、ワンチップ型のピクセル検出器を開発して、次世代ピクセル検出器として実用化できるレベルに持っていくことである。具体的には、

(1) CMOS回路の性能を向上させる技術であるSOI(Silicon-on-insulator)技術を用いて、ピクセル内で高速処理を行って検出情報をデジタル化する。(2) SOI基板にセンサを形成させて、センサと回路が一体になったワンチップ型の検出器を作る。(3) 回路とセンサが近いことによる諸問題克服のために、2重SOIウエハを使用する。

3. 研究の方法

既存のシンプルな基本回路を含んだ2重SOIウエハを用いたピクセル検出器や、2重SOI上に単体トランジスタを複数搭載した試験チップを用いて、2重SOIウエハ使用時に生じる事象を整理し、利点と欠点を洗い出す。その結果を、より複雑な回路をピクセル内に含む計数型ピクセル検出器開発に反映させる。

LSI設計を行いSOIピクセル検出器を製作し、試験を行う。LSIプロセスには数か月を要し、プロセス終了後には裏面処理と組み立て作業があるため、およそ半年を要する。そのため、2年間で数回試作の機会があり、研究の流れは各試作チップ毎に、設計、製作、試験、の3段階からなる。

(1) 回路設計

指定サイズの画素内に、ピクセル回路を設計する。設計の際にはまずはじめに回路シミュレーションを行いトランジスタパラメータの最適化を行う。ピクセル回路をマトリクス上に並べて、周辺には駆動回路やバッファ回路を設ける。そのため、ピクセル回路、駆動回路、バッファ回路のシミュレーションを行い、回路全体の最適化を行う。

(2) レイアウト設計

設計した回路を元に、チップレイアウトを作成する。レイアウト作成は、ベンダーが指定したデザインルールを守る必要がある。設計したデザインをマルチプロジェクトウエハラン(相乗りプロセス)に提出する。

(3) 評価試験

設計したチップを実装し試験を行うための専用基板を設計し製作する。完成したチップは、まずはじめにそのままプローブと半導体パラメータアナライザを用いて電流電圧特性試験を行う。また、専用基板に搭載し各種評価試験を行う。導通試験、電流電圧測定に加えて、試験プローブとしてチェックソース、卓上X線発生装置、放射光X線等を用いる。この時、ピクセルアレイから2次元画像を得るために読み出しプログラムの開発が必要になる。また、取得したデータを解析するためのプログラムも必要になる。具体的には、オシロスコープで波形を読み込み波形解析を行い、あるいは出力データをPCに取り込んで数値解析を行いグラフや2次元画像を作成する。

4. 研究成果

計数型ピクセル検出器のピクセル回路は、アナログ回路とデジタル回路で構成されている。

初年度はまずはじめに、2重SOIを用いたアナログ回路評価試験を行った。中間SOI層に電圧をかけることで、バックゲート効果が抑制されることを確認した。また、中間SOI層に負電圧をかけることで、アナログ出力の電圧範囲が動くことを確認した。その後、X線あるいはコバルトガンマ線照射試験を行い、耐放射線性についての研究を行った。その結果、単体トランジスタについては2Mrad以下では中間SOI層の電圧を調整することでトランジスタ特性が照射前の状態まで大きな変動なく回復できることを確認した。ピクセルアレイ試験についても、シングルSOIセンサの場合は多量の放射線照射後にはやがて出力信号が消えてしまうが、2重SOIセンサの場合は中間SOI層の電位をコントロールすることで2Mradまで信号出力が復活することを確認した。一方で、中間SOI層の存在のおかげで、ピクセルアレイセンサ部の電位分布が変わり、これまでのピクセルレイアウトのままでは電荷収集効率が減少することが判明した。

一方、1年目は計数型ピクセル検出器の1次、2次試作を行った。製作は、KEKが主催するマルチプロジェクトウエハーラン(相乗りプロセス)で行った。はじめに、ピクセル回路は縮小させずに、これまでの計数型ピクセル回路を2重SOIウエハ対応とした(試作1号機)。次に、ピクセル間の信号の移動を防ぐために不純物を追加し“p-stop”と呼ばれる構造を採用したチップを作成した(試作2号機)。2年目の3次試作のために、これまでの計数型ピクセル検出器のデザインをベースとして、ピクセルサイズの縮小を試みた。これまで開発してきた計数型のピクセルサイズは64 μ m角であったが、カウンタービット数を16ビットから15ビットに減らし、2段弁別回路を1段にし、レジスタービット数を8から4に減らした。その結果、50 μ m角に最低限必要な回路を収めることができ、2重SOIウエハにも対応できるようになった(試作3号機)。しかしその後、既存の計数型ピクセル検出器の試験チップを評価した結果、リーク電流が大きいことが出力に大きな影響を与えることがわかり、初段のアンプ回路に大幅修正を加える必要があることが分かってきた。

2年目には、前年度の試験結果を受けて、試作3号機用のデザインを元に、50 μ m角に縮小した回路の初段アンプ回路と波高弁別回路に大きいリーク電流を補償するための修正を加えた。また、開発上もう一つ大きな変更があった。当初の予定では2重SOIで採用しているセンサタイプはn型であったが、ベンダーの都合により新規にp型センサを使うこ

ととなった。そのために、回路構成をすべてp型仕様に変更することを余儀なくされた。さらに、新しい2重SOIウエハの開発段階で歩留り向上に時間がかかり、結果として1年目に製作した2重SOIウエハが歩留りが悪く利用には至らず、2年目に歩留りが良くなり製作を再開した。2年目後期にようやく2重SOIによる計数型ピクセル検出器試作機が、前年度分のデザインによるものも含めてまとめて完成した。2年目に製作したチップは2種類で、一つはピクセルアレイチップ、もう一つは単体試験チップである。ピクセルアレイチップは大きさ6mm角で、50 μ mピクセルサイズの計数型回路が80x80に並んでいる。単体試験チップは大きさ2.9mm角で、初段増幅回路、波高弁別回路、計数回路が単体あるいは組み合わせ構造として搭載されている。回路単体チップの試験を行い、バックゲート効果の抑制を確認した。また、最大の懸念材料であった回路とセンサ間のクロストークについても、従来のシングルSOIに比べて抑制効果を確認できた。ピクセルアレイチップについて駆動プログラムを作成し、2次元画像出力を得た。最終目標の放射線耐性試験や高速駆動試験等、大型施設の利用が必要な実験は年度内に間に合わず、当初の目標通りにはすべての試験は完全には期間内に完了できなかったものの、最低限の評価試験は完了し、その他の残りの試験もすぐに進められる状態にまで試験環境を整えた。最終的には、これまでの最大の問題であったバックゲート効果、放射線耐性、クロストークについて、シングルSOI計数型センサに比べて改善が認められたので、2重SOIによる計数型ピクセル検出器の実用化の目途がついたと言える。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計2件)

1. “Monolithic pixel detectors fabricated with single and double SOI wafers”
T. Miyoshi, Y. Arai, Y. Fujita, K. Hara, S. Honda, Y. Ikegami, Y. Ikemoto, S. Mitsui, A. Takeda, K. Tauchi, T. Tsuboyama, Y. Unno, Proceedings of Science, PoS(TIPP2014_044), 2014

2. “SOI Monolithic Pixel detector”
T. Miyoshi, M. I. Ahmed, Y. Arai, Y. Fujita, Y. Ikemoto, A. Takeda and K. Tauchi, Journal of Instrumentation, Vol. 9, C05044, May 2014, doi:10.1088/1748-0221/9/05/C05044

[学会発表](計4件)

1. 「SOI技術を用いたX線イメージセンサーの最近の進展」

三好 敏喜, 新井 康夫, 池上 陽一, 倉知 郁生, 田内 一弥, 坪山 透, 西村 龍太郎, 浜崎 竜太郎, 藤田 陽一, 三井 真吾, 山田 美帆,

日本物理学会, 2015 年 3 月 21 日-2015 年 3 月 24 日, 早稲田大学

2. 「SOI 技術を用いた放射線イメージセンサーの最近の進展」

三好 敏喜, 新井 康夫, 三井 真吾, 西村 龍太郎

応用物理学会, 2015 年 3 月 11 日-3 月 14 日, 東海大学

3. 「多重積層 SOI 放射線センサーの開発」

三好 敏喜, 新井 康夫, 池本 由希子, 池上 陽一, 海野 義信, 田内 一弥, 武田 彩希, 坪山 透, 原 和彦, 藤田 陽一, 本多 俊介, 三井 慎吾,

日本物理学会, 2014 年 3 月 27 日-2014 年 3 月 30 日, 東海大学

4. 「2重 SOI および FZ-SOI 基板を用いた SOI 放射線センサーの開発」

三好 敏喜, 新井 康夫, 池本 由希子, 田内 一弥, 武田 彩希, 原 和彦, 藤田 陽一, 本多 俊介

日本物理学会, 2013 年 9 月 20 日-2013 年 9 月 23 日, 高知大学

〔図書〕(計 0 件)

〔産業財産権〕

出願状況(計 0 件)

名称:

発明者:

権利者:

種類:

番号:

出願年月日:

国内外の別:

取得状況(計 0 件)

名称:

発明者:

権利者:

種類:

番号:

出願年月日:

取得年月日:

国内外の別:

〔その他〕

ホームページ等

6. 研究組織

(1) 研究代表者

三好 敏喜 (MIYOSHI, Toshinobu)

高エネルギー加速器研究機構・

素粒子原子核研究所・

研究機関講師

研究者番号: 20470015

(2) 研究分担者

なし

(3) 連携研究者

なし