

令和元年6月12日現在

機関番号：13901

研究種目：基盤研究(S)

研究期間：2014～2018

課題番号：26220605

研究課題名(和文)多機能融合・省電力エレクトロニクスのためのSn系 IV族半導体の工学基盤構築

研究課題名(英文) Establishment of Fundamental Engineering of Sn-related Group-IV Semiconductor Materials for Multi-Functional and Low-Power Electronics

研究代表者

財満 鎮明 (ZAIMA, SHIGEAKI)

名古屋大学・未来社会創造機構・教授

研究者番号：70158947

交付決定額(研究期間全体)：(直接経費) 141,600,000円

研究成果の概要(和文)：本研究においては、次世代エレクトロニクスへの活用が期待されるトンネル電界効果トランジスタや光電融合多機能デバイスへの応用に向けて、ゲルマニウム錫(GeSn)やゲルマニウムシリコン錫(GeSiSn)など、新しいSn系 IV族混晶薄膜の結晶成長および電子物性制御技術を開発した。結晶薄膜および様々な界面物性やエネルギーバンド構造の制御技術、材料・プロセス技術を開拓し、省電力トランジスタや多機能集積電子・光電子デバイスの実現に資するSn系 IV族混晶半導体の工学基盤を構築した。

研究成果の学術的意義や社会的意義

これまで未開拓であった新規Sn系 IV族混晶半導体の結晶成長の学術を構築するとともに、エレクトロニクス応用上重要な様々な界面制御、プロセス技術の研究開発を推進し、新世代の電子・光電子デバイスの進展に資する多数の知見を獲得した。GeSnをはじめとするIV族半導体は次世代の省電力・高速・多機能集積・大容量エレクトロニクスの進歩に貢献できる材料であり、Society 5.0に代表される持続可能な省エネルギー産業や安全・安心な生活環境を実現できる超高度情報ネットワーク社会構築への寄与が期待できる。

研究成果の概要(英文)：We have investigated the thin-film growth and process technologies of Sn-related group-IV semiconductor such as germanium-tin and germanium-silicon-tin alloys for applications of tunnel field-effect transistor and multifunctional photoelectric device those will contribute to next generation electronics. We developed engineering technologies of thin films, interface properties, energy band structure, and electronic device process, and also established fundamental engineering and science of Sn-related group-IV alloy semiconductors contributing to the progress of low-power consumption transistors and multifunctional electronic and optoelectronic devices.

研究分野：半導体工学、結晶工学、表面界面工学

キーワード：半導体物性 結晶工学 表面・界面物性 ゲルマニウム錫 エネルギーバンド 結晶成長 集積回路
族半導体

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

現代の高度情報ネットワーク社会の将来にわたる持続的発展に向けて、これを支える多様な電子情報デバイスの高性能化、多機能化、省電力化、集積化、大容量化の実現が必要不可欠である。本研究では、従来の集積回路基盤材料であるシリコン (Si) に代わる新規半導体材料としての可能性を秘めるゲルマニウム錫 ($\text{Ge}_{1-x}\text{Sn}_x$) 混晶に着目した。

$\text{Ge}_{1-x}\text{Sn}_x$ は高 Sn 組成化や歪導入による直接遷移化、キャリア移動度向上、エネルギーバンド構造制御、低温結晶成長などの特長から、急速に注目が集まる新規の半導体材料である。加えて、 $\text{Ge}_{1-x}\text{Sn}_x$ は従来の Si ナノエレクトロニクスとも親和性に優れる IV 族半導体混晶であり、集積回路への混載にも期待が持てる。本材料を用いた高移動度 MOSFET、省電力トンネル FET や光検出器、発光ダイオード、レーザダイオード等の光電融合素子への応用が期待されている。

2. 研究の目的

本研究では、新世代の省電力集積回路への応用が期待されるトンネル電界効果トランジスタ (FET) や光電融合多機能デバイス構築に向けて、Sn 系 IV 族混晶の薄膜結晶成長技術およびエネルギーバンド構造制御技術の開発を行った。これら $\text{Ge}_{1-x}\text{Sn}_x$ 混晶薄膜の基礎的な結晶物性、電子物性を解明すると同時に、デバイス製造に不可欠な絶縁膜あるいは金属電極と $\text{Ge}_{1-x}\text{Sn}_x$ 混晶との界面物性の解明および制御を目指す。我々が世界に先駆けて研究開発してきた $\text{Ge}_{1-x}\text{Sn}_x$ 結晶成長技術やプロセス技術を更に発展させ、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 、 $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ 等の多元系 IV 族混晶薄膜におけるエネルギーバンド構造、結晶歪、欠陥構造、キャリア物性、光電相互作用などを包括的に解明し、デバイス実現に資する物性制御技術を構築した。さらに、トンネル FET や光学デバイス作製に必要なプロセス技術を開拓し、その電氣的・光学的特性の解明を進めることで、Sn 系 IV 族半導体材料による Si 系ナノエレクトロニクスの飛躍的発展を目指した。

本研究の推進において、以下の目標を設定した。(1) $\text{Ge}_{1-x}\text{Sn}_x$ 混晶をはじめとする 2 元および 3 元 IV 族混晶半導体薄膜の持つ結晶学的および電子・光学的な可能性を明確化し、これら新材料の結晶物性、電子物性の制御技術を確立する。主に Sn 系 IV 族混晶薄膜のエピタキシャル成長技術の構築を進め、結晶歪および欠陥構造、エネルギーバンド構造、キャリア移動度などの電子物性、光電相互作用などの相関性を系統的に解明し、半導体デバイス応用に資する物性制御技術を構築する。(2) Sn 系 IV 族半導体材料のデバイス応用に向けた結晶成長制御技術構築およびエネルギーバンド構造の設計・実証を行う。 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 等の多元混晶の元素組成が、結晶欠陥、歪、エネルギーバンド構造、キャリア物性等に及ぼす影響を明確化する。(3) デバイス動作に必要な不可欠な絶縁膜や金属電極との界面特性を解明し、低欠陥密度化や接合抵抗制御のための材料、プロセス技術を構築する。(4) Si 系集積回路上への Sn 系 IV 族半導体の融合技術を構築し、Si 系ナノエレクトロニクスの新世代を担うテクノロジートレンドを創出する。

3. 研究の方法

Sn 系 IV 族半導体材料のナノエレクトロニクス応用に向けて、主に以下の項目に注力して研究を推進した。具体的には(1) 結晶欠陥密度低減を目指した水素照射や Si 導入を駆使して、用途に応じた Sn 組成が設計された Sn 系混晶薄膜の結晶成長技術を構築した。(2) 高 Sn 組成 Sn 系混晶薄膜や各種材料界面の結晶欠陥および局所領域の歪構造を詳細に解明した。(3) Sn 系混晶薄膜のキャリア物性、エネルギーバンド構造、吸光・発光特性を解明した。また、Sn 組成や歪構造と各種電子・光物性の系統的な相関性を明確化した。(4) Sn 系混晶と絶縁膜や金属との界面物性制御、ドーピング技術を構築し、電子物性制御技術を確立した。(5) トンネル FET や光電融合デバイスのためのプロセス技術の構築と試作、および動作検証を進めた。

4. 研究成果

本研究で得られた成果を以下に述べる。

(1) $\text{Ge}_{1-x}\text{Sn}_x$ および IV 族混晶薄膜の結晶成長技術

エピタキシャル $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶成長および電子物性制御

様々な基板上における分子線エピタキシー (MBE) 法を用いた $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の成長を分析評価した結果、基板との格子定数差に起因する歪エネルギーが歪緩和および Sn 析出を引き起こす要因であることを見出した。この考察に基づき、臨界歪エネルギーを超えないように薄膜化した $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶成長を試みた結果、膜厚 3nm と極薄ながらも、平衡固溶限界を数十倍超えて 46% に達する高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層を Sn 析出なく形成できることを見出し、高 Sn 組成非平衡 IV 族混晶薄膜の結晶成長に向けた指針を得た。

さらに、MBE 成長時における分子状あるいは原子状水素供給によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の結晶性を改善できることを実証した。特に原子状水素供給によって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層の X 線回折プロファイルの散漫散乱が最も小さくなり、表面平坦性も大きく向上することを明らかにした。さらに、水素原子供給は $\text{Ge}_{1-x}\text{Sn}_x$ 層の電気伝導特性の改善にも有効であり、正孔生成の原因となる浅い欠陥準位を室温において $5 \times 10^{17} \text{ cm}^{-3}$ まで低減できることを見出した。

有機金属化学気相成長法の開発

有機金属化学気相成長 (MOCVD) 法により、tertiary-butyl-germane (TBGe) および tri-butyl-vinyl-tin (TBVSn) プリカーサを用いた $\text{Ge}_{1-x}\text{Sn}_x$ 成長技術を開発した。その結果、Sn 組成 5% を

超える $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の形成を達成し、その結晶物性を明らかにした。さらに新規 tetrakis-dimethylamino-tin (TDMA_{Sn}) 原料を用いた $\text{Ge}_{1-x}\text{Sn}_x$ の MOCVD 法も探索した。従来原料に比べて、Ge 原料との高い反応性と Sn 成長速度の増加を見出し、260 °C の低温成長における Sn 組成 5% の $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層形成を実証した。これらの研究を通して、Sn 組成向上に向けた原料探索や選択成長技術に向けた指針を構築した。さらに、MOCVD 法により Ge 細線構造への Sn 組成 6.5% の $\text{Ge}_{1-x}\text{Sn}_x$ 形成を達成し、移動度向上に有望な 0.8% の一軸圧縮歪 Ge の形成を実証した。

Ge_{1-x}Sn_x 混晶薄膜ドーピング技術

Sb サーファクタント効果を活用した低温 in-situ ドーピング MBE 法によって、均一平坦かつ $1.4 \times 10^{20} \text{ cm}^{-3}$ に達する高電子濃度を有する Sn 組成 6% の $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の形成を達成した。また、高濃度 Sb ドープ $\text{Ge}_{1-x}\text{Sn}_x$ 層においては、300 °C 熱処理後も 10^{20} cm^{-3} を超える高い格子置換 Sb 濃度を維持できること、Ge と比較しても優れた熱安定性を示すことを実証した。

また、MOCVD 法を用いた $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の形成技術を開発した。 $\text{Ge}_{1-x}\text{Sn}_x$ の選択的成長技術を実証し、各プリカーサが選択成長機構に及ぼす影響を解明した。また、新規の燐 (P) 前駆体を活用した in-situ P ドーピング $\text{Ge}_{1-x}\text{Sn}_x$ 層成長技術を開発し、 $1 \times 10^{19} \text{ cm}^{-3}$ の高電子濃度を有する $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層 (Sn 組成 1.7%) の形成を実証した。

GOI 構造形成技術

ウェハボンディングにより Ge 基板を熱酸化 Si 基板に貼り合せ後、水素イオン注入によるスマートカット手法により Ge 基板を剥離することで、Ge-on-Insulator (GOI) 基板の作製を達成した。スマートカット後、化学機械研磨で Ge 薄膜を平坦化し、550 °C 熱処理を施すことで、水素イオン注入時に発生した結晶欠陥を低減できることをラマン分光法による評価等で実証した。この結果、残留キャリア濃度が 10^{16} cm^{-3} 以下、Hall 正孔移動度が $2000 \text{ cm}^2/\text{Vs}$ 以上を有する p-Ge 薄膜を有する Ge-on-Insulator (GeOI) 基板の作製を実現した。(図 1)

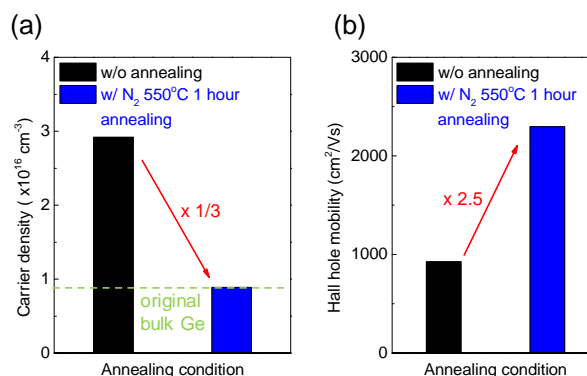


図 1. 貼り合わせ作製した GeOI の (a) 正孔密度および (b) Hall 正孔移動度。熱処理前後の比較。

新規 IV 族混晶薄膜の創成

新しい $\text{Si}_{1-x}\text{Sn}_x$ 混晶半導体薄膜の形成に挑戦し、Si 中の Sn の熱平衡固溶限界 (0.1%) を大きく超える 40% の高 Sn 組成 $\text{Si}_{1-x}\text{Sn}_x$ エピタキシャル層形成を示唆する結果を得た。Sn 組成の向上には基板格子定数の制御と Sn 析出を生じさせない 230 °C 以下の低温成長が要点であることを実証した。さらに第一原理計算を用いて、新規 $\text{Si}_{1-x}\text{Sn}_x$ 混晶の結晶構造安定性やエネルギーバンド構造に関する知見を得た。さらに歪 SOI 上への Ga ドープ $\text{Si}_{1-x}\text{Sn}_x$ 層の固相成長技術を開発し、その電子物性も明らかにした。 $1 \times 10^{20} \text{ cm}^{-3}$ 台の高濃度の Ga ドーピングによって価電子帯端を効果的に向上できることを見出し、トンネル FET のバンド構造制御に向けた $\text{Si}_{1-x}\text{Sn}_x$ /歪 Si ヘテロ構造の制御技術に関する知見を蓄積した。

また、スパッタリング法を用いた $\text{Ge}_{1-x-y}\text{Sn}_x\text{C}_y$ や $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ などの新しい IV 族混晶薄膜の形成にも挑戦し、その結晶および電子物性を解明した。Ge あるいは Si への Sn と C 導入による三元混晶化によって、二元系の場合に比較してより高い 7% に達する格子置換位置 C 組成 $\text{Si}_{1-x-y}\text{Sn}_x\text{C}_y$ 層の創成を実証した。

(2) IV 族混晶のための界面制御技術

IV 族混晶の MOS 界面制御

有機原料を用いた化学気相成長法によって形成した GeO_2 絶縁膜は、熱酸化により作製した膜よりも、化学的に安定な構造を含んでおり、水や他の化学原料への暴露に対する耐性が高く、high-k/Ge 界面中間層として期待できることが示された。また、堆積法によって形成した GeO_2 膜を用いて GeO_2/Ge MOS キャパシタを作製し、Ge 中の深い欠陥準位密度を評価した結果、 GeO_2 堆積温度と共に欠陥準位密度の増加が見出され、堆積温度 200 °C の試料の欠陥密度は、300 °C の場合の 10 分の 1 となった。これらの結果から、Ge 基板中の深い欠陥密度の低減に向けた低温プロセスの重要性を実証できた。また、300 °C 以下の GeO_2 膜低温堆積により作製した $\text{GeO}_2/\text{Ge}_{1-x}\text{Sn}_x$ MOS キャパシタにおいて Sn 析出を抑制しながら $1 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 台の低い界面準位密度を実現し、 $\text{Ge}_{1-x}\text{Sn}_x$ トランジスタ実現に必要な MOS 構造低温形成技術を構築できた。

金属/IV 族混晶半導体コンタクトの電気伝導特性制御

格子整合系 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 三元混晶薄膜を界面層とする金属/n-Ge 接合 Schottky ダイオードの電気伝導特性を評価した結果、格子不整合が小さい界面ほど Fermi レベルピニングを緩和でき、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 界面層の活用によって 0.15eV の低 Schottky 障壁高さを実現できることを実証した。

また、低温 in-situ Sb ドーピングにより形成した電子濃度 $1.8 \times 10^{20} \text{ cm}^{-3}$ に達する n⁺型 Ge (ある

いは $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層上に NiGe (あるいは $\text{Ni}(\text{Ge}_{1-x}\text{Sn}_x)$) 形成による金属/ Ge ($\text{Ge}_{1-x}\text{Sn}_x$) 接合を作製し、 $10^{-9} \Omega\text{cm}^2$ の超低コンタクト抵抗率の実現を実証した。

$\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}_{1-x}\text{Sn}_x$ ヘテロ接合の形成と電子物性制御

硬 X 線光電子分光法および分光エリプソメトリー法を用いて、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}$ ヘテロ接合構造におけるエネルギーバンド構造を明らかにした。図 2(a)に示すように、Si および Sn 組成の増加によって、 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}(\text{Ge}_{1-x}\text{Sn}_x)$ 界面に価電子帯端および伝導帯端双方に適切なエネルギーバンドオフセットを有するタイプ I バンド構造を形成できることを実証した。

$\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 二重ヘテロ構造を作製すると共に、そのフォトルミネッセンス (PL) 特性を明らかにし、図 2(b)に示すように量子閉じ込め構造による PL 発光強度の増大を見出した。 $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 二重ヘテロ構造の PL スペクトルを詳細解析し、そのバンド構造、歪緩和や結晶物性が発光効率に及ぼす影響を解明した。

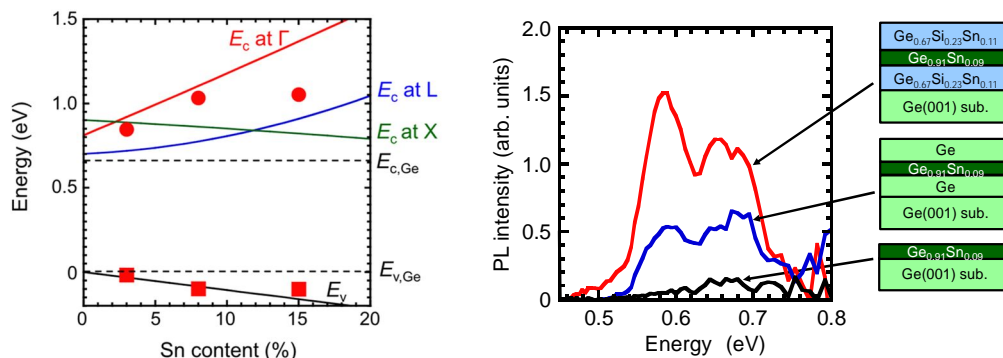


図 2. (a) Ge 上に疑似格子整合 (pseudomorphic) させて成長した $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ の伝導帯および価電子帯端位置の Sn 組成依存性。実線は理論予測。(b) $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ 二重ヘテロ構造試料から得られた PL スペクトル。比較のため、 $\text{Ge}/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ や $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 試料の PL スペクトルを合わせて示した。

(3) 極微細構造形成と局所物性評価

微細領域歪構造解析の高精度化

MBE 法で作製した $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 擬似 FinFET 構造に対して、放射光マイクロ回折やナノビーム回折 (NBD) を用いた歪み分布計測技術を構築した。基板垂直 / 平行方向にそれぞれ 0.9% / -0.5% の歪印加を定量的に実証できた。電顕観察のための試料薄片化が、歪緩和に与える効果についても検討を行い、弾性定数の結晶方位依存性を考慮して薄片化する必要があることを示した。さらに、MOCVD 法で作製した試料についても歪み分布の評価を行った (図 3)。MOCVD 法で作製した試料では、MBE 試料に比較して Fin 部分とストレッサー部の良好な密着性が確認され、マイクロ回折および NBD による歪み測定から MBE 法試料に比べて約 1.6 倍の一軸性圧縮歪が Ge に印加されることを実証できた。

ロッキングカーブ位相回復による 3 次元歪み解析

NBD 法では電子線の入射方向に投影した 2 次元的な歪み分布しか得られないが、収束電子回折で得られるロッキングカーブには電子線入射方向に沿った格子変位場の情報がすべて含まれる。本研究では、運動学近似が成り立つ場合、ロッキングカーブと格子変位場が単純な Fourier 変換で結ばれることを利用し、Fourier 反復位相回復をもちいて格子変位場を得る手法を開発した。開発した手法を、ヘテロ界面の格子湾曲、積層欠陥および転位近傍の歪み場に適用し、変位場の再構成に成功した。電子顕微鏡による観察の場合、試料の薄片化による表面緩和など入射方向に沿った歪みが起こりえるため、3 次元的な歪み分布の計測はきわめて重要である。

辞書学習によるノイズ除去および定量性評価技術構築

高分解能電子顕微鏡像に対して辞書学習と呼ばれる情報学の手法を適用し、ノイズ低減および超解像化処理を行う手法を開発した。さらに辞書学習により得られた画像と、フーリエローパスフィルター法、メディアンフィルター法などで得られる画像と原子位置決定精度の比較を行い、その定量性について調べた。その結果、他の手法に比べて精度が高いことが確かめられ、原子変位を解析するために有効な手法であることが判明した。この成果は、当初研究目的にはなかった副産物として得られたものである。

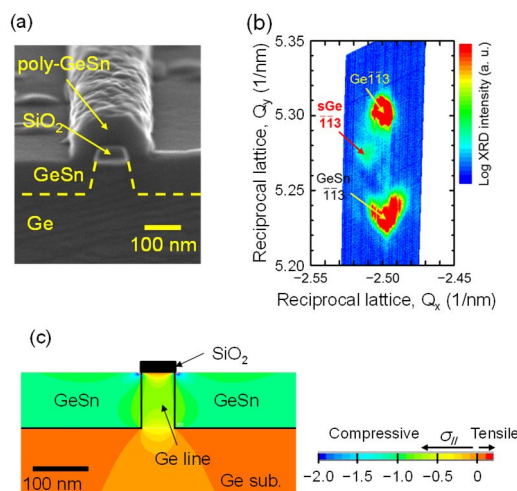


図 3. (a) $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 微細構造の電子顕微鏡像。(b) 同試料の放射光マイクロ回折 2 次元逆格子空間マッピングの測定例。(c) 局所歪構造評価のための有限要素法シミュレーション。

(4) IV 族半導体デバイス応用に向けた基盤技術構築

GOI 中赤外光導波路の作製

作製した高品質 GeOI 基板を用いて、Ge 細線導波路を作製し、波長 $2\mu\text{m}$ の中赤外光での導波路動作を確認することに初めて成功した。GeOI 構造による強い光閉じ込めにより、極めて急峻な曲げ導波路においても光損失が増加しないことを示した。また、光導波路に PIN 接合を形成し電流注入することで、Ge 中の自由キャリア吸収を用いた光強度変調に初めて成功した。また、図 4(a)に示すような GeOI 基板上に横方向 PIN 接合を形成した受光器にアモルファス Si 光導波路を突合せ接続した導波路型 Ge 受光器の動作も実証した。高結晶品質 GeOI 基板を実現したことで、低電流動作を得ることに成功した(図 4(b))。

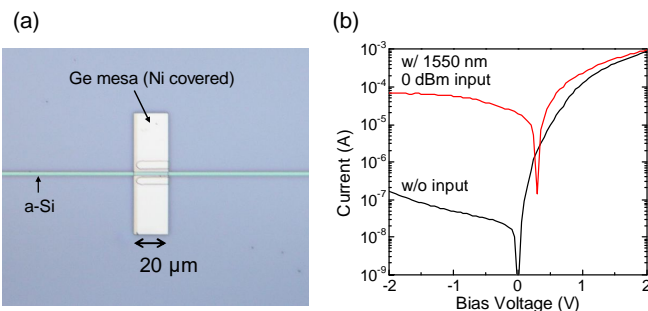


図 4. (a)GeOI 基板上に作製した導波路型 Ge 受光器および (b) 同試料から得られた受光特性。

さらに GeOI 基板を用いて、導波路下部の SiO_2 層をくり抜いた吊り下げ Ge 光導波路の実証にも世界で初めて成功した。また吊り下げ構造を用いたフォトニック結晶やリング共振器などの動作を得ることに成功した。また Ge 熱光学位相シフタを作製し、Si として比較して 2 倍の効率で動作することを示した。その他、MOS 構造を用いた Ge/Si 光変調器やグラフェンと組み合わせた中赤外光位相変調器を提唱し、その動作を数値解析で明らかにした。

絶縁膜上 $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の熱電物性解明とデバイス試作

様々な単結晶基板上的 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層や絶縁膜上の多結晶 $\text{Ge}_{1-x}\text{Sn}_x$ 薄膜の結晶物性とゼーベック係数や熱伝導率などの熱電特性との相関を解明し、熱電デバイス応用に向けた $\text{Ge}_{1-x}\text{Sn}_x$ の優位性を実証した。Si 上に形成された Sn 組成 6% の Sb ドープ $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル薄膜において $1.4 \text{ Wm}^{-1}\text{K}^{-1}$ の低い熱伝導率を見出した。また、 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層、多結晶層はドーピング濃度を制御することで n 型、p 型双方で最大 $10 \mu\text{Wcm}^{-1}\text{K}^{-2}$ に迫るパワーファクタを示し、従来の熱電材料である BiTe 系材料の $2\sim 3$ 分の 1 にまで迫る値を達成できた。今後の IV 族混晶開発によって、更なる性能向上も期待できる。さらに $\text{Ge}_{1-x}\text{Sn}_x$ を用いた熱電変換素子を試作し、図 5 に示すように、その熱電変換特性を初めて評価し、その性能向上に向けて金属/n 型 $\text{Ge}_{1-x}\text{Sn}_x$ 接合のコンタクト抵抗低減が課題であることも明確化した。

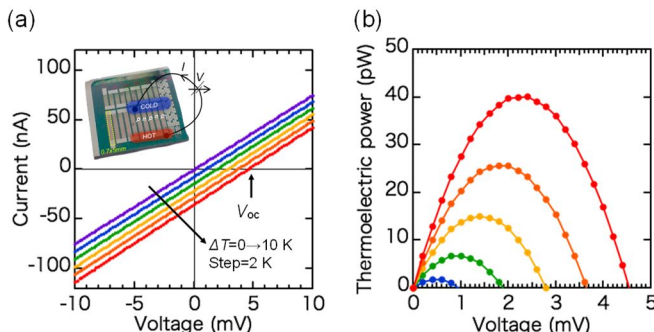


図 5. n 型および p 型多結晶 $\text{Ge}_{1-x}\text{Sn}_x$ からなる熱電変換素子の (a)電流-電圧特性、(b)電力-電圧特性。高温-低温領域間の温度差を $0\sim 10 \text{ K}$ の範囲で変化させて得られた結果である。

5 . 主な発表論文等

[雑誌論文] (計 80 件、うち査読付き学術論文 72 件)

- (1) "Optoelectronic properties of high-Si-content- $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$ double heterostructure", M. Fukuda, D. Rainko, M. Sakashita, M. Kurosawa, D. Buca, O. Nakatsuka, and S. Zaima, *Semicond. Sci. Technol.* **33** (12), 124018 (8 pages) (2018). (査読有、DOI: 10.1088/1361-6641/aaebb5)
- (2) "Experimental observation of type-I energy band alignment in lattice-matched $\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y/\text{Ge}$ heterostructures", T. Yamaha, S. Shibayama, T. Asano, K. Kato, M. Sakashita, W. Takeuchi, O. Nakatsuka, and S. Zaima, *Appl. Phys. Lett.* **108**, 061909 (2016). (査読有、DOI: 10.1063/1.4941991)
- (3) "Growth and applications of GeSn-related group-IV semiconductor materials", S. Zaima, O. Nakatsuka, N. Taoka, M. Kurosawa, W. Takeuchi, and M. Sakashita, *Sci. Technol. Adv. Mater.* **16**, 043502 (2015). (査読有、DOI: 10.1088/1468-6996/16/4/043502)

[学会発表] (計 245 件、うち招待講演 48 件)

- (1) "Development of GeSn-related group-IV thin films for designing energy band", O. Nakatsuka, M. Kurosawa, W. Takeuchi, M. Sakashita, and S. Zaima, International Conference on Solid-State Devices and Materials (SSDM2018), Tokyo, Japan, Sept. 9-13, 2018.
- (2) "Challenges in Engineering Materials Properties for GeSn Nanoelectronics", S. Zaima, O. Nakatsuka, M. Kurosawa, W. Takeuchi, and M. Sakashita, European Materials Research Society (E-MRS) 2016 Fall Meeting, Warsaw, Poland, Sept. 19-22, 2016.

- (3) "Crystal Growth of GeSn-related Group-IV Thin Films for Integrating on Si Nanoelectronics Platform", S. Zaima, O. Nakatsuka, T. Asano, T. Yamaha, S. Ike, A. Suzuki, M. Kurosawa, W. Takeuchi, and M. Sakashita, International Conference on Solid State Devices and Materials (SSDM2015), Sapporo, Japan, Sept. 27-30, 2015.

〔図書〕(計1件)

“Chapter 32 - Heteroepitaxial growth of Si, $\text{Si}_{1-x}\text{Ge}_x$, and Ge-based alloy”, O. Nakatsuka and S. Zaima, in Handbook of Crystal Growth (Second Edition), (edited by T. Kuech, Elsevier, 2015) pp. 1301-1318.

〔産業財産権〕

出願状況(計5件)

名称：電子素子およびその製造方法

発明者：中塚理、鈴木陽洋、戸田祥太、坂下満男、財満鎮明

権利者：名古屋大学

種類：特許

番号：特願 2016-162977、特開 2018-032690

出願年：2016年

国内外の別：国内

〔その他〕

○ 財満・中塚研究室ウェブサイト(研究成果を公表中)

<http://alice.xtal.nagoya-u.ac.jp/zaimalab/>

6. 研究組織

(1) 研究分担者

研究分担者氏名：竹中 充

ローマ字氏名：TAKENAKA, Mitsuru

所属研究機関名：東京大学

部局名：大学院工学系研究科

職名：准教授

研究者番号(8桁)：20451792

研究分担者氏名：齋藤 晃

ローマ字氏名：SAITOH, Koh

所属研究機関名：名古屋大学

部局名：未来材料・システム研究所

職名：教授

研究者番号(8桁)：50292280

(2) 研究協力者

研究協力者氏名：中塚 理

ローマ字氏名：NAKATSUKA, Osamu

所属研究機関名：名古屋大学

部局名：工学研究科

職名：教授

研究者番号(8桁)：20334998

研究協力者氏名：黒澤 昌志

ローマ字氏名：KUROSAWA, Masashi

所属研究機関名：名古屋大学

部局名：工学研究科

職名：講師

研究者番号(8桁)：40715439

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。