

令和元年6月12日現在

機関番号：12701

研究種目：基盤研究(S)

研究期間：2014～2018

課題番号：26220904

研究課題名(和文)熱力学的極限に挑む断熱モード磁束量子プロセッサの研究

研究課題名(英文) Study on Adiabatic Single-Flux-Quantum Circuits Operating in the Thermodynamic Energy Limit

研究代表者

吉川 信行 (YOSHIKAWA, Nobuyuki)

横浜国立大学・大学院工学研究院・教授

研究者番号：70202398

交付決定額(研究期間全体)：(直接経費) 153,300,000円

研究成果の概要(和文)：本研究は、超伝導回路の位相をゆっくりと断熱的に変化させることで、高速性が特徴の磁束量子回路において、熱力学的極限に迫る究極的な低消費エネルギー化を図る。本提案の断熱的磁束量子(AQFP)回路は、半導体CMOS回路に対して6桁以上のエネルギー低減化が可能であり、冷却コストを考慮しても情報機器の消費エネルギーを格段に小さくすることができる。本研究ではAQFP回路の基本特性を解明すると共に、大規模AQFP回路設計のための基盤技術を確立した。また、情報処理システムの実用化のために有用な高密度メモリと3次元集積回路プロセスを開発し、AQFPプロセッサの高速動作実証を行った。

研究成果の学術的意義や社会的意義

本研究の成果は、コンピュータの消費エネルギーの熱力学的限界を明らかにするという意味で学術的に大きな意味を持つ。応用面では、冷凍機の電力を見込んでハイエンド情報機器の消費電力を圧倒的に低減でき、現在、急増しているデータセンタやAI機器などの高性能情報機器の消費電力を飛躍的に低減できる。また、本技術による極限的な回路の低消費電力化は、量子ビットシステムや超伝導検出器など、超低消費電力の周辺回路を必要とする多くの分野への波及効果が期待できる。

研究成果の概要(英文)：The aim of this study is the realization of extraordinarily energy-efficient logic circuits operating in the thermodynamic energy limit using superconducting logic circuits. Our approach utilizes the adiabatic operation of quantum flux parametron (AQFP) by changing its phase difference adiabatically or very slowly. Since the bit energy of the AQFP circuits is about six orders of magnitude smaller than that of the state-of-the-art CMOS circuits, the energy consumption of the information systems can be significantly reduced, even considering the cooling energy. In this study, we clarified the basic characteristics of AQFP circuits and established the fundamental technology for designing large-scale AQFP circuits. In addition, we developed a high-density memory and a three-dimensional integrated circuit process, which are necessary for the practical application of the information processing system. We have demonstrated the energy-efficient high-speed operation of AQFP processors.

研究分野：電子デバイス・電子機器、集積回路工学、集積エレクトロニクス、超伝導エレクトロニクス

キーワード：集積回路 超伝導回路 ジョセフソン集積回路 断熱的回路 低消費エネルギー 単一磁束量子回路
量子磁束パラメトロン

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

エクサスケール級の高性能コンピュータの実現のためには、エネルギー効率の高い論理回路が必要不可欠である。論理回路のエネルギー効率において、最も重要な評価指標は1ビット1演算当たりの消費エネルギーである。Landauer による考察以来、古くからこの最小エネルギーに関し議論がなされている。熱力学的考察によれば1ビットの演算に要する最小エネルギーは $k_B T \ln 2$ と予想されるが、それと誤り率や動作速度との関係は全く未解明のままである。情報機器の消費エネルギーがシステム性能を決めるようになり、この問題の本質的な理解が極めて重要となってきた。

超伝導リング中の量子化磁束を情報担体とする単一磁束量子(single flux quantum; SFQ)回路は、高速動作が可能でありながら消費電力は極めて小さい。そのため、大規模なデジタルシステムの実現を最終目標とし、欧米諸国と日本を中心に研究が進められている。図1は、SFQ回路とCMOS回路のビットエネルギーとクロック周期の関係を示す。SFQ回路は、エネルギー・遅延時間積において、CMOS回路と比較して3桁以上優れている。

しかしながら、このSFQ回路技術を真に意味のあるものにするには、半導体では到達できない性能、とりわけ極限まで低減化された消費エネルギーと高速動作が両立することを示す必要がある。そのため研究代表者は、これまでに超伝導位相の断熱制御に基づく断熱モード磁束量子(adiabatic quantum flux parametron; AQFP)回路を提案し、論理回路の低電力化に革新的なブレークスルーをもたらす幾つかの基本的な研究成果を得た。これらの研究成果は、AQFP回路が消費エネルギーの面で半導体回路に対して6桁以上優れていることを示しており、究極的な低消費論理回路の基本概念としてパラダイムシフトをもたらす。これらの研究成果を踏まえ、当初計画以上の成果が得られたAQFP技術を更に発展させ、将来のハイエンド情報機器の基盤技術にまで高めるべきと判断し、本プロジェクトをスタートした。

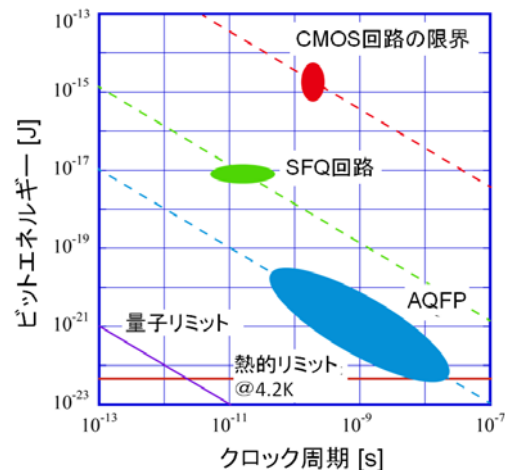


図1 各種論理回路のビットエネルギーならびにクロック周波数の関係

2. 研究の目的

本研究は、半導体論理回路に対して6桁以上のビット演算エネルギーの優位性を持つ断熱モードAQFP回路を中核とし、加えて高密度大容量の可能性を持つ位相制御型超伝導メモリの研究、AQFP回路の高密度集積化を可能とする3次元超伝導集積回路プロセス技術の研究を行い、超低消費エネルギー集積回路を実現するための基盤技術を確立する。更にAQFP回路の大規模回路設計を可能とするCADやセルライブラリなど回路設計のための基盤技術を確立する。これらの基本技術を利用して最終的には3次元集積化されたAQFPプロセッサの5GHzでの高速動作実証を目指す。具体的には、(1)AQFP論理ゲートの基本特性の解明、(2)大規模回路設計基盤技術の確立、(3)位相制御型超伝導メモリの研究、(4)3次元集積回路プロセスの研究、(5)AQFPプロセッサの動作実証、の研究を行う。

3. 研究の方法

①AQFP論理ゲートの基本特性の解明

論理ゲートの消費エネルギーの限界の解明に向け、AQFP論理ゲート基本特性を明らかにする。論理ゲートの消費エネルギー、動作スピード、動作余裕度の関係を調べ、最適な回路パラメータを導く。また、熱雑音を考慮し、論理ゲートの消費エネルギーと回路の動作スピードとの関係を理論的に検討する。以上によりAQFP集積回路が安定に動作するための回路設計指針を決定する。更に実験により、AQFP基本ゲートの消費エネルギーと動作スピード、誤り率の関係、ならびに回路規模と歩留まりの関係を明らかにする。実験により、AQFP論理ゲートの消費エネルギーの限界値を測定し、AQFP回路の消費エネルギーを明らかにする。

②大規模回路設計に向けたAQFP回路の設計基盤技術の確立

本研究では、大規模かつ高速なAQFP回路を設計するための設計支援ツールを開発し、AQFP回路のセルライブラリを構築する。開発した設計支援ツールとセルライブラリを既存の集積回路設計環境に統合し、トップダウン設計環境を構築する。また、それらを用いてAQFP回路の基本コンポーネントを設計し、それらの高速動作を実証する。

③強磁性超伝導接合を用いた位相制御型超伝導メモリの研究

本研究では、超伝導体/強磁性体/超伝導体(SFS)構造を持つジョセフソン接合において、磁性体の磁化の向きが、接合の巨視的位相差にオフセットを生じさせることを利用したRAMを提案する。本メモリは、断熱動作が可能であり、記憶は磁性体による位相オフセットを利用することから、超伝導ループを微小にできる。本研究では、低温における強磁性層の磁気特性の評価を行い、強磁性層の最適化を図る。最終年度までに位相制御型メモリの動作実証を行うと共に16bメモリの動作を検証する。

④ 3次元超伝導集積回路プロセスの研究

多層化 AQFP 回路を実現するための 3 次元超伝導集積回路作製プロセスを開発する。本研究では、2 層のジョセフソン接合層を有する超伝導集積回路プロセスを開発する。この際、下層構造に関わらず任意の位置に 2 層目の接合を配置可能とする。開発した 3 次元超伝導集積回路作製プロセスを用いて小規模な SFQ 回路を作製し、その動作確認を行う。

⑤ AQFP プロセッサの高速動作実証

プロジェクトの最終年度では、開発した設計基盤技術や集積回路プロセスを用いて Adder, ALU などの AQFP プロセッサを設計、試作し、それらの高速動作実証を目指す。クロック周波数 5GHz で動作するプロセッサの動作実証を目指す。

4. 研究成果

①大規模集積化に向けた AQFP 論理ゲートの基本特性の解明

AQFP 回路のビットエネルギーとクロック周波数の関係を理論的に検討した。接合の臨界電流密度、接合寸法、シャント抵抗などの回路パラメータの値に対して接合のビットエネルギーが動作周波数に対してどのように変化するかを理論的に定式化した[16]。図 2 に AQFP 回路のビットエネルギーとクロック周波数の関係を示す。図において STP2 は産業技術総合研究所の接合寸法 $2\mu\text{m}$ のプロセスを、ADP2 は接合寸法 $1\mu\text{m}$ のプロセスを表す。また、Critically damped ASL はシャント抵抗を接続した断熱的超伝導回路を、Unshunted ASL はシャント的工を接続しない断熱的超伝導回路を示す。図より、接合の縮小化と接合の高抵抗化により 5 GHz のクロック周波数に対して $10^{-21}[\text{J}]$ の消費電力での動作が可能であることを明らかにした。また、4.2K でのシミュレーション解析を行い、有限温度においても断熱的効果が得られることを理論的に示した[13]。

AQFP 回路のビットエラーレートの理論的検討を行い、接合の臨界電流が熱雑音エネルギーに対して十分大きければ、ビットエラーレートを十分に小さく保ちながら AQFP 論理ゲートの消費電力を熱雑音付近まで小さくできることを示した。一方で、接合の臨界電流が小さくなると、ビットエラーレートが上昇することが明らかになった。以上により、AQFP ゲートが正常に動作するための回路パラメータを明らかにした。また、AQFP 論理ゲートのビットエラーレートを 2Gbps の高速測定により評価し、十分に広い動作マージンで AQFP 回路が動作することを示した (図 3) [3]。

AQFP 回路の消費エネルギーを実験的に評価するために、1000 接合規模の 8 ビット桁上げ先見加算器を設計試作し、消費エネルギーの測定を行った。エネルギーの測定は、励起用のマイクロ波クロックを回路に入力し、回路からのマイクロ波出力を測定することにより行った。回路のオンオフ時の出力マイクロ波電力の差分を測定することにより回路で消費されたエネルギーを測定した。図 4 には、測定に用いた加算器とその低速による演算結果、更にマイクロ波出力の回路オンオフ時の変化を示す。これらの測定結果より、8 ビット AQFP 加算回路の消費エネルギーは 5GHz のクロックスピードにおいて 1.5aJ であり、1 接合当たりの消費エネルギー

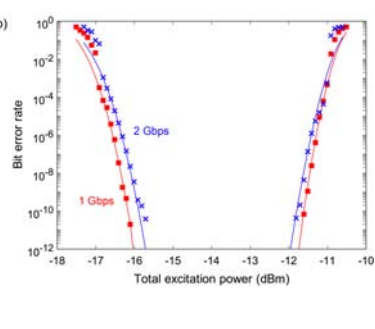
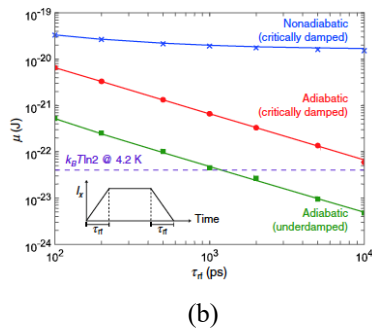
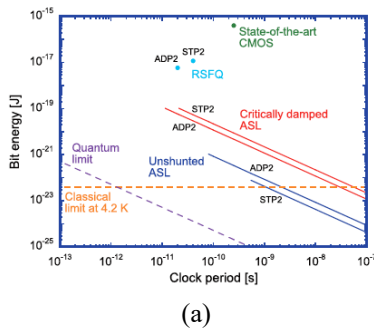


図 2 (a) AQFP 回路のビットエネルギーとクロック周波数の関係。(b)有限温度(4.2K)における AQFP 回路のビットエネルギーとクロック周波数の関係

図 3 4.2K における AQFP ゲートの高速測定結果。BER の励起バイアス電流依存性

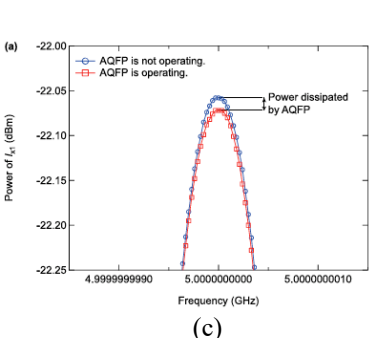
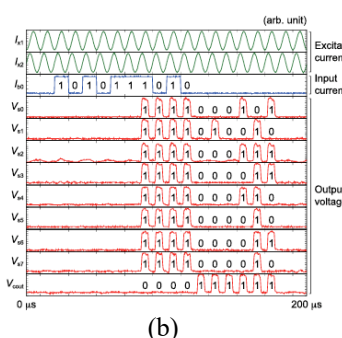
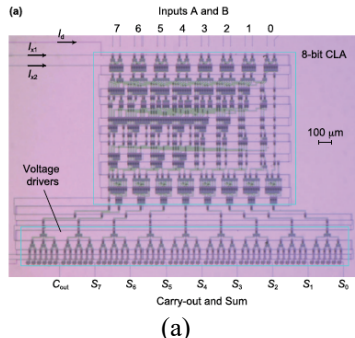


図 4 AQFP 回路の消費エネルギーの測定。(a)8 ビット桁上げ先見加算器。(b) 加算器の入出力波形。(c) 加算器からのマイクロ波出力のスペクトラムアナライザによる測定。

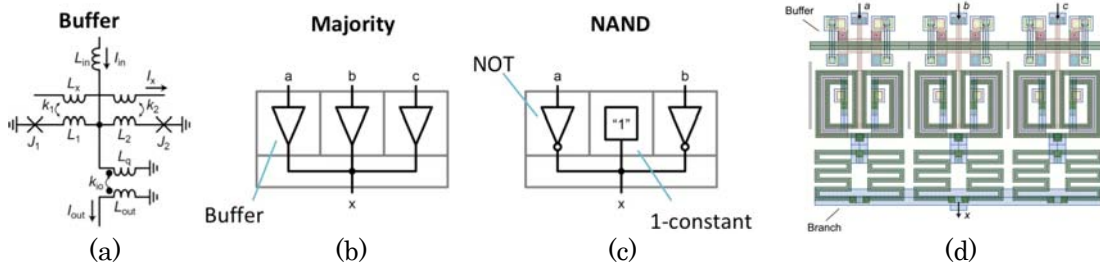
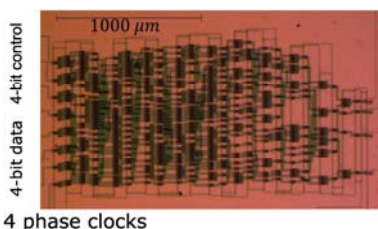


図5 AQFP回路のセルライブラリ。(a)バッファゲート、(b)多数決ゲート、(c)多数決ゲートを用いてNANDゲート、(d)多数決ゲートのレイアウト。



4 phase clocks

図6 トップダウンEDA環境で自動生成された4ビットシフト

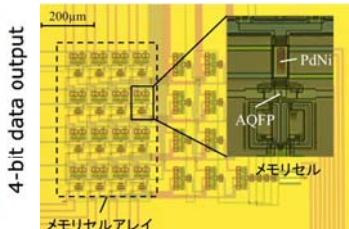


図7 16ビット位相制御型超伝導メモリスセルアレイ

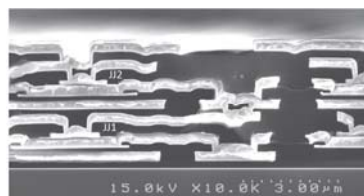


図8 ダブルゲート超伝導集積回路の断面顕微鏡写真

ギーは 24 kBT 程度であることを示した[2]。これらの結果は、AQFP回路の低消費電力性を直接的に証明するものである。

②大規模回路設計に向けたAQFP回路の設計基盤技術の確立

ミニマル設計に基づくロバストでフレキシブルなAQFP回路の設計方法論を確立し、セルライブラリを構築した。図5(a), (b)にAQFPバッファゲートとそれら3つを組み合わせた多数決(Majority)ゲートを示す。AQFP回路は多数決ゲートを基本ゲートとするが、多数決ゲートのバッファをNOTや定数ゲート置き換えることで任意の論理ゲートを構築できる。図5(d)にはAQFP多数決ゲートのレイアウトを示す。ゲート内の自己インダクタンスや相互インダクタンスを正確に見積もることで、ゲート内の寄生インダクタンスを排除し、パラメータばらつきに対して安定な論理ゲートを構成した[15]。以上のセルライブラリに基づいてAQFP回路のトップダウン自動設計環境を開発した。AQFP回路の論理シミュレーションのためのモデル化[12]、自動配置配線技術の開発[4]を行い、これらを統合してハードウェア記述入力から回路のレイアウトを自動的に生成するトップダウンEDA環境を構築した[1]。図6に本方法により設計された4ビットシフトの顕微鏡写真を示す。回路が良好に動作することを実験により確認した。

③強磁性超伝導接合を用いた位相制御型超伝導メモリの研究

磁性ジョセフソン接合を含む超伝導ループを利用するものと強磁性体パターン自身を記憶媒体とするものの2種類の位相制御型超伝導メモリの研究を進めた。前者に向け、強磁性ジョセフソン接合の0位相シフト接合と π 位相シフト接合の作り分け技術を確認した[10]。後者については、マトリクス状に配置した強磁性パターンを個別に磁化、すなわち書き込みする技術を確認した[11]。大規模化、AQFPとの適合性の観点から、後者が大容量化に適していると結論付けた。以上を踏まえキュリー点が 100K 程度の強磁性体PdNiを記憶媒体とするマトリクスメモリの設計・試作を行った。書き込みは、強磁性体パターンの近傍に配置した制御線によって行い、読出しは3入力AND機能を持つAQFPで読み出す。実験により磁性体を用いた位相制御型超伝導メモリの原理実証に成功した[14]。更に、それを二次元に配置したマトリクスメモリを完成させ、選択した位置のメモリスセルにアクセスできることを数値解析により実証した。産業技術総合研究所で作製したチップ上に磁性体薄膜を成膜してパターン化し、4行4列のメモリスセルで構成される16bitマトリクスメモリを試作した。図7に試作した16bitマトリクスメモリの顕微鏡写真を示す。

④3次元超伝導集積回路プロセスの研究

ジョセフソン接合を含むゲート層2層のダブルゲートニオブ集積回路プロセスを実現するためには、最上層を除く全層に平坦化を施す必要がある。この平坦化工程がNb/AlO_x/Nb接合に及ぼす影響を調べた。その結果、接合層直上の平坦化工程の詳細な制御が必要となることが明らかとなり、最適な平坦化条件を決定した。以上の条件に基づいてダブルゲートニオブ集積回路を作製し、接合特性を始めとするプロセスパラメータの測定を行うとともにAQFP回路の作製を行った。プロセスパラメータの改善により、上下ゲート層の接合特性に大きな違いは見られず、 $I_c R_n = 1.6 \text{ mV}$ の良好な値が得られた。ダブルゲートプロセスを用いて作製したAQFP回路の正常動作と回路面積削減効果の確認により、本ダブルゲートプロセスの有効性を実証した。図8に作製したダブルゲート超伝導集積回路の断面構造を示す[5]。通常の接合層1層の場合と比較して、回路面積を半分程度にすることができた。また、回路の大規模化に伴い配線長の削減効果は著しくなり、約70%の面積削減が可能であることが示された。

⑤AQFP プロセッサの動作実証

開発したAQFP回路のトップダウン設計環境とダブルゲートプロセスを用いたAQFPプロセッサの高速動作実証を行った。チップ面積の制約により回路は1~8ビットを設計した。8ビット桁上げ先見加算回路については、3GHzでの高速動作を確認し、5GHzでのエネルギー評価を行うことに成功した。また4ビットALUを試作し、その全機能の正常動作を確認した[国際会議発表 4]。更にマイクロプロセッサにおいてはソーティング動作が可能な1bマイクロプロセッサを試作し、その正常動作を実証した[投稿準備中](図9)。更に4x4ユニットからなるAQFP FPGAを作製しその正常動作を確認した[投稿準備中]。プロセッサの高速動作実証や、ループ構造を有するマイクロプロセッサの動作実証により、基本的に任意の集積回路システムが実現できることを示した。現在、チップ面積の制約のために回路のビット数が制限されているが、現在使用している1 μ mプロセスの微細化を図ることにより将来更なる大規模化が可能になると考えられる。

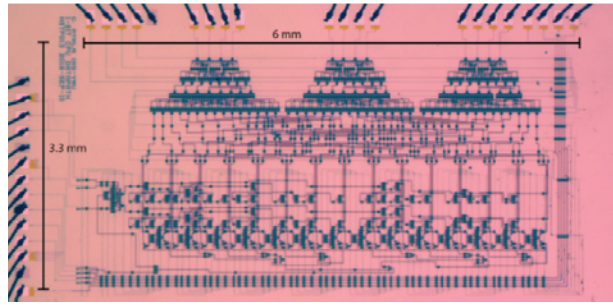


図9 1ビットAQFPマイクロプロセッサのチップ写真。データのソーティング動作を確認した。

⑥その他

その他、特筆すべき研究成果として、AQFPゲートを用いて計算において情報のエントロピーが保存される可逆AQFPゲートを提案し、その動作実証を行った[17]。本ゲートは入力から出力、出力から入力への双方向演算が可能であり、理論的検討によりLandauerリミットをも下回るエネルギーで論理演算が可能である[7]。可逆AQFP論理ゲートは、実際に論理動作が可能な唯一の可逆論理ゲートであり、本ゲートを用いた論理回路の基本特性の研究により、論理演算のエネルギー下限値の学術的な解明が大きく進むと考えられる。

5. 主な発表論文等

[雑誌論文] (計37件) 全て査読有

- [1] T. Tanaka, C. L. Ayala, Q. Xu, R. Saito, N. Yoshikawa, “Fabrication of Adiabatic Quantum-Flux-Parametron Integrated Circuits Using an Automatic Placement Tool Based on Genetic Algorithms,” *IEEE Trans. Appl. Supercond.*, **29** (2019) 1301706. DOI: [10.1109/TASC.2019.2900220](https://doi.org/10.1109/TASC.2019.2900220)
- [2] N. Takeuchi, T. Yamae, C. L. Ayala, H. Suzuki, N. Yoshikawa, “An adiabatic superconductor 8-bit adder with 24k_BT energy dissipation per junction,” *Appl. Phys. Lett.*, **114** (2019) 042602. DOI: 10.1063/1.5080753
- [3] N. Takeuchi, H. Suzuki, N. Yoshikawa, “Measurement of low bit-error-rates of adiabatic quantum-flux-parametron logic using a superconductor voltage driver,” *Appl. Phys. Lett.*, **110**, 202601 (2017). DOI: 10.1063/1.4983351
- [4] Y. Murai, C. L. Ayala, N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Development and Demonstration of Routing and Placement EDA Tools for Large-Scale Adiabatic Quantum-Flux-Parametron Circuits,” *IEEE Trans. Appl. Supercond.*, **27** (2017) 1302209. DOI: 10.1109/TASC.2017.271965
- [5] T. Ando, S. Nagasawa, N. Takeuchi, N. Tsuji, F. China, M. Hidaka, Y. Yamanashi, N. Yoshikawa, “Three-dimensional adiabatic quantum-flux-parametron fabricated using a double-active-layered niobium process,” *Supercond. Sci. Technol.*, **30** (2017) 075003. DOI: 10.1088/1361-6668/aa6ef4
- [6] K. Fang, N. Takeuchi, T. Ando, Y. Yamanashi, N. Yoshikawa, “Multi-excitation adiabatic quantum-flux-parametron,” *J. Appl. Phys.*, **121** (2017) 143901. DOI:10.1063/1.4979856
- [7] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Reversibility and energy dissipation in adiabatic superconductor logic,” *Scientific Reports*, **7**, 2017, 75-1-12. DOI: 10.1038/s41598-017-00089-9
- [8] C. L. Ayala, N. Takeuchi, Y. Yamanashi, T. Ortlepp, N. Yoshikawa, “Majority-logic-optimized parallel prefix carry look-ahead adder families using adiabatic quantum-flux-parametron logic,” *IEEE Trans. Appl. Supercond.*, **27** (2017) 1300407. DOI: 10.1109/TASC.2016.2642041
- [9] N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi, N. Yoshikawa, “Adiabatic quantum-flux-parametron cell library designed using a 10 kA cm⁻² niobium fabrication process,” *Supercond. Sci. Technol.*, **30** (2017) 035002. DOI:10.1088/1361-6668/aa52f3
- [10] H. Ito, S. Taniguchi, K. Ishikawa, H. Akaike, and A. Fujimaki, “Fabrication of superconductor-ferromagnet-insulator-superconductor Josephson junctions with critical current uniformity applicable to integrated circuits,” *Applied Physics Express*, **10** (2017) 033101. <https://doi.org/10.7567/APEX.10.033101>
- [11] S. Taniguchi, H. Ito, K. Ishikawa, S. Kurokawa, M. Tanaka, H. Akaike, and A. Fujimaki, “Investigation into the individual configuration of superconducting phase shift elements made of ferromagnetic patterns for reconfigurable circuits,” *IEEE Trans. Appl. Supercond.*, **27** (2017) 1501204. DOI: 10.1109/TASC.2016.2642054

- [12] Q. Xu, C. L. Ayala, Y. Yamanashi, N. Takeuchi, N. Yoshikawa, “HDL-Based Modeling Approach for Digital Simulation of Adiabatic Quantum Flux Parametron Logic,” *IEEE Trans. Appl. Supercond.*, vol. **26**, (2016) 1301805. DOI: 10.1109/TASC.2016.2615123
- [13] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Thermodynamic Study of Energy Dissipation in Adiabatic Superconductor Logic,” *Phys. Rev. Applied*, **4** (2015) 034007. DOI: 10.1103/PhysRevApplied.4.034007
- [14] 伊藤大, 谷口壮耶, 黒川綜太, 田中雅光, 赤池宏之, 藤巻朗, “強磁性パターンを用いた磁束量子パラメトロン論理機能切り替え,” 電気学会論文誌A (基礎・材料・共通部門誌), 136 (2016) 753–758. DOI://doi.org/10.1541/ieejfms.136.753
- [15] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Adiabatic quantum-flux-parametron cell library adopting minimalist design,” *J. Appl. Phys.*, **117** (2015) 173912. DOI: 10.1063/1.4919838 査読有
- [16] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Energy efficiency of adiabatic superconductor logic,” *Supercond. Sci. Technol.*, **28** (2015) 015003. DOI: 10.1088/0953-2048/28/1/015003
- [17] N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “Reversible logic gate using adiabatic superconducting devices,” *Scientific Reports*, **4** (2014) 6354. DOI: 10.1038/srep06354

〔学会発表〕 (計 244 件)

- (1) N. Yoshikawa, “**(Keynote)** Asynchronous Superconducting Digital Circuits” 25th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC 2019), Hiroasaki, Japan, 2019.
- (2) N. Yoshikawa, “**(Tutorial)** Library design and design tools for adiabatic quantum-flux-parametron logic circuits (ac-biased SFQ logic)” Design, Automation and Test in Europe (DATE 2019), Florence, Italy, 2019.
- (3) N. Yoshikawa, “**(Invited)** High-speed and Low-power signal processing using superconducting circuits,” Workshop on the future of silicon detector technologies FuTuRe II, Erfurt, Germany, 2018.
- (4) C. Ayala, Olivia Chen, R. Saito, T. Tanaka, N. Takeuchi, Y. Yamanashi, N. Yoshikawa, “**(Invited)** Development of an extremely energy-efficient AQFP microprocessor,” The 31st International Symposium on Superconductivity (ISS2018), Ibaraki, Japan, 2018, ED5-2-INV.
- (5) N. Yoshikawa, “**(Invited)** Recent research developments of adiabatic quantum-flux-parametron circuits technology toward energy-efficient high-performance computing,” 13th European Conference on Applied Superconductivity (EUCAS 2017), Geneva, Switzerland, 2017.
- (6) N. Yoshikawa, “**(Plenary lecture)** Low-energy High-performance Computing based on Superconducting Technology,” 2016 Appl. Superconductivity Conference (ASC 2016), Denver, Colorado, USA, 2016, 3PL-01.

〔産業財産権〕

○出願状況 (計 2 件)

名称：断熱型量子磁束パラメトロン回路及び超伝導論理素子

発明者：吉川信行、竹内尚輝

権利者：横浜国立大学

番号：特願 2015-81036

出願年：平成 27 年 4 月 10 日

国内外の別：国内

〔その他〕

ホームページ等

http://www.yoshilab.dnj.ynu.ac.jp/KibanS_H27/

6. 研究組織

(1) 研究分担者

研究分担者氏名：藤巻 朗

ローマ字氏名：(FUJIMAKI, akira)

所属研究機関名：名古屋大学

部局名：工学研究科

職名：教授

研究者番号 (8 桁)： 20183931

研究分担者氏名：田中 雅光

ローマ字氏名：(TANAKA, masamitsu)

所属研究機関名：名古屋大学

部局名：工学研究科

職名：助教

研究者番号 (8 桁)： 10377864

研究分担者氏名：日高 睦夫

ローマ字氏名：(HIDAKA, mtsuo)

所属研究機関名：産業技術総合研究所

部局名：エレクトロニクス・製造領域

職名：招聘研究員

研究者番号 (8 桁)： 20500672

研究分担者氏名：山梨 裕希

ローマ字氏名：(YAMANASHI, yuki)

所属研究機関名：横浜国立大学

部局名：大学院工学研究院

職名：准教授

研究者番号 (8 桁)： 70467059