

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 28 日現在

機関番号：12601

研究種目：基盤研究(A) (一般)

研究期間：2014～2016

課題番号：26249038

研究課題名(和文) Ge-On-Insulator CMOSのキャリア輸送特性解明と性能向上手法確立

研究課題名(英文) Understanding of carrier transport properties of Ge-On-Insulator CMOS and establishment of performance enhancement engineering

研究代表者

高木 信一 (Takagi, Shinichi)

東京大学・大学院工学系研究科(工学部)・教授

研究者番号：30372402

交付決定額(研究期間全体)：(直接経費) 31,900,000円

研究成果の概要(和文)：GOI層の貼り合せ界面特性を改善するためGOI層を再貼り合せする方法を提案・実証し、デジタルエッチング法により、2nmのGOI膜厚のGOI MOSFETの動作に成功した。移動度のGOI厚依存性の実験結果から、薄膜GOIでの移動度劣化は、膜厚揺らぎ散乱に起因することを明確化した。酸化濃縮法にアニール工程を挿入し、かつGOI形成まで室温に戻さない連続加熱工程とGOI形成後の降温時間を十分長くとることにより、高い圧縮ひずみを有するGOI層の形成に成功した。更にデジタルエッチング法により4.5 nmの膜厚のひずみGOI MOSFETの動作と高移動度特性を成功した。

研究成果の概要(英文)：We have proposed and demonstrated a novel fabrication process including re-bonding GOI substrates to Si substrates for improving the GOI back interface quality and have succeeded in operation of 2-nm-thick GOI MOSFETs by a digital thinning process. It has been clarified through temperature dependence of mobility that mobility degradation of GOI MOSFETs with thinning GOI is attributable to thickness fluctuation scattering. We have modified the Ge condensation process by insertion of annealing steps, continuous thermal processes without any cooling and much longer cooling time, resulting in formation of GOI films with high compressive strain. Combined with the digital thinning process, we have succeeded in 4.5-nm-thick strained GOI MOSFETs with high mobility characteristics.

研究分野：半導体デバイス

キーワード：MOSFET ゲルマニウム 移動度 反転層 サブバンド

1. 研究開始当初の背景

将来のロジック LSI 素子として期待が高まっている Ge CMOS 実現のためには、10 nm 以下の極薄膜 GOI 膜厚をもつ Ge-On-Insulator (GOI) MOSFET の実現とその高性能化が必須であるが、極薄 GOI MOSFET を実現するための高品質 GOI 層形成技術や素子形成技術は確立されておらず、またその電気特性や性能を決める物理機構は明らかでなかった。

2. 研究の目的

10 nm 以下の膜厚をもつ極薄 Ge-On-Insulator (GOI) 構造を形成し、この構造を用いた GOI MOSFET の動作を実証すると共に、GOI MOS チャネル移動度及びその GOI 膜厚依存性の挙動を実験的に検証し、移動度を決定している散乱機構を明らかにする。GOI の反転層構造・散乱の物理的理解に基づき、Ge MOSFET の移動度向上を可能とする手法を検討し、移動度への効果を実験的に検証して、GOI MOSFET の移動度向上指針を提案する。具体的には、以下のことを行う。

- (1) 高品質・極薄 GOI 層形成技術
- (2) 極薄 GOI MOSFET の作製技術
- (3) 極薄 GOI MOSFET の実証とキャリア輸送特性の明確化

3. 研究の方法

- (1) 高品質・極薄 GOI 層形成技術

10 nm 以下の極薄 GOI MOSFET の電気特性を明らかにするためには、以下の方法で高品質な GOI 層をこの極薄膜領域で実現する。

- ① 酸化濃縮法・・・酸化濃縮プロセスに含まれる温度レンピを見直し、高品質化と圧縮ひずみの導入を検討する。
- ② 貼り合せ法・・・貼り合せのための基板の工夫や貼り合せ MOS 界面制御を進め、高品質化を検討する。

- (2) 極薄 GOI MOSFET の作製技術

10 nm 以下の GOI 膜厚をもつ高性能、高信頼性 GOI MOSFET を実現するために必要な、GOI 層薄膜化技術、ゲートスタック形成技術、ソースドレイン形成技術を開発する。

- (3) 極薄 GOI MOSFET の実証とキャリア輸送特性の明確化

極薄 GOI MOSFET の動作実証を行うと共に、チャネル移動度の評価を行い、その温度依存性などから、移動度を決定している散乱機構を明らかにし、GOI MOSFET の高性能化の指針を確立する。

4. 研究成果

- (1) 高品質・極薄 GOI 層形成技術

① 酸化濃縮法・・・酸化濃縮時に各温度での酸化後にアニール工程を挿入する (図 1) ことにより、ホール濃度の低減と欠陥密度の改善を実現した。更に、図 2 に示すように、GOI 形成まで、室温への降温なく連続的に酸化を行うと共に、GOI 形成後の温度低下に十分に時間使うことにより、薄膜 GOI においても、図 3 に示すように、最大で 1% を越える高い圧縮ひずみが導入できることを明らかにした。また、この GOI 形成後の温度低下時間

を制御し 4 時間程度と十分長くすることで、GOI 面内のひずみのばらつきを低減できることを見出した。



図 1

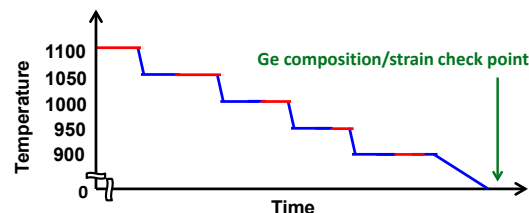


図 2

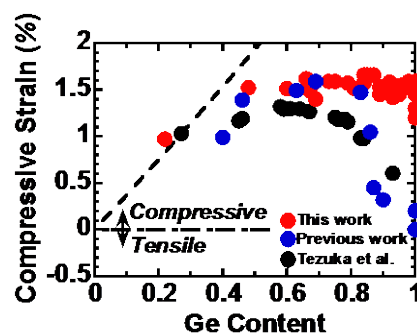


図 3

② 貼り合せ法・・・図 4 に示すように、スマートカット GOI 基板を SiO₂/Si 基板に貼り合わせて、GOI 層の表裏を反転させ、薄膜 GOI 構造の品質を向上させる方法を提案・実証した。この際、RIE と熱酸化やプラズマ酸化の併用により、表面荒れを引き起こさずに極薄 GOI 層が形成できることを示した。更に、貼り合せ界面として Al₂O₃/GeO_x 構造を用いることで GOI 裏面界面の品質向上が実現できることを示した。

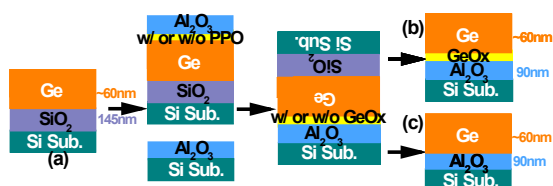


図 4

- (2) 極薄 GOI MOSFET の作製技術

酸化濃縮 GOI 基板に対して、GOI 層を形成した後、更に酸化を行うことで GOI 層を薄膜化する方法を提案し、6 nm 厚の GOI 層を実現した。一方、スマートカット GOI 基板を SiO₂/Si 基板に貼り合わせた GOI 基板に対しては、プラズマ酸化を利用したディジタルエッチング技術を開発し、GOI 層のプラズマ酸化とウェットエッチングを繰り返すことによる薄膜化によって、GOI 膜厚

を nm オーダーで精密制御できることを示し、図 5 に示すように、MOSFET が動作する広い領域で、膜厚 2 nm までの薄膜の GOI 構造を形成することに成功した。

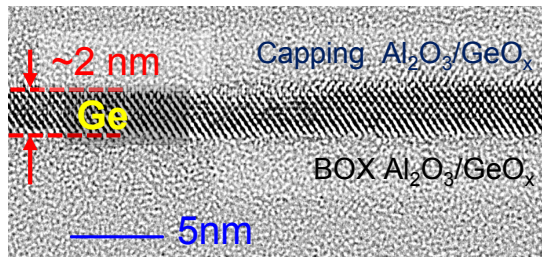


図 5

また、極薄 GOI 層に nMOSFET を実現するために必須な高濃度 n 型層を実現するために、Sb ドープした SOG から Ge に Sb を高濃度で拡散する方法を実証した。

更に、Ge ゲートスタック構造における重大な課題の一つである slow trap の低減に向けて、その物理的起源を明らかにするため、 $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS 構造において、 Al_2O_3 膜厚と GeO_x 膜厚を系統的に変えて slow trap 密度と時定数の評価を行い、電子トラップは GeO_x/Ge 界面近傍、正孔トラップは $\text{Al}_2\text{O}_3/\text{GeO}_x$ 界面近傍に存在することを明らかにした。また、ALD AlYO_3 膜にプラズマ酸化を施した Ge MOS 界面形成技術を提案し、価電子帯側において slow trap 密度の低減を実現した。加えて、Ge 表面のプラズマ酸化後に Al_2O_3 膜を形成する方法や極薄の Y_2O_3 膜を用いた $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3/\text{GeO}_x$ ゲートスタックを用いる方法で、slow trap 密度が更に低減できることを示した。

(3) 極薄 GOI MOSFET の実証とキャリア輸送特性の明確化
 ①酸化濃縮 GOI MOSFET . . . (1) で述べた工夫を施した酸化濃縮プロセスと (2) で述べたデジタルエッチングを適用することで、高い圧縮ひずみを維持しながら 10 nm 以下の膜厚の極薄 GOI pMOSFET を実現し、4.5 nm までの薄膜の GOI pMOSFET の素子動作に成功し、図 6 (GOI 膜厚 15 nm) に示すように、極めて高い正孔移動度を実証した。

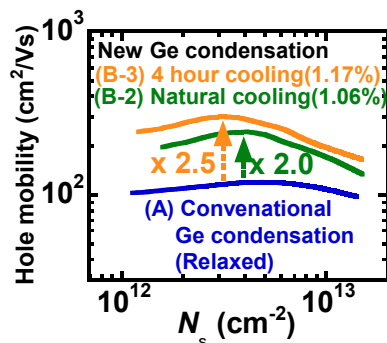


図 6

②貼り合せ GOI MOSFET . . . (1) で述べた貼り合せ基板において、貼り合せ界面に GeO_x

を挿入し界面特性を改善することにより、GOI MOSFET の移動度が向上すること明らかにした。またこの貼り合せ基板に、(2) で述べたデジタルエッチングを適用し、10 nm 以下の膜厚の GOI pMOSFET を実現し、図 6 に示すように、最も薄いもので 2 nm の膜厚の極薄 GOI pMOSFET の動作に成功した。一方、図 7 に示すように、GOI 膜厚の薄膜化により、移動度が低下し、この移動度の温度依存性などの評価・解析から、GOI 膜厚ゆらぎによる散乱が、移動度低下の主要因であることを明らかにした。

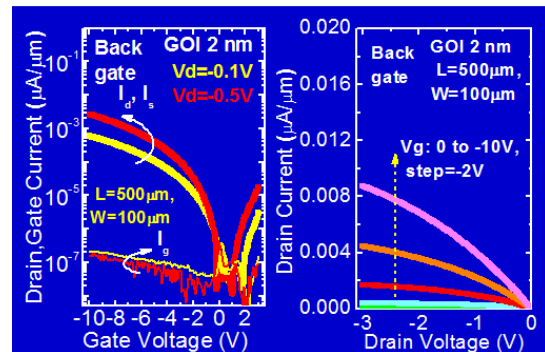


図 7

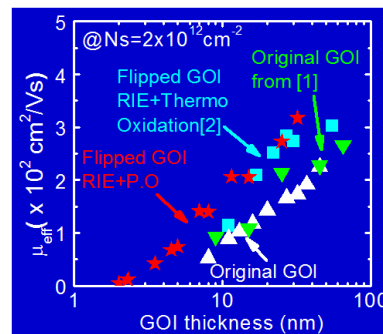


図 8

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 20 件)

- ① X. Yu, J. Kang, M. Takenaka and S. Takagi, Evaluation of mobility degradation factors and performance improvement of ultrathin-body Germanium-on-insulator (GOI) MOSFETs by GOI thinning using plasma oxidation, IEEE Trans. Electron Devices, 査読有, vol. 64, no. 4, 2017, 1418–1425
DOI: 10.1109/TED.2017.2662217
- ② S. Takagi, M. Noguchi, M. Kim, S.-H. Kim, C.-Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke and M. Takenaka, III-V/Ge MOS Device Technologies for Low Power Integrated Systems, Solid State Electron., 査読有, vol. 125, no. 11, 2016, 82–102,
DOI: 10.1016/j.sse.2016.07.002
- ③ M. Ke, X. Yu, C. Chang, M. Takenaka and S. Takagi, Properties of slow traps of

- ALD Al₂O₃/GeO_x/Ge nMOSFETs with plasma post oxidation Appl. Phys. Lett., 査読有, vol. 109, 2016, 032101
DOI: 10.1063/1.4958890
- ④ R. Zhang, P. C. Huang, N. Taoka, M. Yokoyama, M. Takenaka and S. Takagi, Low temperature formation of higher-k cubic phase HfO₂ by atomic layer deposition on GeO_x/Ge structures fabricated by in-situ thermal oxidation, Appl. Phys. Lett., 査読有, vol. 108, 2016, 052903
DOI: 10.1063/1.4941538
- ⑤ R. Zhang, X. Yu, M. Takenaka and S. Takagi, Impact of Postdeposition Annealing Ambient on the Mobility of Ge nMOSFETs with 1-nm EOT Al₂O₃/GeO_x/Ge Gate-Stacks, IEEE Trans. Electron Devices, 査読有, vol. 63, no. 2, 2016, 558-564
DOI: 10.1109/TED.2015.2509961
- ⑥ X. Yu, J. Kang, R. Zhang, M. Takenaka and S. Takagi, Characterization of ultrathin-body Germanium-on-insulator (GeOI) structures and MOSFETs on flipped Smart-Cut GeOI substrates, Solid-State Electronics, 査読有, vol. 115, Part B, no. 1, 2016, 120-125
DOI: 10.1016/j.sse.2015.08.021
- ⑦ J.-K. Suh, N. Taoka, M. Takenaka and S. Takagi, Effects of additional oxidation after Ge condensation on electrical properties of germanium-on-insulator p-channel MOSFETs, Solid State Electron., 査読有, vol. 117, 2016, 77-87
DOI: 10.1016/j.sse.2015.11.014
- ⑧ S. Takagi, M. Kim, M. Noguchi, K. Nishi, and M. Takenaka, Tunneling FET Technologies Using III-V and Ge Materials, 査読無, ECS Transactions, vol. 69, no. 10, 2015, 99-108
DOI: 10.1149/06910.0099ecst
- ⑨ S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke, J. H. Han, and M. Takenaka, MOS Interface Control Technologies for Advanced III-V/ Ge Devices, 査読無, ECS Transactions, vol. 69, no. 5, 2015, 37-51
DOI: 10.1149/06905.0037ecst
- ⑩ S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi and M. Takenaka, III-V/Ge Channel MOS Device Technologies in Nano CMOS era, Jpn. J. Appl. Phys. 査読有, vol. 54, no. 6, 2015, 06FA01
DOI: 10.7567/JJAP.54.06FA01
- ⑪ M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka and S. Takagi, Fabrication and MOS interface properties of ALD Al₂O₃/GeO_x/Ge gate stacks with plasma post oxidation, Microelectron. Eng., 査読有, vol. 147, 2015, 244-248
DOI: 10.1016/j.mee.2015.04.079
- ⑫ X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka and S. Takagi, Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs, Microelectron. Eng., 査読有, vol. 147, 2015, 196-200
DOI: 10.1016/j.mee.2015.04.063
- ⑬ W.-K. Kim, M. Takenaka and S. Takagi, Properties of ultrathin-body condensation Ge-On-Insulator films thinned by additional thermal oxidation, Jpn. J. Appl. Phys., 査読有, vol. 54, no. 4, 2015, 04DA05
DOI: 10.7567/JJAP.54.04DA05
- ⑭ K. Tanaka, R. Zhang, M. Takenaka and S. Takagi, Quantitative evaluation of slow traps near Ge MOS interfaces by using time response of MOS capacitance, Jpn. J. Appl. Phys., 査読有, vol. 54, no. 4, 2015, 04DA02
DOI: 10.7567/JJAP.54.04DA02
- ⑮ X. Yu, R. Zhang, J. Kang, T. Maeda, T. Itatani, T. Osada, M. Hata, M. Takenaka and S. Takagi, Ultrathin body Germanium-on-insulator (GeOI) Pseudo-MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates, ECS Solid State Letters, 査読有, vol. 4, no. 2, 2015, P15-P18
DOI: 10.1149/2.0031502ssl
- ⑯ R. Zhang, X. Yu, M. Takenaka and S. Takagi, Impact of Channel Orientation on Electrical Properties of Ge p- and n-MOSFETs with 1-nm EOT Al₂O₃/GeO_x/Ge Gate-Stacks Fabricated by Plasma Postoxidation, IEEE Trans. Electron Devices, 査読有, vol. 61, no. 11, 2014, 3668-3675
DOI: 10.1109/TED.2014.2359678
- ⑰ W.-K. Kim, K. Kuroda, T. Osada, M. Hata, M. Takenaka and S. Takagi, Sb-Doped S/D Ultrathin body Ge-On-insulator nMOSFET fabricated by improved Ge condensation process, IEEE Trans. Electron Devices, 査読有, vol. 61, no. 10, 2014, 3379-3385
DOI: 10.1109/TED.2014.2350457
- ⑱ S. Takagi, S.-H. Kim, M. Yokoyama, K. Nishi, R. Zhang and M. Takenaka, Material Challenges and Opportunities in Ge/III-V channel MOSFETs, ECS Trans., 査読無, vol. 64, no. 11, 2014, 99-110

- DOI: 10.1149/06411.0099ecst
- ⑩ S. Gupta, X. Gong, R. Zhang, Y.-C. Yeo, S. Takagi and K. C. Saraswat, *New Materials for Post-Si Computing: Ge and GeSn Devices*, MRS Bulletin, 査読無, vol. 39, no. 8, 2014, 678-686
DOI: 10.1557/mrs.2014.163
- ⑪ R. Zhang, X. Yu, M. Takenaka and S. Takagi, *Physical Origins of High Normal Field Mobility Degradation in Ge p- and n-MOSFETs with GeO_x/Ge MOS Interfaces Fabricated by Plasma Post Oxidation*, IEEE Trans. Electron Devices, 査読有, vol. 61, no. 7, 2014, 2316-2323
DOI: 10.1109/TED.2014.2325604
[学会発表] (計 43 件)
- ① S. Takagi and M. Takenaka, *III-V/Ge MOSFETs and TFETs for Ultra-Low Power Logic LSIs*, 2017 International Symposium on VLSI Technology, Systems and Applications (2017 VLSI-TSA), 2017/4/24-27, Hsinchu, Taiwan
- ② 金佑疆, 竹中充, 高木信一, 酸化濃縮プロセスにおける冷却方法が GeOI 中の圧縮ひずみに及ぼす効果, 第 64 回 応用物理学会春季学術講演会, 2017/3/14-17, パシフィコ横浜 (神奈川県横浜市)
- ③ S. Takagi and M. Takenaka, *Ultra-low Power MOSFETs and Tunneling FETs using III-V and Ge*, International Workshop on Nanodevice Technologies 2017 (IWNT 2017), 2017/3/2, 佐竹メモリアルホール (広島県東広島市)
- ④ S. Takagi, M. Ke, Y. Xiao, R. Zhang, and M. Takenaka, *Critical issues and Challenges of High k Gate Stacks for Ge/GOI MOSFETs*, 47th IEEE Semiconductor Interface Specialists Conference (SISC), 2016/12/8-10, San Diego, USA
- ⑤ S. Takagi, X. Yu, J. Kang and M. Takenaka, *Carrier Transport Properties in Extremely-Thin Body GOI p-MOSFETs*, JSPS Meeting 2016, Workshop on "Atomically Controlled Processing for Ultra-large Scale Integration", 2016/11/24-26, Jülich, Germany
- ⑥ S. Takagi, *Non-Si MOSFET and TFET for low-power circuits*, 2016 International Workshop for Ultra Low Power Nano-electronics for IoT, 2016/10/18-19, Seoul, Korea
- ⑦ S. Takagi, *III-V/Ge MOS Device Technologies for Ultra-Low Power LSIs*, KIST PSI International Symposium, 2016/9/22-23, Seoul, Korea
- ⑧ 高木信一, 玉虬, 張睿, 柯夢南, 竹中充, 極低電力 LSI のための先端 Ge MOS デバイス技術, 第 80 回半導体・集積路技術シンポジウム, 2016/8/23, 東京理科大学森戸記念館 (東京都新宿区)
- ⑨ 金佑疆, 竹中充, 高木信一, 温度サイクルを減らした酸化濃縮法による高圧縮ひずみ極薄膜 Ge-OI 構造の実現, 第 63 回 応用物理学会春季学術講演会, 2016/3/19-22, 東京工業大学 (東京都目黒区)
- ⑩ 柯夢南, 玉虬, 竹中充, 高木信一, Al₂O₃/GeO_x/Ge MOS 界面の遅い準位密度に与える界面構造の影響, 第 63 回 応用物理学会春季学術講演会, 2016/3/19-22, 東京工業大学 (東京都目黒区)
- ⑪ 玉虬, 亢健, 竹中充, 高木信一, [招待講演] 極薄膜 Ge-On-Insulator (GOI) p-MOSFET のキャリア輸送特性, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会共催研究集会, 2016/1/28, 機械振興会館 (東京都港区)
- ⑫ X. Yu, J. Kang, M. Takenaka and S. Takagi, *Experimental Study on Carrier Transport Properties in Extremely-Thin Body Ge-on-Insulator (GOI) p-MOSFETs with GOI Thickness down to 2 nm*, International Electron Device Meeting (IEDM), 2015/12/7-9, Washington DC., USA
- ⑬ M. Ke, X. Yu, M. Takenaka and S. Takagi, *Properties of slow traps of ALD Al₂O₃/GeO_x/Ge gate stacks with plasma post oxidation*, 46th IEEE Semiconductor Interface Specialists Conference (SISC), 2015/12/3-5, Arlington, USA
- ⑭ S. Takagi and M. Takenaka, *Low Power MOS Device Technologies based on Heterogeneous Integration*, 2015 International Electron Devices and Materials Symposia (IEDMS), 2015/11/19-20, Tainan, Taiwan
- ⑮ S. Takagi, C. Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke, J. H. Han, and M. Takenaka, *MOS Interface Control Technologies for Advanced III-V/Ge Devices*, 228th Fall meeting of the Electrochemical Society, D04 - Semiconductors, Dielectrics, and Metals for Nanoelectronics 13, 2015/10/11-16, Phoenix, USA
- ⑯ S. Takagi and M. Takenaka, *Ge/III-V MOS Device Technologies for Low Power Integrated Systems*, 45th European Solid-State Device Conference (ESSDERC), 2015/9/14-18, Graz, Austria
- ⑰ S. Takagi and M. Takenaka, *Advanced Nano CMOS using Ge/III-V semiconductors for Low Power Logic LSIs*, 15th IEEE International Conference on Nanotechnology, 2105/7/27-30, Rome, Italy

- ⑱ M. Ke, X. Yu, R. Zhang, J. Kang, C. Chang, M. Takenaka and S. Takagi, Fabrication and MOS interface properties of ALD Al₂O₃/GeO_x/Ge gate stacks with plasma post oxidation, 19th Conference on Insulating Films on Semiconductors (INFOS), 2015/6/29-7/2, Udine, Italy
- ⑲ X. Yu, J. Kang, R. Zhang, W.-L. Cai, M. Takenaka and S. Takagi, Impact of back interface passivation on electrical properties of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs, 19th Conference on Insulating Films on Semiconductors (INFOS), 2015/6/29-7/2, Udine, Italy
- ⑳ S. Takagi and M. Takenaka, III-V/Ge MOSFETs and Tunneling FETs on Si platform for Low Power Logic Applications, 13th International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2015/6/4-5, 龍谷大学 アバンティ京都ホール (京都府京都市)
- 21 S. Takagi, W.-K. Kim, X. Yu, J.-h. Han, R. Zhang and M. Takenaka, Ge/SiGe CMOS device technology for future logic LSIs, E-MRS Spring meeting 2015, Symposium K, Transport and photonics in group IV-based nanodevices, 2015/5/11-15, Lille, France
- 22 S. Takagi, Nano Device Technologies for Ultra Low Power LSIs, International Nanotechnology Conference on Communication and Cooperation (INC11), 2015/5/11-13, ヒルトン福岡シーホーク (福岡県福岡市)
- 23 S. Takagi, R. Zhang, C.-Y. Chang, J.-H. Han, M. Yokoyama and M. Takenaka, Gate stack technologies for high mobility channel MOSFETs, 2015 MRS Spring Meeting & Exhibit, Symposium AA, "Materials for Beyond the Roadmap Devices in Logic, Power and Memory", 2015/4/6-10, San Francisco, USA
- 24 X. Yu, J. Kang, R. Zhang, M. Takenaka and S. Takagi, Mobility improvement of ultrathin-body Germanium-on-insulator (GeOI) MOSFETs on flipped Smart-Cut GeOI substrates, Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), 2015/1/26-28, Bologna, Italy
- 25 S. Takagi and M. Takenaka, III-V/Ge Channel MOS Device Technologies in Nano CMOS era, 27th International Microprocesses and Nanotechnology Conference (MNC), 2014/11/4-7, ヒルトン福岡シーホーク (福岡県福岡)
- 26 S. Takagi, S.-H. Kim, M. Yokoyama, K. Nishi, R. Zhang and M. Takenaka, Material Challenges and Opportunities in Ge/III-V channel MOSFETs, 226th Fall meeting of the Electrochemical Society, P3 - High Purity and High Mobility Semiconductors 13, 2014/10/5-10, Cancun, Mexico
- 27 W.-K. Kim, M. Takenaka and S. Takagi, Properties of ultrathin body condensation GOI films thinned by additional thermal oxidation, 46th International Conference on Solid State Devices and Materials (SSDM), 2014/9/9-11, 筑波国際会議場 (茨城県筑波市)
- 28 K. Tanaka, R. Zhang, M. Takenaka and S. Takagi, Quantitative evaluation of slow traps near Ge MOS interfaces by using time response of MOS capacitance, 46th International Conference on Solid State Devices and Materials (SSDM) (2014), 2014/9/9-11, 筑波国際会議場 (茨城県筑波市)
- 29 S. Takagi and M. Takenaka, III-V/Ge CMOS Device Technologies for Future Logic LSIs, 7th International SiGe Technology and Device Meeting (ISTDM), 2014/6/2-4, Singapore, Singapore
- 30 X. Yu, R. Zhang, J. Kang, T. Osada, M. Hata, M. Takenaka and S. Takagi, Ultrathin body Germanium-on-insulator (GeOI) MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates, 21st International Symposium on VLSI Technology, Systems and Applications (2014 VLSI-TSA), 2014/4/28-30, Hsinchu, Taiwan
- 他、13件 (計 43件)
 [図書] (計 1件)
 ① S. Takagi, Wiley-VCH, Photonics and Electronics with Germanium, Ge Condensation and Its Device Application, chapter 6, 2015, 123-145, [産業財産権]
 ○出願状況 (計 0件)
 ○取得状況 (計 0件)
 [その他]
 ホームページ等
<http://www.mosfet.k.u-tokyo.ac.jp/>
6. 研究組織
 (1) 研究代表者
 高木信一 (TAKAGI, Shinichi)
 東京大学大学院工学系研究科・教授
 研究者番号: 30372402
 (3) 連携研究者
 竹中 充 (TAKENAKA, Mitsuru)
 東京大学大学院工学系研究科・准教授
 研究者番号: 20451792