

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 31 日現在

機関番号：12608

研究種目：基盤研究(A) (一般)

研究期間：2014～2016

課題番号：26249048

研究課題名(和文) ナノシリコンドット・ナノワイヤの配列制御によるネオシリコン量子情報処理素子の創製

研究課題名(英文) Fabrication of NeoSilicon quantum information processing devices based on position control of silicon nano-dots and nanowires

研究代表者

小田 俊理 (Oda, Shunri)

東京工業大学・科学技術創成研究院・教授

研究者番号：50126314

交付決定額(研究期間全体)：(直接経費) 32,200,000円

研究成果の概要(和文)：ナノ結晶シリコンの粒径制御、配列制御法を検討し、微小電極間に1個のナノ結晶を配列し、電子輸送特性の測定を行った。Ge/Siコアシェルナノワイヤの形成技術を最適化して、熱電素子応用への展望を拓いた。多重集積シリコン量子ドットを作製し電子輸送特性を測定した。2重結合量子ドット、3重結合量子ドットおよびp型結合量子ドットを形成して、少数電子領域やパウリスピンブロックの観測により、スピンベース多重集積量子ビットの実現に重要な進展を得た。

研究成果の概要(英文)：Size-control and position-control of silicon nanocrystals have been studied. A single nanocrystals have been located between 9 nm gap electrode and unique characteristics of Coulomb blockade were observed. Fabrication of Ge/Si core/shell nanowires have been optimized. Electrical measurements have revealed that this system is promising for high performance thermoelectric generation due to quantum effects. Coupled quantum dots integrated with a charge-sensor single-electron-transistor have been fabricated by electron beam lithography. A few electron regime and Paul spin blockade have been observed in double quantum dots and triple quantum dots structures as well as in p-type devices. This result is promising for future large scale integrated quantum bits application.

研究分野：電子デバイス

キーワード：シリコン量子ドット ナノ結晶シリコン コアシェルナノワイヤ 熱電素子 量子ビット スピンブロック 3重量子ドット 界面欠陥のコヒーレント制御

1. 研究開始当初の背景

トップダウン的半導体研究開発は、ムーアの法則に従って着実に集積度の向上を進めてきた。その物理的限界に近づいた現在、大きな岐路に立たされており、エレクトロニクス産業は次世代製品に対するオフトレンドの革新的技術ブレークスルーを切望している。

これに対して、研究代表者はボトムアップ型のシリコンテクノロジーとして、ナノ結晶シリコンの粒径と粒子間隔を原子スケールで制御した「ネオシリコン」を提唱し、その機能探索とデバイス応用の研究を進めてきた。研究代表者のオリジナル技術であるVHFデジタルCVD法により、ナノスケール球状単結晶を任意基板上に室温で形成することが出来る。これまでに、①ナノシリコン粒径 (~6nm) と粒子間隔 (1-2nm) の構造制御を達成し、材料機能面では、②室温での単電子チャージング効果、③バリスティック電子伝導・放出、④フォノン支援に依らない疑似直接遷移型による発光効率増大、などを相次いで観測することに成功している。[1, 2]

これらネオシリコンの新機能は、超低消費電力不揮発性情報記録素子、高効率表示素子、およびナノ量子情報素子など、新しい素子応用分野を開く大きなポテンシャルを持っているが、その機能を最大限に引き出し、制御するためには、更なるドットサイズの低減 (<3nm) とともに、ドットの配列制御が重要となる。取り分け量子情報処理素子に於いては、ドット間の量子力学的相関の制御が必須であり、一つ一つのドットの位置制御が鍵となる。

研究代表者らは、H19-21年度およびH22-24年度科研費基盤研究Aの補助により、ナノシリコンの配列制御に取り組み、溶液中に分散させたナノシリコンを滴下蒸発させ、表面メニスカス効果による自己配列集積化、ナノ電極間へのナノシリコンの選択形成およびLangmuir-Blodgett法およびディップコーティング法により2次元集積構造の形成に成功している。[3]

一方、量子計算を目指した研究では、多重量子ビットの集積化が可能な固体量子ビットの研究が盛んであるが、中でもGaAs系化合物半導体量子ドット中の電子スピンを量子ビットに用いる研究の進展が著しい。95%の原子が核スピンを持たないシリコンの量子ドットを用いることで、電子スピンのコヒーレンス時間の向上が期待されるが、いまだ実現例はない。研究代表者らは多量子ビット化に向けたシリコン量子ドットを開発し、動作確認に成功している[4]。さらに、安定した多量子ビットの実現にはドットの寸法を縮小する必要があるが、本研究で開発したボトムアップ技術によりナノスケールの量子ビットを形成する方法が大変有望である。

2. 研究の目的

本研究の目的は、ナノシリコンドットやワイヤに最適な精密配列制御技術を確立するとともに、形成された精密配列ドット・ワイヤ構造を利用して、静電・量子力学的相互作用に基づくナノ量子情報処理デバイスを設計・試作・評価することにある。具体的に本研究の年限内には以下の点を明らかにする。ドットやワイヤの規則配列技術として、ネオシリコンインクを用いたディップコーティングによる2次元集積配列および堆積時in-situ制御による局所配列、等の手法から最適な技術を見出し、形成条件の最適化を図る。また、量子情報デバイスの集積化に向けて、電極間に制御した個数のドットやワイヤを挟んだ素子を実現し、各ドット中の電子スピン状態を独立に制御できるシステムを開発することである。

3. 研究の方法

まず、(1)「ナノシリコンドットインクの作製」を行い、このナノドットインクを用いて、(2)「ディップコーティング」によるパターンニングを行い、ドットの2次元集積構造を形成する。あらかじめ基板に形成したナノギャップ電極間にドットを配列させる。さらに電気泳動法を併用して集積化を図ると共に、タンパク質テンプレート上のドット配列も試みる。並行して、電子ビーム露光技術により形成する量子ドットデバイスを使用して(3)「低ノイズ低温測定系開発」を行う。(4)「ナノシリコンドットのIn-situ表面パッシベーション処理とドライプロセスの開発」を行いドライプロセスでのナノドット2次元集積構造の形成を目指す。並行して(5)「高周波時間分解測定系開発」を行い、磁性体と高周波電圧を利用した(6)「ネオシリコン多重量子ビット」の実現を目指す。

4. 研究成果

(1) ナノ結晶シリコンの粒径制御、配列制御を検討した。VHFプラズマセル内のパルスガス供給時のプラズマ発光スペクトル変化と結晶粒径との間に相関があることを発見し、成長プロセスモニターに利用出来ることを示した。さらにオリフィス径の拡大とプラズマセルの小型化によりガス滞留時間を短縮してナノ結晶シリコン粒径を5nm以下の縮小化に成功した。従来のプラズマセルでは粒径の縮小化に伴い堆積速度が激減したが、改造後のプラズマセルでは堆積速度の現象はわずかにとどまった。ディップコーティング法に電気泳動技術を組みあわせて3次元稠密集積化を実現した。ディップコーティング法において課題であったストライプ構造の形成要因をメニスカス部へのナノ結晶シリコン供給欠乏と解析し、電気泳動による安定供給を図った。電気泳動電圧、

分散液濃度などのパラメーターを変化させて最適化を行い、ストライプフリーの3次元集積構造の作製に成功した。VHFプラズマCVD法で作製した粒径10nmのナノ結晶シリコンを、電子ビーム露光法で形成した間隔9nmの電極間に配置して、単一シリコン量子ドットの電子輸送特性を測定した。4.5Kでは、クーロンダイヤモンドの大きさが電子数に依存することから、人工原子の殻充填現象の観測に成功した。

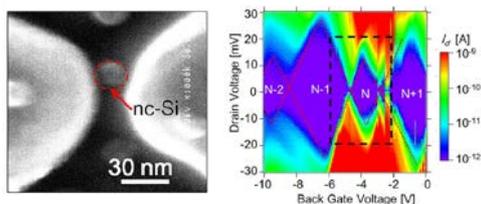


図 1: ナノギャップ電極間のナノ結晶シリコン量子ドットとクーロンブロック特性

(2) VLSCVD法によるGeナノワイヤに低温成長CVD法によりSiシェルを形成したデバイスを作製した。ナノツリー構造を形成してしまう問題に対しては、Ge/Siコアシェルナノワイヤの結晶成長条件を最適化し、2ステップ成長法により触媒金粒子のマイグレーションを抑制し、ナノツリー構造の無いコアシェルナノワイヤの形成に成功した。この材料をトランジスタおよび熱電素子に応用した。電気特性を測定したところ、Ge中の正孔がSi障壁に閉じ込められたp型伝導を観測した。アンドープのGeナノワイヤでp型伝導を観測したのでヘテロ接合による変調ドーピング効果があることを実証した。ナノワイヤ径と電気伝導度の関係を調べて、ナノワイヤ径が縮小すると電気伝導度が増加する事を見いだした。熱電素子の性能指数は従来のBiTe系に匹敵する0.6を達成した。実験データとシミュレーション結果の検討から、ナノワイヤ径を20nm以下にすると、従来の熱電性能指数を凌駕する特性が得られる見込みであると結論した。

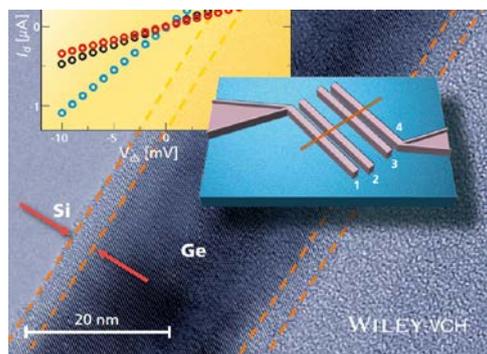


図 2: Ge/Si コアシェルナノワイヤの TEM 像と電気特性 (PSSA 誌の表紙に掲載)

(3) 量子コンピューターの実現に向けて、多重集積量子ビットの形成に有望な量子ドットを電界効果ではなくエッチングにより物理的に定義するデバイス設計を行い、電子ビーム露光技術を用いて多重集積量子ドットの作製と電子輸送特性の測定を行った。電子スピンの制御を目的としてシリコン2重結合量子ドットに単電子トランジスタ電荷センサを集積したデバイスを作製し、量子ドット中の少数電子数をカウントすることに成功した。垂直エッチングプロセス条件を改良して量子ドットの縮小化に成功、界面トラップ準位を激減させて良好な電荷安定状態図を得ることに成功した。強磁性体により静電結合強度を増大できることを発見した。

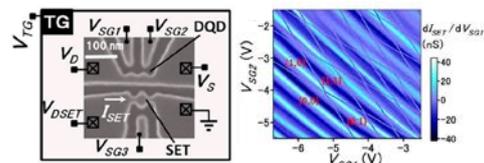


図 3: (左)2重量子ドットと電荷センサ SET の集積構造、(右)少数電子状態を示す電荷状態安定図

また、パルス測定によりパウリスピンブロックロードを観測するとともに、スピニコヒーレント時間が2ms以上と長い事を実証した。SOI素子の6nmまでの超薄膜化構造により、帯電エネルギー30meVを観測し、高温動作への道を拓いた。交換相互作用に着目して3重量子ドットの形成を行い、電荷検出素子との集積化により少数電子状態の観測に成功した。さらにスピン軌道相互作用の電界制御に注目して、Si2重量子ドットにおける正孔スピンの特性を評価した。パウリスピンブロックロードの観測に成功し、マイクロ波印加によりフォノン支援トンネリングが起こることを確認した。シリコン電界効果トランジスタのゲート酸化膜中欠陥にトラップされた電子をマイクロ波によりコヒーレント制御することに成功した。マイクロ波と電子の共鳴により、コヒーレンス時間40マイクロ秒の電子2準位系を実現した。同様な測定をSi量子ドットでも行い、デコヒーレンスの要因を明確化した。

5. 主な発表論文等 〔雑誌論文〕(計 11 件)

- ① J. O. Tenorio-Pearl, E. D. Herbschleb, S. Fleming, C. Creatore, S. Oda, W. I. Milne, A. W. Chin, Observation and coherent control of interface-induced electronic resonances in a field-effect transistor, Nature Materials, 査読有、16, 2017, 208-213
DOI: 10.1038/NMAT4754

- ② T. Sawada, T. Kodera and S. Oda, Electron transport through a single nanocrystalline silicon quantum dot between nanogap electrodes, *Applied Physics Letters*, 査読有, 109, 2016, 213102-1-4
DOI: 10.1063/1.4968008
- ③ Y. Yamaoka, S. Oda, T. Kodera, Electron transport in physically-defined double quantum dots on a highly doped silicon-on-insulator substrate, *Applied Physics Letters*, 査読有, 109, 2016, 113109-1-4
DOI: 10.1063/1.4962841
- ④ Zhengyu Xu, Koichi Usami, Marolop Simanullang, Tomohiro Noguchi, Yukio Kawano and Shunri Oda, Effect of gold migration on the morphology of germanium nanowires grown by a two-step growth method with temperature modulation, *Japanese Journal of Applied Physics*, 査読有, 55, 2016, 085002-1-3
DOI: 10.7567/JJAP.55.085002
- ⑤ Marolop Simanullang, G. Bimananda M. Wisna, Koichi Usami, Wei Cao, Yukio Kawano, Kaustav Banerjee and Shunri Oda, Undoped and catalyst-free germanium nanowires for high-performance p-type enhancement-mode field-effect transistors, *Journal of Materials Chemistry C*, 査読有, 4, 2016, 5102-1-7
DOI: 10.1039/C6TC00352D
- ⑥ S. Ihara, A. Andreev, D. A. Williams, T. Kodera, and S. Oda, Quantum dots in single electron transistors with ultrathin silicon-on-insulator structures, *Applied Physics Letters*, 査読有, 107, 2015, 013102-1-4
DOI: 10.1063/1.4926335
- ⑦ Shotaro Yamazaki, Yoshifumi Nakamine, Ran Zheng, Masahiro Kouge, Tetsuya Ishikawa, Koichi Usami, Tetsuo Kodera, Yukio Kawano, and Shunri Oda, Formation of three-dimensionally integrated nanocrystalline silicon particles by dip-coating method, *Japanese Journal of Applied Physics*, 査読有, 54, 2015, 105001-1-5
DOI: 10.7567/JJAP.54.105001
- ⑧ K. Horibe, T. Kodera, S. Oda, Lithographically defined few-electron silicon quantum dots based on a silicon-on-insulator substrate, *Applied Physics Letters*, 査読有, 106, 2015, 083111-1-5
DOI: 10.1063/1.4913321
- ⑨ K. Horibe, T. Kodera, S. Oda, Back-action-induced excitation of electrons in a silicon quantum dot with a single-electron transistor charge sensor, *Applied Physics Letters*, 査読有, 106, 2015, 053119-1-4
DOI: 10.1063/1.4907894
- ⑩ Kazufumi Ikemoto, Yoshifumi Nakamine, Yukio Kawano, Shunri Oda, In-Situ Monitoring of Silicon Nanocrystal Deposition with Pulsed SiH₄ Supply by Optical Emission Spectroscopy of Ar Plasma, *Japanese Journal of Applied Physics*, 査読有, 53, 2014, 116102-1-4
DOI: 10.7567/JJAP.53.116102/meta
- ⑪ Ko Yamada, Tetsuo Kodera, Tomohiro Kambara, Shunri Oda, Fabrication and characterization of p-channel Si double quantum dots, *Applied Physics Letters*, 査読有, 105, 2014, 113110-1-5
DOI: 10.1063/1.4896142
- [学会発表] (計 7件)
- ① S. Oda, G. Yamahata, K. Horibe and T. Kodera, Coupled Quantum Dots on SOI as Highly Integrated Si Qubits, IEDM, December 2016, San Francisco (米国), (招待講演).
- ② S. Oda, Quantum dot devices: technology vehicles for nanoscale physics and paths for future applications, ESSDERC, September 2016, Lausanne(スイス), (招待講演)
- ③ Shunri Oda, Silicon quantum dots for future electronics and photonics, International Conference on Microwave and THz Technologies, Photonics and Wireless Communications, May 2016, Yerevan(アルメニア), (招待講演)
- ④ Tetsuo Kodera, Kosuke Horibe, Shunri Oda, Devices Architectures and Technology for Quantum Computing, ECS Transactions, October 2015, Phoenix (米国), (招待講演).
- ⑤ S. Oda, Silicon nanocrystals for future electronics and photonics, ICANS26, September 2015, Aachen(ドイツ), (招待講演)
- ⑥ T. Noguchi, M. D. K. Simanullang, Z. Xu, K. Usami, Y. Kawano, T. Kodera, S. Oda, A Ge/Si core/shell nanowire with controlled low temperature grown Si shell thickness, 20th Biennial European Conference on Chemical Vapor Deposition, July 2015, Sempach(スイス), (招待講演)
- ⑦ S. Oda, Silicon quantum dot devices for future electronics, 4th International Conference on Manipulation, Manufacturing and Measurement on the Nanoscale, October

2014, Taipei(台湾), (招待講演)

[図書] (計 1 件)

- ① Shunri Oda and David K. Ferry, CRC Press, Nanoscale Silicon Devices, 2016, 288

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ等

<http://odalab.pe.titech.ac.jp/>

6. 研究組織

(1) 研究代表者

小田 俊理 (ODA, Shunri)

東京工業大学・科学技術創成研究院・教授
研究者番号：50126314

(2) 研究分担者

河野 行雄 (KAWANO, Yukio)

東京工業大学・科学技術創成研究院・准教授

研究者番号：90334250

川那子 高暢 (KAWANAGO, Takamasa)

東京工業大学・科学技術創成研究院・助教
研究者番号：30726633

小寺 哲夫 (KODERA, Tetsuo)

東京工業大学・工学院・准教授

研究者番号：00466856

(3) 研究協力者

ミルン W. I. (MILNE, W. I.)

ケンブリッジ大学・工学部・教授

ウイリアムス D. (Williams, D)

日立ケンブリッジ研究所・所長