

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 26 日現在

機関番号：11301

研究種目：基盤研究(B)（一般）

研究期間：2014～2016

課題番号：26280011

研究課題名（和文）5.5次元設計時代のグリーンマイクロアーキテクチャの創成

研究課題名（英文）A Green Microarchitecture in 5.5D-Design Era

研究代表者

江川 隆輔（EGAWA, RYUSUKE）

東北大学・サイバーサイエンスセンター・准教授

研究者番号：80374990

交付決定額（研究期間全体）：（直接経費） 11,100,000円

研究成果の概要（和文）：本研究は、ムーアの法則終焉後のプロセッサ設計を支えることが期待されている2.5次元、および3次元実装技術、それぞれの潜在能力を十二分に引き出し、現存プロセッサを凌駕する電力効率を実現可能なマイクロアーキテクチャの実現を目指す。具体的には、微細化のみに頼らないオーバー・ザ・ムーア時代を見据え、垂直配線を積極的に利用するプロセッサ設計の要素技術に関する研究を推進した。細粒度から粗粒度まで様々な設計粒度における積層技術の有効性検討を通して、性能・電力・コストのトレードオフを考慮しながら適材適所でTSVを活用することで、プロセッサ・システムの電力効率を飛躍的に向上可能であることを明らかにした。

研究成果の概要（英文）：To clarify the design space of future microprocessors after the end of moor's law, this research project focuses on vertical integration technologies such as 2.5D and 3D technologies using a through silicon via (TSV). Since the TSVs have a high potential of shortening the latency and reducing the power consumption in/of microprocessors and computing systems, these technologies are expected to overcome the limits of technology scaling. In this research, we explore the design space of the future microprocessors by aggressively using TSVs in various stacking granularities. The evaluation results show that appropriate usage of TSVs with considering a trade-off among performance, power, and cost can drastically improve the energy efficiency of the microprocessors and computer systems.

研究分野：計算機アーキテクチャ、高性能計算

キーワード：TSV 低消費電力 3次元積層

1. 研究開始当初の背景

"ムーアの法則"の終焉が近づき、半導体加工技術のこれ以上の微細化が望めない現状を鑑みると、現在よりも飛躍的な電力効率が求められる将来のマイクロプロセッサ、およびコンピュータシステム設計においては、現在の2次元多層配線がごとく、垂直配線である"TSV"を「あたりまえ」かつ「積極的」に活用する時代が訪れることは想像に難くない。従って、将来のプロセッサ設計ではこのトレンドを見据えながら、従来の2次元実装、2.5次元実装、3次元実装、それぞれの実装の特徴と潜在能力を引き出しながら併用する5.5次元実装技術によって、飛躍的な性能向上、省電力化を実現可能なグリーンマイクロアーキテクチャ創出が必要であると考えられる。しかし、TSVを用いたシステム設計環境は十分に整備されていないことを主因として、既存の設計ノウハウを活用することに縛られ、将来のデファクトとなり得るTSVの特徴・十分に活用可能なマイクロアーキテクチャが検討されているとは言い難い状況にある。

2. 研究の目的

本研究の目的は、"ムーアの法則"終焉後のマイクロプロセッサ設計を支えることが期待されている2.5次元、および3次元実装技術、それぞれの潜在能力を十二分に引き出し、現存プロセッサの電力効率凌駕することが可能なグリーンマイクロアーキテクチャを創成することである。

本研究では、さまざまな設計階層・粒度においてTSVを積極的に活用する5.5次元設計時代の高エネルギー効率マイクロプロセッサの創出に向けて、細粒度から粗粒度までTSVを用いた3次元、2.5次元積層技術の適用可能性と、その効果・影響を精査し、適材適所でこれらの実装技術を利用する5.5次元実装技術によるグリーンマイクロアーキテクチャの創出を試みる。垂直積層技術を用いた演算器、コア、メモリモジュールの短レイテンシ化、高スループット化、低消費電力化に取り組むことで、与えられた計算資源を無駄なく、省電力で活用するグリーンコンピューティング実現の要素技術の確立と、これらの実現可能性を見据えて細粒度から粗粒度の積層を可能とする5.5次元設計手法の研究開発に取り組む。

3. 研究の方法

本研究では、多粒度積層検討、設計手法検討、マイクロアーキテクチャ検討の3つ研究グループを編成し、各グループが有機的に連携することで、主に以下の3項目について検討を進めた。

1. さまざまな回路規模・設計における垂直積層技術の有効性
2. 三次元積層技術の潜在能力を引き出す事が可能な設計方法
3. 性能・電力・設計コストを考慮した5.5

次元グリーンマイクロアーキテクチャ

項目1においては、演算回路、データパス、コア-キャッシュ(メモリ)、コア-コア間など様々な設計粒度における3次元積層技術、2.5次元積層技術の有用性を性能・電力・コストの観点から精査し、それぞれの評価モデルを構築することで、垂直積層技術の効果を定量的に評価する。項目2では、細粒度から粗粒度まで利用可能な3次元積層技術を用いた設計手法を、回路分割手法、TSVの配置方法の観点から精査し、将来のTSVの潜在能力を引き出す事が可能な5.5次元設計時代のCADを含む設計環境が具備すべき要件に関する検討を進める。項目3では、垂直配線を用いた5.5次元設計における高効率・超省電力を実現可能なプロセッサをハードウェアレベル、アーキテクチャレベルシミュレーションと項目1と2の成果と併せて評価し、電力・設計コストあたりの性能を最大限に引き出すことが可能なグリーンマイクロアーキテクチャを実現可能にするための要素技術に関する研究を進める。

4. 研究成果

- (1) さまざまな回路規模・設計における垂直積層技術の有効性

整数型算術演算回路、浮動小数点演算回路設計における細粒度、また浮動小数点積和演算回路を有するデータパスなどの中粒度の設計において、TSVを用いた積層設計を行い、3次元積層の有効性を明らかにしている。また、粗粒度積層として、汎用のマルチコアプロセッサと三次元積層型DRAMの垂直積層、マルチコアプロセッサとDRAMの2.5次元実装を想定したシステムのシミュレータを構築し、汎用のベンチマークプログラムを用いた3次元、2.5次元実装による大幅なメモリアクセス零点素の短縮、メモリアクセスに係る消費電力削減の可能性を明らかにしている。さらに、TSVの積極的利用による消費電力削減、性能向上が期待できる一方で、設計環境の不備、ハードウェアコストの観点から、コストを考慮した設計が必要であることを定量的評価により示した。

- (2) 三次元積層技術の潜在能力を引き出す事が可能な設計方法

浮動小数点回路を対象に性能を最大化しながら、消費電力を削減する回路分割・積層手法に関する検討を行い、大規模な算術演算回路における細粒度三次元積層の有効性を明らかにしている。具体的には、浮動小数点演算を行う加算回路、乗算回路、Goldschmidt式除算回路、積和型演算回路の設計評価を通して、図1に示すような同じ機能を有する積和演算回路の分割方法、積層実装の違いによって、算術演算回路の性能、消費電力、設計コストが大幅に異なることを定量的に明らかにしている。

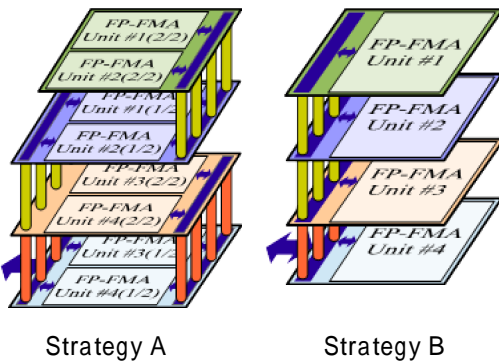


図1：三次元回路分割・積層手法

これらの知見に基づき、浮動小数点除算回路・積和演算回路の3次元積層のための回路分割手法を提案した。提案手法は3次元積層 Goldschmidt 式浮動小数点除算回路設計において2次元積層と比較して、8.1%の遅延時間短縮、6.8%の消費電力削減可能であることを明らかにしている。また、3次元積層型浮動小数点積和演算回路設計においては、2次元設計と比較して最大で9%の遅延時間短縮、18%の消費電力削減が可能であることを示した。

(3) 性能・電力・設計コストを考慮した5.5次元グリーンマイクロアーキテクチャ
研究項目1, 2で得られた知見、評価環境に基づき、オーバー・ザ・ムーア時代の垂直配線を積極的に活用する高速・低消費電力・コストアウェアなマイクロアーキテクチャに関する研究を推進した。本研究項目では、垂直配線技術だけでなく、5.5次元設計時代に活用することが期待されている新規デバイスを用いたコンピュータシステム、マイクロプロセッサ設計に関する検討も行った。

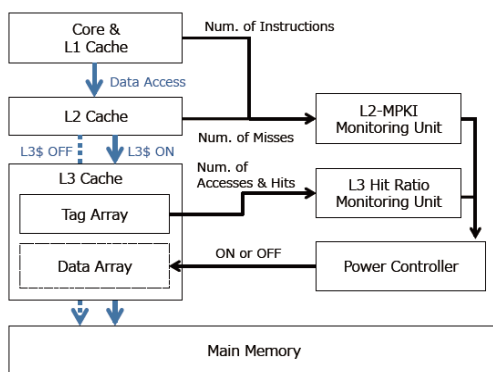


図2：アプリケーション適応型ラストレベルキャッシュバイパス機構

垂直積層技術を用いた5.5次元型コンピュータシステム設計では、本技術によってもたらされる大容量のキャッシュメモリのエネルギー効率化が必要不可欠である事に着目し、メモリサブシステムの電力効率化に取り組んだ。コンピュータシステムで実行されるアプ

リケーションによっては、垂直実装によってもたらされる高いメモリバンド幅やメモリ容量を活用することが出来無いことに着目し、図2に示すアプリケーション特性に応じて大規模ラストレベルキャッシュをバイパス、電源管理する機構を提案した。提案手法では、LLC(ラストレベルキャッシュ)のヒット率と、LLCの上層のキャッシュのMPKI(千命令当たりのミス率)を用いて、LLCの必要性を判断し、活性化・不活性化を行う。シミュレーションを用いた評価では、平均11%、最大25%の電力効率改善が可能であることを明らかにしている。

また、近年性能・消費電力につく新たな第3のプロセッサ設計制約となりつつあるシステムの信頼性向上を目的とした3次元積層により搭載された大規模メモリを用いたチェックポイント機構、3次元積層技術を用いたHBMの電力効率化のためのアドレスマッピング手法、揮発性メモリであるSTT-RAM キャッシュのためのライトマージ機構等、将来のコンピュータ設計にエネルギー効率化に関する研究もすすめ、学術論文等での成果を発表している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計8件)

Masayuki Sato, Zentaro Sakai, Ryusuke Egawa, Hiroaki Kobayashi, "An Adjacent-Line-Merging Writeback for STT-RAM Last-Level Caches, Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOLCHIPS 20), pp.1-3 (USB), 2017. (査読有り)

Takuya Toyoshima, Masayuki Sato, Ryusuke Egawa, Hiroaki Kobayashi, "An Application-adaptive Data Allocation Method for Multi-channel Memory," Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOLCHIPS 20), pp.1, USB, 2017. (査読有り)

Jubee Tada, Maiki Hosokawa, Ryusuke Egawa, Hiroaki Kobayashi, "Effects of Stacking granularity on 3D Stacked Floating point Fused Multiply Add Unit," ACM SIGARCH Computer Architecture News, vol.44, no.4, pp.62-67, 2016. (査読有り)

Ryusuke Egawa, Wataru Uno, Masayuki Sato, Hiroaki Kobayashi, "Power-Aware LLC Control Mechanism for 3D-Stacked Memory Sub-System,"

Proceedings of 3D System Integration Conference 2016(3DSIC 2016), pp.1 - 6 (USB), 2016.(査読有り)

Masayuki Sato, Han Chengguang, Kazuhiko Komatsu, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, "An Energy-Efficient Dynamic Memory Address Mapping Mechanism, Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOLCHIPS XVIII), pp.1-3 (USB), 2015. (査読有り)

Jubee Tada, Ryusuke Egawa, Hiroaki Kobayashi, "Design of a 3-D Stacked Floating-point Goldschmidt Divider," Proceedings of 3D System Integration Conference 2014(3DSIC 2015), pp.1 - 5 (USB), 2015.(査読有り)

Jubee Tada, Ryusuke Egawa, Hiroaki Kobayashi, "An Impact on Circuit Sscale on the Performance of 3-D Stacked Arithmetic Units," Proceedings of 3D System Integration Conference 2014(3DSIC 2014), pp.1 - 4 (USB), 2014.(査読有り)

Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, "On-chip Checkpointing with 3D-Stacked Memories," Proceedings of 3D System Integration Conference 2014 (3DSIC 2014), pp.1 - 4 (USB), 2014.(査読有り)

〔学会発表〕(計5件)

豊嶋拓也, 佐藤雅之, 江川隆輔, 小林広明, "高バンド幅メモリのための省電力データ配置手法に関する研究," 電気関係学会東北支部連合大会, 2016年8月31日, 東北工業大学(宮城県仙台市). (査読無し)

宇野渉, 佐藤雅之, 江川隆輔, 小林広明, "三次元積層時代における高電力効率メモリ階層設計," 進学技報 Vol.115, No.271, pp. 19-24, 2015.2015年10月26日, 一の坊(宮城県仙台市). (査読無し)

細川磨生, 多田十兵衛, 江川隆輔, 小林広明, "三次元積層型浮動小数点積和演算器の回路分割手法の検討," 進学技報 Vol.115, No.271, pp. 25-29, 2015.2015年10月26日, 一の坊(宮城県仙台市). (査読無し)

西村 秦, 佐藤雅之, 江川隆輔, 小林広明,

"マルチコアプロセッサのためのスレッド間共有データを考慮したキャッシュ機構," 研究報告計算機アーキテクチャ Vo./2015-ARC-216, NO.38, pp1 -8, 2015.2015年7月28日, 別府国際コンベンションセンター(大分県別府市). (査読無し)

Ryusuke Egawa, "Design Space Exploration for Green Microarchitecture in the "More-than-Moore" Era," International Conference on Super Computing 2015 (ISC2015), Young and Bright Researcher Session, 2015年7月13日, フランクフルトメッセ(ドイツ・フランクフルト). (招待講演)

〔図書〕(計0件)

〔産業財産権〕(計0件)

出願状況(計0件)

取得状況(計0件)

〔その他〕

ホームページ等:該当無し

6. 研究組織

(1)研究代表者

江川 隆輔 (Egawa Ryusuke)

東北大学・サイバーサイエンスセンター・准教授

研究者番号: 80374990

(2)研究分担者

多田 十兵衛 (Tada Jubee)

山形大学・理工学研究科・助教

研究者番号: 30361273

(3)連携研究者

小林 広明 (Kobayashi Hiroaki)

東北大学・情報科学研究科・教授

研究者番号: 40205480

滝沢 寛之 (Takizawa Hiroyuki)

東北大学・サイバーサイエンスセンター・教授

研究者番号: 70323996

佐藤 雅之 (Sato Masayuki)

東北大学・情報科学研究科・助教

研究者番号: 50781308

(4)研究協力者

宇野 渉 (Uno Wataru)

西村 秦 (Nishimura Shin)

細川 磨生 (Hosokawa Mikio)

豊嶋 拓也 (Toyoshima Takuya)