

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 22 日現在

機関番号：32665

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330071

研究課題名(和文) 高位設計からのLSIの非スキャンテスト容易化動作合成及びテスト生成に関する研究

研究課題名(英文) Studies on Non-Scan based Synthesis for Testability and Test Generation from High-Level Design for LSI

研究代表者

細川 利典 (HOSOKAWA, Toshinori)

日本大学・生産工学部・教授

研究者番号：40373005

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：本研究では、LSI(大規模集積回路)に搭載されている機密情報の安全性を保証しつつ、低コストで高品質なLSIの製造テストを実施し、その信頼性・安全性を確保する技術を確立することを目的とする。

3年間の研究機関で、LSIの高位設計におけるテスト容易化合成・テスト容易化設計法、効率的なテスト生成モデルを生成するためのテスト容易化機能情報抽出法、低消費電力・テスト圧縮を指向したテスト生成法、トロイ検出法を提案した。

少ないハードウェアオーバーヘッドでLSIの高品質なテストを安全に低コストで実現できることに貢献した。

研究成果の概要(英文)：In this research, we target to perform manufacturing test for LSI (Large Scale Integrated Circuits) with high quality and low cost while guaranteeing the security of confidential information embedded on LSI. Thus, our purpose is to establish techniques to ensure the reliability and the safety for LSI.

We have proposed synthesis-for-testability and design-for-testability methods at high level of LSI design, a method of easily testable functional information extraction to generate efficient test generation models, test generation methods for low power and test compaction, and a hardware Trojan detection method for three years.

We contributed to the realization of safe LSI testing with high quality and low cost using low hardware overhead.

研究分野：LSIテストCAD

キーワード：動作合成 テスト生成 低消費電力 トロイ検出 テスト容易化合成 テスト環境生成 マルチサイクルキャプチャテスト 故障診断

1. 研究開始当初の背景

大規模集積回路 (LSI) の信頼性、安全性を適正なコストで保証するために、LSI の製造テスト時に、テスト容易化設計を用いて、高い品質のテストを適正なコストで実行する必要がある。現在、テスト容易化設計技術で広く使用されている方法がスキャン設計であり、LSI 内部のレジスタを可制御・可観測にするスキャンレジスタに変更することでテストパターンの生成を容易化することができる。しかし、回路面積の増大やテスト実行時間が長大化するなどの欠点がある。

また LSI をキーデバイスとする組み込み電子機器には、著作権に代表される大きな価値を持つ権利を認証するために用いられる暗号鍵などの情報が搭載されている。さまざまな組み込み機器に組み込まれるようになった暗号回路に対してスキャン設計で挿入したスキャンチェーンを用いた攻撃が可能であることが報告されている。スキャンチェーンを用いた攻撃や機密情報の解析による LSI の信頼性、安全性の破壊は、個人や会社などの団体の財産を直接脅かすことにつながる。そのために、スキャン設計を適用せずにテストパターンを生成し、高いテスト品質を達成することが LSI のテストコスト面や信頼性・安全性においてより良い解決策であると考えられる。

本研究室では、データパスとコントローラで構成された LSI のコントローラの動作を解析することで、データパスの実行サイクル数、及びデータパスとコントローラ間の制御信号や状態信号の時系列値を抽出し、それら機能情報を制約とした順序回路の非スキャンテスト生成法を研究し、テスト生成時間を従来技術と比較して 100 倍程度高速することに成功した。また C 言語で表現された動作記述を入力とし、レジスタ転送レベル記述及びテスト容易化インタフェースとして合成情報を出力する機能を持つ動作合成システムを開発した。本研究では、これまでの研究成果に基づき、低テストコスト・高テスト品質を達成するための、高位設計から非スキャン LSI のテスト生成が容易になる回路の合成技術と高速テスト生成技術の確立を目指す。

レジスタ転送レベルで設計された LSI の非スキャンベースのテスト容易化設計やテスト生成に関する研究は、従来からそれぞれ行われている。それらの研究はすべてデータパスのみの技術であった。それゆえ、テスト品質が十分なテストパターンが得られない問題やコントローラとデータパスを分離するために必要なテスト容易化設計の余分なテストコストやその回路を通じて機密情報が漏れいする問題が生じる。高位レベルの回路データからデータパスとコントローラが一体化した全体回路の非スキャンベースのテスト容易化合成や合成された回路に対する高位設計を考慮した高速テスト生成技術に関する研究は提案されていない。

2. 研究の目的

本研究では、LSI に搭載されている機密情報の安全性を保証しつつ、低コストで高品質な LSI の製造テストを実施し、その信頼性・安全性を確保する技術を確立することを目的とする。機密情報の安全性の保証は非スキャンテストを実行することで LSI 内部にあるレジスタを外部から直接制御、観測を不可能にすることで達成する。また非スキャンテストで、低コスト・高品質なテストを達成するために、高位設計の段階からテスト容易な回路合成やテスト生成を実行し、さらにゲートレベルでのテスト生成を高速化するために高位設計した回路データからテスト生成容易化機能情報の抽出を行う。

3. 研究の方法

(1) テスト容易化動作合成技術に関しては、大きく階層テスト生成を容易化するためのテスト容易化動作合成技術とテスト容易化機能的時間展開モデル生成を考慮したテスト容易化動作合成技術を研究した。階層テスト容易化動作合成技術に関しては、与えられたレジスタ転送レベルのベンチマーク回路に対して、階層テスト生成を実行したときの故障検出率、テスト生成時間、テスト長を評価した。引用文献 で提案されている代数演算を用いたテスト環境生成の下で、階層テスト不能演算器に対して、階層テスト可能となるようなデータフローグラフのスケジューリング手法やバインディング手法の研究を行った。次にテスト容易化機能的時間展開モデルを考慮したテスト容易化動作合成に関しては、与えられた動作アルゴリズムに対して条件網羅を満たす機能検証パターンを抽出し、そのパターンから機能的時間展開モデル (引用文献) を生成し、そのモデルに対してテスト生成を実行し、故障検出率、テスト生成時間、テスト長を評価した。生成された機能的時間展開モデルを解析し、テスト生成困難な回路構造を特定し、その回路構造の一部である演算器の入力から外部入力までの順序深度 (演算器入力順序深度) と演算器の出力から外部出力までの順序深度 (演算器出力順序深度) を削減するスケジューリング手法やバインディング手法の研究を行った。

(2) 階層テスト生成技術に関しては、引用文献 で提案されていた代数演算を用いたテスト環境生成アルゴリズムを実装し、評価した。このテスト環境生成アルゴリズムで用いられている代数演算規則は、ある演算器のテスト環境が生成されれば、必ずその演算器の故障がテスト可能であることが保証される。我々はテスト環境生成の代数演算規則を複雑にして、演算器の故障のテストが必ずしも保証されないテスト環境生成手法を研究するのではなく、テスト容易化合成により、テスト環境生成ができない演算器を階層テスト可能にする研究を行うことでこの問題を

解決する方針を決めた。次に、階層テスト生成とは異なるが、低消費電力なテスト系列の生成技術の研究を進めていく方針を立て、非スキャンテストの研究の前段階として、マルチサイクルキャプチャスキャンテストに関する低消費電力テスト生成に関する研究を行った。さらに順序回路のテスト不能故障を判定する手法の研究を行った。

(3) テスト生成容易化機能情報抽出技術に関しては、(1)で特定したテスト困難な回路構造を含まないテスト容易化機能的時間展開モデルを生成する研究を行った。次にそのテスト容易化機能的時間展開モデルの動作を実現するためのコントローラ拡大を行う研究を行った。さらにコントローラ拡大のオーバーヘッドとモデルに含まれるテスト困難な回路構造を数値化して、最適なテスト容易化機能的時間展開モデルを選択し、そのモデルを生成するための時間展開数、制御信号入力系列、状態信号出力系列を制約として抽出するテスト生成の研究を行った。またテスト実行時間の短縮を目的とした演算器を変列に実行するためのテストポイント挿入法とコントローラ拡大法の研究を行った。

4. 研究成果

(1)階層テスト容易化動作合成技術に関して、階層テスト不能演算器を階層テスト可能とするためには、他の階層テスト可能演算器に対して生成されたテスト系列を利用して、階層テスト不能演算器をテストすること(救済)を考え、これを実現するように階層テスト不能演算器の入出力変数にレジスタを割当ててバインディング手法を提案した。さらに、提案したバインディング手法の効果を高めるために、「救済を実行する時刻において、救済対象の階層テスト不能演算器がアイドル状態である」かつ「救済対象の階層テスト不能演算器の入力に、テストパターンレジスタが割当て可能である」という救済条件を満たすスケジューリング手法を提案した。その結果、ベンチマーク回路に存在した4~5個の階層テスト不能演算器を救済し、階層テストを可能にした。この成果は2014年6月と2015年2月に開催された電子情報通信学会ディペンダブルコンピューティング研究会、2015年1月に開催された第72回FTC研究会、2014年11月に開催されたIEEE the 15th Workshop on RTL and High Level Testing、2015年3月に開催されたIEEE the 2nd Workshop on Design Automation for Understanding Hardware Designs、2016年5月に開催されたIEEE the 21st European Test Symposiumにて報告した(学会発表⑭、⑲、⑳、㉓、㉔、㉕)。

(2)テスト容易化機能的時間展開モデルを考慮したテスト容易化動作合成技術に関して、データパス内の演算器に対する演算器入出

力順序深度定義し、その演算器順序深度を削減するバインディング手法を提案した。その結果、データフローグラフベースのベンチマーク回路のデータパス内の演算器順序深度をすべて1(最小)に削減した。この成果は2016年6月に開催された電子情報通信学会ディペンダブルコンピューティング研究会、2016年7月に開催された第75回FTC研究会、2016年11月に開催されたIEEE the 17th Workshop on RTL and High Level Testingにて報告した(学会発表、、)。

(3)マルチサイクルキャプチャスキャンテストに関する低消費電力テスト生成技術に関して、あらかじめ生成されたテストキューブ集合中のドントケアビットを持つフリップフロップ(FF)にSATを用いて遷移が発生しないようケアビット割当てドントケア割当て手法を提案した。また、低消費電力テスト集合の故障伝搬経路を模倣して新たにテストパターンを生成する低消費電力テスト生成手法を提案した。その結果、高消費電力を消費するテストパターンでのみでしか検出できないアンセーフ故障数を97%削減することができ、従来手法と比較して、85倍高速にテスト生成することができた。この成果は2014年11月に開催された電子情報通信学会ディペンダブルコンピューティング研究会、2014年7月に開催された第71回FTC研究会、2014年11月に開催されたIEEE the 15th Workshop on RTL and High Level Testing、2015年3月IEEE Design with Uncertainty、2015年5月IEEE the 20th European Test Symposium、2015年11月IEEE the 24st Asian Test Symposium、2016年1月第74回FTC研究会にて報告した(学会発表⑱、㉓、㉔、㉕、㉖、㉗、㉘、㉙、㉚、㉛、㉜、㉝)。

(4)テスト不能故障判定技術に関して、SATを用いて順序回路中の数個のFF中の値の組み合わせの正当化が不可能なものを判定することにより、到達不能状態を判定し、テスト不能故障を判定する手法を提案した。その結果、ベンチマーク回路に対して、全故障数の14~36%の故障をテスト不能故障として判定することが可能となった。この成果は、2015年1月に開催された第72回FTC研究会、2017年2月に開催された電子情報通信学会ディペンダブルコンピューティング研究会にて報告した(学会発表②、⑦)。

(5)テスト容易化機能的時間展開モデル生成技術に関して、状態遷移の追加によるコントローラ拡大のためのハードウェアオーバーヘッドとテスト困難な回路構造である時間展開数、再収斂構造数、定数制御演算器数をコスト関数の要素としてコスト最小化問題を定式化し、コスト関数の値を最小化するテスト容易化機能的時間展開モデル生成アルゴリズムを提案した。その結果、従来の順序回

路のテスト生成手法と比較して 12 倍高速化された。この成果は、2014 年 6 月に開催された電子情報通信学会ディベンドブルコンピューティング研究会、2015 年 7 月に開催された第 73 回 FTC 研究会、2015 年 11 月に開催された IEEE the 24st Asian Test Symposium にて報告した(学会発表②、⑥、④)。

(6) データパスの演算器並列テスト技術に関して、テスト無効状態とテスト無効状態遷移の追加によるコントローラ拡大と制御用マルチプレクサや観測用マルチプレクサのテストポイント挿入により、データパス中のすべての演算器を並列にテスト実行を可能にする手法を提案した。その結果、ARF、BPF、FIG.17 などの定数の多いベンチマーク回路のテストパターン数を 32~81%削減することができた。この成果は、2016 年 2 月に開催された電子情報通信学会ディベンドブルコンピューティング研究会、2016 年 9 月に開催された情報処理学会 DA シンポジウム 2016、2016 年 11 月に開催された IEEE the 17th Workshop on RTL and High Level Testing にて報告した(学会発表、)。

<引用文献>

I. Ghosh, and M. Fujita, "Automatic Test Pattern Generation for Functional RTL Circuits Using Assignment Decision Diagrams," Proc. ACM/IEEE Design Automation Conference, pp.43-48, 2000.

K. Sugiki, T. Hosokawa, and M. Yoshimura, "A Test Generation Method for Datapath Circuits Using Functional Time Expansion Models", in Proc. Workshop on RTL and High Level Testing ,pp.39-44, 2008.

5. 主な発表論文等

[学会発表](計 46 件)

山崎 紘史、細川 利典、藤原 秀雄、拡張シフトレジスタを用いた強セキュア回路設計法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2017 年 2 月 21 日

二関 森人、細川 利典、吉村 正義、新井 雅之、四柳 浩之、橋爪 正樹、到達不能状態を用いた SAT ベース順序回路のテスト不能故障判定法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2017 年 2 月 21 日

細川 利典、平井 淳士、山崎 紘史、新井 雅之、キャプチャセーフテストベクトルを利用した低消費電力指向テスト生成における動的テスト圧縮法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2017 年 2 月 21 日

Masayoshi Yoshimura, Tomohiro Bouyashiki, and Toshinori Hosokawa, "A Hardware Trojan Circuit Detection

Method Using Activation Sequence Generations," The Proceedings of Paper of 2017 IEEE 22nd Pacific Rim International Symposium on Dependable Computing, pp.221-222, 査読有, Christchurch (New Zealand), Jan. 22, 2017.

Toshinori Hosokawa, Hideyuki Takano, Hiroshi Yamazaki, and Koji Yamazaki, "A Diagnostic Fault Simulation Method for a Single Universal Logical Fault Model," The Proceedings of Paper of 2017 IEEE 22nd Pacific Rim International Symposium on Dependable Computing, pp.217-218, 査読有, Christchurch (New Zealand), Jan. 22, 2017.

錦織 誠、山崎 紘史、細川 利典、吉村 正義、新井 雅之、四柳 浩之、橋爪 正樹、抵抗性オープン故障のテスト生成法の評価、第 76 回 FTC 研究会、査読無、ANA ホリディ・インリゾート宮崎(宮崎県・宮崎市)、2017 年 1 月 20 日

Hiroshi Yamazaki, Toshinori Hosokawa, and Hideo Fujiwara, "Strongly Secure Scan Design Using Extended Shift Registers," Digest of Papers of IEEE the Seventeenth Workshop on RTL and High Level Testing, 査読有, 広島国際会議場(広島県・広島市), Nov. 24, 2016. Shun Takeda, Toshinori Hosokawa, Hiroshi Yamazaki and Masayoshi Yoshimura, "A Design for Testability Method at RTL for Concurrent Operational Unit Testing," Digest of Papers of IEEE the Seventeenth Workshop on RTL and High Level Testing, 査読有, 広島国際会議場(広島県・広島市), Nov. 24, 2016.

Mamoru Sato, Tetsuya Masuda, Jun Nishimaki, Toshinori Hosokawa and Hideo Fujiwara, "A Binding Method to Generate Easily Testable Functional Time Expansion Models," Digest of Papers of IEEE the Seventeenth Workshop on RTL and High Level Testing, 査読有, 広島国際会議場(広島県・広島市), Nov. 24, 2016.

Toshinori Hosokawa, "Studies of High Level Design Aware Test Generation at Gate Level," IEEE the Seventeenth Workshop on RTL and High Level Testing, 査読無, 広島国際会議場(広島県・広島市), Nov. 24, 2016.

武田 俊、大崎 直也、細川 利典、山崎 紘史、吉村 正義、コントローラ拡大とテストポイントを用いたテスト圧縮効率向上のためのテスト容易化設計、情報処理学会 DA シンポジウム 2016、査読無、山代温泉ゆのくに天祥(石川県・

加賀市) 2016年9月14日

佐藤 護、増田 哲也、西間木 淳、細川 利典、藤原 秀雄、テスト容易化機能的時間展開モデル生成のためのバイインディング法、第75回FTC研究会、査読無、ホテル木暮(群馬県・渋川市) 2016年7月15日

佐藤 護、細川 利典、増田 哲也、西間木 淳、藤原 秀雄、テスト容易化機能的時間展開モデル生成のためのテスト容易化バイインディング法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都) 2016年6月20日

Jun Nishimaki, Toshinori Hosokawa, and Hideo Fujiwara, "A scheduling method for hierarchical testability based on test environment generation results," Proceedings of Papers of IEEE the 21st European Test Symposium, pp.1-2, 査読有, Amsterdam (The Netherlands), May 24, 2016.

大崎 直也、細川 利典、山崎 紘史、吉村 正義、テストパターン数削減のためのRTLテストポイント挿入法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都) 2016年2月17日

高野 秀之、細川 利典、山崎 紘史、山崎 浩二、故障励起条件解析を用いたユニバーサル論理故障診断のための被疑故障ランキング法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都) 2016年2月17日

日下部 建斗、平井 淳士、細川 利典、山崎 紘史、新井 雅之、キャプチャセーフテスト圧縮法、第74回FTC研究会、査読無、国民宿舍みやじま杜の宿(広島県・廿日市) 2016年1月22日

山崎 紘史、西間木 淳、細川 利典、吉村 正義、低消費電力指向マルチサイクルキャプチャテスト生成における時間展開数の評価、第74回FTC研究会、査読無、国民宿舍みやじま杜の宿(広島県・廿日市) 2016年1月22日

原 侑也、山崎 紘史、細川 利典、吉村 正義、静的テスト圧縮のための多重目標故障テスト生成を用いたMバイNアルゴリズム、電子情報通信学会 DC 研究会、査読無、長崎県勤労福祉会館(長崎県・長崎市) 2015年12月3日

Hideyuki Takano, Hiroshi Yamazaki, Toshinori Hosokawa and Koji Yamazaki, "A Fault Diagnosis Method for a Single Universal Logical Fault Model Using Multi Cycle Capture Test Sets," Digest of Papers of IEEE the 16th Workshop on RTL and High Level Testing, pp.74-79, 査読有, Mumbai (India), Nov. 25, 2015.

②① Masayoshi Yoshimura, Tomohiro Bouyashiki and Toshinori Hosokawa, "A

Sequence Generation Method to detect Hardware Trojan Circuits," Digest of Papers of IEEE the 16th Workshop on RTL and High Level Testing, pp.84-89, 査読有, Mumbai (India), Nov. 25, 2015.

②② Tetsuya Masuda, Jun Nishimaki, Toshinori Hosokawa, and Hideo Fujiwara, "A Test Generation Method for Data Paths Using Easily Testable Functional Time Expansion Models and Controller Augmentation," Proceedings of Papers of IEEE the 24st Asian Test Symposium, pp.37-42, 査読有, Mumbai (India), Nov. 23, 2015.

②③ Masayoshi Yoshimura, Yoshiyasu Takahashi, Hiroshi Yamazaki, and Toshinori Hosokawa, "A Don't Care Filling Method to Reduce Capture Power Based on Correlation of FF Transitions," Proceedings of Papers of IEEE the 24st Asian Test Symposium, pp.13-18, 査読有, Mumbai (India), Nov. 23, 2015.

②④ 坊屋舗 知拓、細川 利典、吉村 正義、VLSI設計工程時における未遷移信号線情報に基づいたトロイ回路検出法、情報処理学会 DA シンポジウム 2015、査読無、山代温泉ゆのくに天祥(石川県・加賀市) 2015年8月28日

②⑤ 高野 秀之、山崎 紘史、細川 利典、山崎 浩二、マルチサイクルキャプチャテスト集合を用いた単一ユニバーサル論理故障モデルの故障診断法、第73回FTC研究会、査読無、椿館(青森県・青森市) 2015年7月17日

②⑥ 増田 哲也、西間木 淳、細川 利典、藤原 秀雄、コントローラ拡大に基づくデータパスのテスト容易化機能的時間展開モデル生成法、第73回FTC研究会、査読無、椿館(青森県・青森市) 2015年7月17日

②⑦ 錦織 誠、山崎 紘史、細川 利典、新井 雅之、吉村 正義、BASTにおけるスキャンライスに基づくテストデータ削減法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都) 2015年6月16日

②⑧ Atsushi Hirai, Toshinori Hosokawa, Yukari Yamauchi, and Masayuki Arai, "A low capture power test generation method using capture safe test vectors," Proceedings of Papers of IEEE the 20st European Test Symposium, pp.1-2, 査読有, Cluj-Napoca (Romania), May 26, 2015.

②⑨ Jun Nishimaki, Toshinori Hosokawa and Hideo Fujiwara, "A Binding Method for Hierarchical Testability Using Results of Test Environment Generation," Digest of Papers of IEEE

- the 2nd Workshop on Design Automation for Understanding Hardware Designs, pp.18-23, 査読有, Grenoble (France), Mar. 13, 2015.
- ③⑩ Hiroshi Yamazaki, Jun Nishimaki, Toshinori Hosokawa, and Masayoshi Yoshimura, "A Multi Cycle Capture Test Generation Method for Low Capture Power Dissipation," Digest of Papers of IEEE Designing with Uncertainty Opportunities & Challenges workshop, 査読有, Grenoble (France), Mar. 13, 2015.
- ③⑪ 高野 秀之、山崎 紘史、細川 利典、山崎 浩二、マルチサイクルキャプチャテスト集合を用いた単一論理故障の故障診断法の評価、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2015年2月13日
- ③⑫ 西間木 淳、細川 利典、藤原 秀雄、階層テスト容易化高位合成におけるスケジューリングの一手法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、機械振興会館(東京都)、2015年2月13日
- ③⑬ 吉村 正義、西間木 淳、細川 利典、スキャンベース攻撃を考慮した暗号 LSI のテスト手法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2015年2月13日
- ③⑭ 坊屋鋪 知拓、細川 利典、吉村 正義、信号非遷移情報に基づくトロイ回路検出法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2015年2月13日
- ③⑮ 西間木 淳、細川 利典、藤原 秀雄、テスト環境生成結果を用いた階層テスト容易化スケジューリング法、第72回 FTC 研究会、査読無、かんぼの宿山鹿(熊本県・山鹿市)、2015年1月22日
- ③⑯ 北尾 隆、山崎 紘史、細川 利典、吉村 正義、遷移故障テスト集合を用いた抵抗性ブリッジ故障検出率向上指向テスト生成法、第72回 FTC 研究会、査読無、かんぼの宿山鹿(熊本県・山鹿市)、2015年1月22日
- ③⑰ 秋山 正碩、山崎 紘史、細川 利典、吉村 正義、順序回路におけるテスト不可能故障判定法の評価、第72回 FTC 研究会、査読無、かんぼの宿山鹿(熊本県・山鹿市)、2015年1月22日
- ③⑱ 山崎 紘史、西間木 淳、細川 利典、吉村 正義、キャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成法、電子情報通信学会 DC 研究会、査読無、別府国際コンベンションセンター(大分県・別府市)、2014年11月28日
- ③⑲ 高橋 慶安、山崎 紘史、細川 利典、吉村 正義、キャプチャ消費電力削減のためのテストポイント挿入法、電子情報通信学会 DC 研究会、査読無、別府国際コンベンションセンター(大分県・別府市)、2014年11月28日
- ④① 平井 淳士、細川 利典、山内 ゆかり、新井 雅之、キャプチャセーフテストベクトルを利用した低消費電力テスト生成法、電子情報通信学会 DC 研究会、査読無、別府国際コンベンションセンター(大分県・別府市)、2014年11月28日
- ④② Jun Nishimaki, Toshinori Hosokawa and Hideo Fujiwara, "A Scheduling Method for Hierarchical Testability Using Results of Test Environment Generation," Digest of Papers of IEEE the 15th Workshop on RTL and High Level Testing, 査読有, Hangzhou (China), Nov. 19, 2014.
- ④③ Atsushi Hirai, Toshinori Hosokawa, Yukari Yamauchi and Masayuki Arai, "A Simulation Based Low Capture Power Test Generation Method Using Capture Safe Test Vectors," Digest of Papers of IEEE the 15th Workshop on RTL and High Level Testing, 査読有, Hangzhou (China), Nov. 19, 2014.
- ④④ 山崎 紘史、西間木 淳、細川 利典、吉村 正義、山崎 浩二、マルチサイクルキャプチャテストの消費電力評価、第71回 FTC 研究会、査読無、かんぼの宿青梅(東京都・青梅市)、2014年7月18日
- ④⑤ 平井 淳士、細川 利典、山内 ゆかり、新井 雅之、自己組織化マップを用いた低消費電力テストパターンの分類とテスト生成について、第71回 FTC 研究会、査読無、かんぼの宿青梅(東京都・青梅市)、2014年7月18日
- ④⑥ 増田 哲也、西間木 淳、細川 利典、藤原 秀雄、機能的 k 時間展開モデルのテスト容易性評価、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2014年6月20日
- ④⑦ 西間木 淳、細川 利典、藤原 秀雄、テスト環境生成結果を用いた階層テスト容易化バインディング法、電子情報通信学会 DC 研究会、査読無、機械振興会館(東京都)、2014年6月20日

6. 研究組織

(1) 研究代表者

細川 利典 (HOSOKAWA, Toshinori)
 日本大学・生産工学部・教授
 研究者番号：40373005

(2) 研究協力者

藤原 秀雄 (FUJIWARA, Hideo)
 吉村 正義 (YOSHIMURA, Masayoshi)
 宮瀬 紘平 (MIYASE, Kohei)
 山崎 紘史 (YAMAZAKI, Hiroshi)
 松永 裕介 (MATSUNAGA, Yusuke)
 四柳 浩之 (YOTSUYANAGI, Hiroyuki)