

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 12 日現在

機関番号：32689

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330073

研究課題名(和文) タイミングエラー予測によるばらつき耐性を有するLSI設計技術に関する研究

研究課題名(英文) Timing Error Prediction for Variation-Resilient LSI Designs

研究代表者

史 又華 (SHI, YOUHUA)

早稲田大学・理工学術院・准教授

研究者番号：70409655

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：半導体プロセス微細化に伴い、信頼性が集積回路設計における大きな問題となりつつある。本研究は、集積回路の信頼性問題の解決策として、「予測」の概念を導入し、in-situエラー予測による高信頼・低エネルギーLSI設計技術の研究開発を行った。まず、ばらつきに対して、実際回路動作の途中段階で回路が正しく動作しているか否かを高精度な予測設計技術を開発した。次に、ソフトエラーに対して、LSI回路中の信号を利用・比較することによりソフトエラーを検出・回復できるラッチ設計を提案した。さらに、LSI回路のエネルギーを最小化するために、トランジスタ特性ばらつきや動作環境に応じて高信頼化AVS設計技術を提案した。

研究成果の概要(英文)：With technology scaling, process, voltage, and temperature (PVT) variations and soft errors pose great challenges on integrated circuit designs. In this project, we conduct researches on in-situ error prediction for dependable low energy LSI designs, which is achieved by introducing the concept of prediction into LSI designs as a solution to the reliability problems of state-of-the-art integrated circuits. At first, a prediction-based timing monitoring method called suspicious timing error prediction (STEP) was proposed for variation-resilient LSI designs. And then low power soft error tolerant latch designs have been developed to deal with the soft error problem. Finally, an in-situ prediction-based AVS method was proposed for energy minimization, which has been implemented and verified on a real large processor design.

研究分野：情報学

キーワード：高信頼化 ディペンダブルコンピューティング LSI設計 製造ばらつき ソフトエラー

1. 研究開始当初の背景

これまで半導体集積回路 (= IC チップ) は、その最小構成単位であるトランジスタを微細化することにより高性能化・高集積化を実現してきた。しかし、半導体製造プロセス微細化の進展に伴い、信頼性が集積回路設計における大きな問題となりつつある。特に、デバイス特性のばらつきが顕在化したことによる初期故障、BTI (Bias Temperature Instability) など継続的な動作に伴う特性劣化に伴う故障、さらには、放射線の衝突に起因するソフトエラーなどが発生する偶発故障がこれにあたる。

これらの影響により、製造された IC チップは、実際の動作時遅延と設計時遅延が異なり正しく動作できない或いは放射線による一時的なエラー発生の可能性がある。どうか半導体集積回路における信頼性の問題を克服するような新たな集積回路 (LSI) 設計技術が必要とされる。

2. 研究の目的

従来の集積回路設計手法は、設計時タイミングマージンを十分確保し、トランジスタ特性のばらつきがあっても確実に正常動作するような “ always-correct ” を前提条件としたワーストケースに基づく設計手法である。ワーストケースに基づく設計方法では、最悪の状態を含むすべての動作条件 (特にばらつき・電源電圧・温度等最悪条件) においても IC チップがいつでも正しく動作するよう設計するものである。そのため、ばらつきが増大していくと大きな設計マージンを要し、結果として見込み通りの高速化あるいは低エネルギー化の効果が得られるとは限らない。例えば、ばらつきを考慮しワーストケースでも動作速度を満足させようとする、電源電圧を高く設定する必要があり消費電力が高くなる。一方、それを避けるためにマージンを小さくすると、今度はトランジスタ特性のワーストケースを想定することができず従来の設計手法では LSI の設計が困難になる。また、ワーストケースは現実的に起こり得る確率が極めて低い。総合してこのようなワーストケースに基づく LSI 設計方法は動作環境や処理要求に対し、効率が良くないことは明らかである。そのため、ばらつきを考慮したワーストケース設計からの脱却を実現する高信頼化集積回路設計技術が期待されている。

ワーストケースで想定した過剰な設計マージンをとるための解決策の一つとして、LSI 動作時に動的にタイミングエラーを検出・回復する手法が知られている。この手法は、従来のワーストケースに基づく設計ではなく、ティピカルケース (typical-case) に基づく LSI 設計である。ワーストケースに配慮する必要がなくなれば設計制約は大きく緩和され、設計が容易になるとともに高速化

/低エネルギー化が期待される。またばらつきに対し、常に回路が正しく動作しているかをチェックする回路を設計し、その個体/そのときの動作における、実際の遅延に基づき、動的にタイミングエラー検出・回復動作を行うことができる。「動的タイミングエラー検出・回復手法」に関する研究は、これまで ARM、Intel、Michigan 大学、または大阪大学の研究グループなどで行われている。しかし、これらはいずれも、タイミングエラーを事後、すなわちタイミングエラーが起きた後に検出することである。演算回路や制御回路にてタイミングエラーが生じた場合、たとえそれが検出できたとしても、事後にエラー検出している限りにおいてはエラーデータが既に後段の回路でデータ処理されている。そしてすでに処理を開始している後段でデータ訂正 (回復) を行うことは極めて困難あるいは、すでに入力データが失われるため不可能となる。

以上により、本研究は既存ワーストケースに基づいた LSI 設計の問題点を解決する技術として、トランジスタ特性ばらつきや動作環境に応じて高信頼化 LSI 設計技術の確立を目的とする。

3. 研究の方法

本研究は既存動的にタイミングエラーを検出・回復する手法と異なり、「予測」の概念を導入し、すなわち LSI 回路処理途中段階にタイミング及びソフトエラーを予測・回避することにより、既存ワーストケースに基づいた設計の問題点を解決する技術として、in-situ タイミングエラー予測による高信頼・低エネルギー LSI 設計技術の研究開発を行う。つまり、1) 既存のタイミングエラー検出・回復手法のように処理の最終結果を用いてタイミングエラーを事後に解析するのではなく、実際処理の途中段階で回路が正しく動作しているか否かを予測できる高信頼化設計技術を開発する。単純に言えば、既存ワーストケースに基づいた設計方法ではなく、必要な全ての設計マージンを設計時に確保することではなく、回路が動作時 In-situ エラー予測による耐ばらつき設計技術を確立する。次に、2) LSI 回路中の信号を利用・比較することによりソフトエラーを検出・回復できる LSI 設計技術を開発する。さらに、1) と 2) の結果を発展させ、3) その場所/そのとき (In-situ) の動作におけるエネルギーを最大限削減できる低エネルギー化設計基盤技術を開発する。

4. 研究成果

研究内容は、1) 高精度なタイミングエラー予測技術、2) ソフトエラーによる信頼性の低下を防ぐ LSI 設計技術、および 3) 電力/エネルギー最小化設計技術に大別できる。それぞれについて、研究成果を説明する。

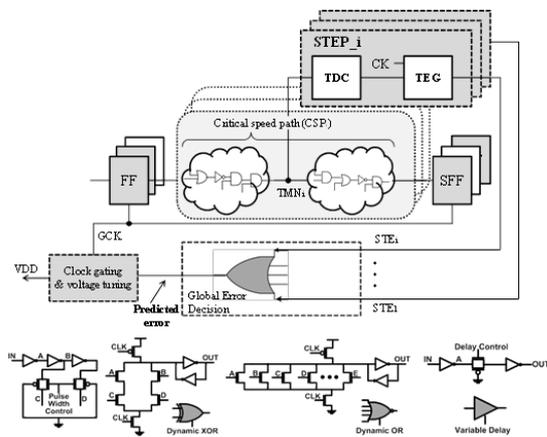


図1: Suspicious Timing Error Prediction (STEP回路)

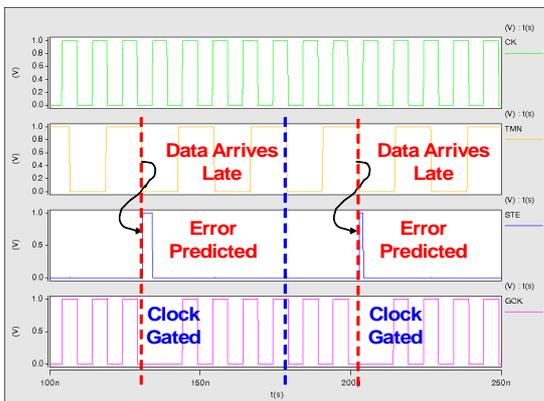
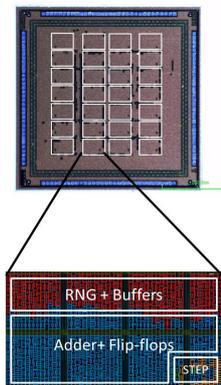


図2: STEP回路の動作

(1) 高精度なタイミングエラー予測技術
 本研究は、タイミングエラーを検出するだけでなく、処理途中の信号遷移を監視し、その信号変化のタイミングを用いてタイミングエラーが起きるかどうかを予測することに基づき、タイミングエラー予測回路 (STEP回路) を提案した。そしてタイミングエラーが予測される場合には、エラー回避のために、クロック制御 (クロックゲーティング) する。
 提案回路の構成を図1に示し、遷移検出とエラー判断部を合わせた部分をエラー予測回路とする。図1より、回路は前半部分と後半部分の2つに分割してチェックポイントを挿入し、そのチェックポイントの信号遷移を監視する。遷移検出部で信号遷移を検出し、エラー判断部で STE (Suspicious Timing Error) 信号を生成する。生成された STE 信号はタイミングエラー発生のある場合に立ち上がるものであり、この信号を利用することでタイミングエラーの発生を防ぐ。提案回路の動作を図2に示す。提案回路はタイミングエラーの発生前にタイミングエラーの予測を行うため、タイミングエラー訂正に再実行の必要が無く、多数のクロックサイクルを必要としない。したがって、スループットの向上ができる。
 しかし、提案したタイミングエラー予測回路は、場合によってはタイミングエラーでな



Process Technology	ROHM 0.18μm CMOS
Die Area	2.5x2.5mm ²
Nominal VDD	1.8V
Selected CP Combination	9
Area Overhead (STEP+CK Control)	11% (CP Combinationは9の場合)
Clock Frequency	Normal: 70MHz STEP: Up to 100MHz

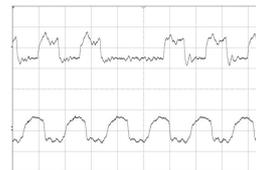


図3: Configurable STEP回路を用いて演算回路のチップ試作結果

いものをタイミングエラーと予測する場合がある (over-estimate: 誤検出)。タイミングエラー誤検出はタイミングエラーが発生していないのに検出することであり、スループット向上の妨げとなるが回路異常を引き起こすことは無いため、ある程度の誤検出は許容することができる。しかし、過大な誤検出した場合には、スループット向上の妨げとなる。

そのため、まずタイミングエラー予測・回避回路の挿入位置・個数、及びその最適化など予測精度を向上させる設計技術に関する研究を行った。STEP回路を使用し、挿入するチェックポイントの個数をできるだけ小さくしながら回路全体で発生するタイミングエラーを予測する手法を提案した。実験結果より、単純な手法によってSTEP回路を入れた場合のチェックポイントの個数の平均を約 1/19 に削減、面積の平均を約 1/5 に削減できた。また、STEP回路を少数のクリティカルパスのみに入れた場合よりも最大動作周波数が 2.25 倍に向上できた。

次に、Configurable STEP回路を提案した。32-bit 演算器に適用し、実チップ設計・試作・検証による、提案技術の有効性を実証した。実チップの測定による、提案技術は従来技術と比べ設計マージンを 30% 改善することを確認した (図3参照)。

さらに、本研究では誤検出を避ける技術としてフリップフロップの動作とラッチの動作を動的に切り替えることによりタイミングエラー耐性を実現する Timing Borrowing Flip-Flop (TBFF) を提案した (TBFF の概念図は図4に示す)。提案したローカルでタイミングエラーの検出を行う TBFF は、フリップフロップのマスターラッチとスレーブラッチの間にセクタを挿入した構造になっており、入力データとフリップフロップ内部のマスターラッチの出力を比較することによって、クロックの立ち上がりエッジ後の入力データの遷移を検出し、タイミングエラーとみなす。通常動作時はフリップフロップと等価の動作をする。エラーを検出した時には入力と出力を短路したものと等価の動作をす

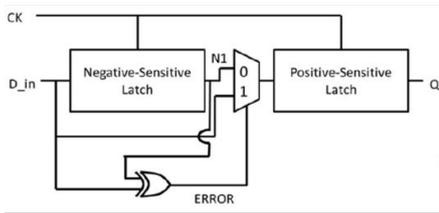


図4: Timing Borrowing Flip-Flop (TBFF)

る。TBFFを用いて、回路動作時タイミングエラーを In-situ 検出/修復ができる。Hspice シミュレーションによる評価を行い、従来手法と比較して消費エネルギーを最大 20.6%削減できることを確認した。

(2) ソフトエラーによる信頼性の低下を防ぐ LSI 設計技術

LSI の微細化によって、回路面積と共に、回路の臨界電荷量 (キャパシタ成分) も低下している。放射線などによる集積回路中の記憶素子 (メモリセルやフリップフロップ) が反転する一時的な誤動作 (= ソフトエラー) が増加しており、LSI の信頼性の低下に対する懸念が高まっている。

永久的に回復のできない物理故障によるハードエラーとは異なり、ソフトエラーは一時的なエラーであり、時間が経てば正常動作へと回復する。しかし、ソフトエラーによって回路中の信号が反転したまま、回路が動作を続けた場合、システムに大きな障害を引き起こすことがある

既存ソフトエラー対策の最大の問題点は、多重化によりソフトエラーは検出できるが、面積・時間・消費電力の面で極めて大きなオーバーヘッドを要することである。従来技術の本質的な問題点を別の角度から見ると、回路中の信号を利用・比較することによりソフトエラーを検出できれば、この問題を解決する糸口なると考えられる。

そこで、本研究はソフトエラーによる信頼性の低下を防ぐラッチ設計の研究を行った。従来多重化による耐ソフトエラー設計の大面積・高消費電力などの問題点を解決し、C-element を利用した小面積・低消費電力な耐ソフトエラーラッチ (SHC: Soft Error Hardened with C-element) を提案した (図 5 参照)。提案 SHC ラッチが、通常動作時は通常のラッチの動作を行い、ソフトエラー発生時にはラッチの内部ノードを参照により発

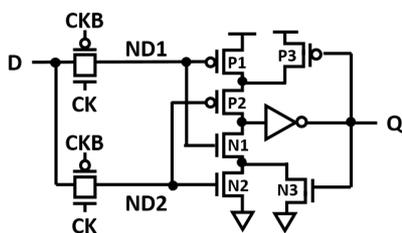


図5: 低消費電力化耐ソフトエラーSHC ラッチ

生したソフトエラーを直ちに回復できることを確認した。さらに、既存研究と比較して、ソフトエラー耐性を保ちつつ最大 80.52% の電力削減を達成した。

(3) エネルギー最小化設計基盤技術

回路のエネルギーを最小化するために、タイミングエラーを予測し、回路動作中の処理によりタイミングエラーを回避する AVS (Adaptive voltage scaling) 回路を提案した。エラー予測回路を用いて AVS を行い、定格電圧より低い電圧で回路を動作させる。エラー予測信号が立ち上がった際には、演算終了時のレジスタでタイミングエラーが発生する可能性が高い為、回路を昇圧することにより、動作を高速化させることでタイミングエラーの回避を行う。大規模プロセッサ回路への実装・試作した結果、通常設計と比べて最大 43.42% の電力削減を確認した (表 1、図 6 と図 7 参照)。

表 1: 設計した大規模プロセッサ

Chip details	Design parameters
Process	SMIC 0.18 μ m
Design frequency	100MHz
Voltage range	1.2V~1.8V
Sign-off frequency	112MHz
Number of transistors	347593
AVS transistors	2263
Die size	1.3*1.3mm ²
AVS size(ratio)	71994 μ m ² (4.26%)

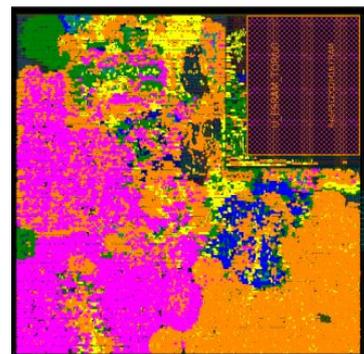


図6: 設計した大規模プロセッサのレイアウト

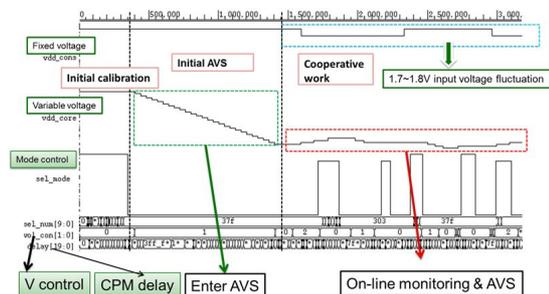


図7: 大規模プロセッサ AVS の適用結果

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 3 件)

- [1] Weiwei Shan, Wentao Dai, Youhua Shi, Peng Cao, and Xiaoyan Xiang, Timing Monitoring Paths Selection for Wide Voltage IC, IEICE Electronics Express, vol. 13, no. 8, pp. 1-7, Apr. 2016. (査読有)
DOI: 10.1587/elex.13.20160095
- [2] Shinnosuke Yoshida, Youhua Shi, Masao Yanagisawa and Nozomu Togawa, An effective suspicious timing-error prediction circuit insertion algorithm minimizing area overhead, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E98-A, no. 7, pp. 1406-1418, Jul. 2015. (査読有)
DOI: 10.1587/transfun.E98.A.1406
- [3] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, An energy-efficient floorplan driven high-level synthesis algorithm for multiple clock domains design, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E98-A, no. 7, pp. 1376-1391, Jul. 2015. (査読有)
DOI: 10.1587/transfun.E98.A.1376

[学会発表](計 24 件)

- [1] 田島咲季, 史又華, 戸川望, 柳澤政生, “C-element を用いたソフトエラー耐性をもつ SHC ラッチの設計,” 回路とシステムワークショップ, pp. 214 - 219, 2017 年 5 月 12 日, 北九州国際会議場.
- [2] 中垣直道, 戸川望, 柳澤政生, 史又華, “内部ノードを利用したソフトエラー検出ラッチの設計,” 回路とシステムワークショップ, pp. 220 - 225, 2017 年 5 月 12 日, 北九州国際会議場.
- [3] 早水謙, 戸川望, 柳澤政生, 史又華, “最大エラー距離に基づく GeAr 回路の最適化,” 回路とシステムワークショップ, pp. 7- 12, 2017 年 5 月 11 日, 北九州国際会議場.
- [4] 田島咲季, 史又華, 戸川望, 柳澤政生, “高速かつ低電力なソフトエラー耐性をもつ Fast-SEH ラッチの設計,” 回路とシステムワークショップ, pp. 416 - 421, 2016 年 5 月 13 日, 北九州国際会議場.
- [5] Koki Igawa, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, "A Delay Variation and Floorplan Aware High-level Synthesis Algorithm with Body Biasing," in Proc. IEEE

International Symposium on Quality Electronic Design (ISQED), pp. 75-80, Santa Clara, USA, Mar. 16th, 2016.

- [6] 吉田慎之介, 史又華, 柳澤政生, 戸川望, “タイミングエラー耐性を持つ AES 暗号回路の設計,” 信学技報 VLD 研究会, pp. 73-78, 2016 年 3 月 1 日, 沖縄県青年会館.
- [7] 田島咲季, 史又華, 戸川望, 柳澤政生, “15nm プロセスにおける低電力な耐ソフトエラーラッチの設計,” デザインガイア 2015, pp. 123-127, 2015 年 12 月 2 日, 長崎県勤労福祉会館.
- [8] Shinnosuke Yoshida, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, “Improved monitoring-path selection algorithm for suspicious timing error prediction based timing speculation,” in Proc. IEEE International Conference on ASIC (ASICON), DOI: 10.1109/ASICON.2015.7516962, Chengdu, China, Nov. 5th, 2015.
- [9] Saki Tajima, Youhua Shi, Nozomu Togawa, and Masao Yanagisawa, "A low-power soft error tolerant latch scheme," in Proc. IEEE International Conference on ASIC (ASICON), DOI: 10.1109/ASICON.2015.7516885, Chengdu, China, Nov. 4th, 2015.
- [10] Koki Igawa, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, “A process-variation-aware multi-scenario high-level synthesis algorithm for distributed-register architectures,” in Proc. IEEE International System-on-Chip Conference (SOCC), pp. 7-12, Beijing, China, Sep. 9th, 2015.
- [11] Shuai Shao, Youhua Shi, Wentao Dai, Jianyi Meng and Weiwei Shan, “A universal delay line circuit for variation resilient IC with self-calibrated time-to-digital converter,” in Proc. IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC), pp. 126-129, Singapore, Jun. 2nd, 2015.
- [12] Kazushi Kawamura, Yuta Hagio, Youhua Shi, and Nozomu Togawa, “A floorplan-aware high-level synthesis technique with delay-variation tolerance,” in Proc. IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC), pp.122-125, Singapore, Jun. 2nd, 2015. (招待講演)
- [13] 平野大輔, 史又華, 戸川望, 柳澤政生, “クロックグリッチに基づく故障解析に耐性を持つ AES 暗号回路,” VLSI 設計技術研究会, pp.51-55, 2015 年 5 月 14

- 日, 北九州国際会議場.
- [14] 田島咲季, 史又華, 戸川望, 柳澤政生, “低電力耐ソフトエラーラッチの設計,” 信学技報 VLD 研究会, pp. 55-60, 2015 年 3 月 3 日, 沖縄県青年会館.
- [15] 福留祐治, 史又華, 戸川望, 宇佐美公良, 柳澤政生, “DTMOS を用いたサブスレッショルド回路の高速化設計,” デザインガイア, pp. 117-121, 2014 年 11 月 26 日, ビーコンプラザ(別府国際コンベンションセンター).
- [16] 吉田慎之介, 史又華, 柳澤政生, 戸川望, “回路面積を考慮した Suspicious Timing Error Prediction 回路の挿入位置決定手法の改良と評価,” デザインガイア, pp. 57-62, 2014 年 11 月 26 日, ビーコンプラザ(別府国際コンベンションセンター).
- [17] 川村一志, 阿部晋矢, 史又華, 柳澤政生, 戸川望, “タイミングエラー予測回路による再構成可能デバイス上でのデータ依存最適化回路設計,” デザインガイア, pp. 51-56, 2014 年 11 月 26 日, ビーコンプラザ(別府国際コンベンションセンター).
- [18] 鈴木大渡, 史又華, 戸川望, 宇佐美公良, 柳澤政生, “タイミングエラーへの耐性を持つフリップフロップ設計,” デザインガイア, pp. 45-50, 2014 年 11 月 26 日, ビーコンプラザ(別府国際コンベンションセンター).
- [19] Youhua Shi and Nozomu Togawa, “In-situ timing monitoring methods for variation-resilient designs,” in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp.735-738, Ishigaki Island, Okinawa, Japan, Nov. 20th, 2014. (招待講演)
- [20] Shinnosuke Yoshida, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, “An area-overhead-oriented monitoring-path selection algorithm for suspicious timing error prediction,” in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), pp.300-303, Ishigaki Island, Okinawa, Japan, Nov. 19th, 2014.
- [21] 新井孝将, 史又華, 戸川望, 宇佐美公良, 柳澤政生, “可変パイプラインのローカルなパルス生成による低消費エネルギー化手法,” システムと LSI 設計技術研究会, pp. 7-12, 2014 年 10 月 2 日, 東北大学 さくらホール.
- [22] 吉田慎之介, 史又華, 柳澤政生, 戸川望, “Suspicious Timing Error Prediction を用いた回路全体の遅延ばらつきに対するロバスト設計,” 情報処理学会 DA シンポジウム, pp. 61-66, ホテル下呂温泉水明館, 2014 年 8 月 28 日.
- [23] 吉田慎之介, 史又華, 柳澤政生, 戸川

望, “回路面積を考慮した Suspicious Timing Error Prediction 回路の挿入位置決定手法,” 回路とシステムワークショップ, pp. 416 - 421, 淡路夢舞台国際会議場, 2014 年 8 月 5 日.

- [24] Youhua Shi, Hiroaki Igarashi, Nozomu Togawa, and Masao Yanagisawa, “InTimeTune: a throughput driven timing speculation architecture for overscaled designs,” ACM/EDAC/IEEE Design Automation Conference, Work-in-process session, Poster, San Francisco, USA, Jun. 4th, 2014.

〔図書〕(計 1 件)

- [1] 史又華, 柳澤政生, “エネルギーハーベスト回路設計,” 桑野博喜, 竹内敬治編集「エネルギーハーベスティングの設計と応用展開」, 第 3 編第 4 章, シーエムシー出版(2015 年 10 月出版), pp.169-177.

〔その他〕

ホームページ等

<http://www.f.waseda.jp/shi/>

6. 研究組織

(1) 研究代表者

史 又華 (SHI, Youhua)

早稲田大学・理工学術院・准教授

研究者番号: 70409655