

**科学研究費助成事業 研究成果報告書**

平成 29 年 6 月 26 日現在

機関番号：17104

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330279

研究課題名(和文) 知識転移学習と仮想回路の融合による脳型計算機の確立と自律型ロボットへの応用

研究課題名(英文) Realization of a brain-like computer based on knowledge transfer learning and virtual hardware circuits and its application to autonomous robots

研究代表者

田向 権 (TAMUKOH, Hakaru)

九州工業大学・大学院生命体工学研究科・准教授

研究者番号：90432955

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：本研究では、自律型ロボットへ応用可能な脳型計算機システムの実現を目指す。理論・回路班では、Restricted Boltzmann Machines とAutoEncoders のハードウェア指向アルゴリズムを提案した。応用班では、Robot Operating System (ROS) から書き換え可能半導体FPGA内の仮想回路へと簡単にアクセス可能なROS-FPGAシステムを提案した。また、深層畳み込みニューラルネットワークと転移学習によるロボット向け画像認識システムを提案した。研究成果をホームロボットへと集積し、ロボット競技会を通してその有用性を示した。

研究成果の概要(英文)：In this research, we aim to realize a brain-like computer that can be applied to autonomous robots. In the theory and circuit team, we proposed hardware oriented algorithms for Restricted Boltzmann Machines and AutoEncoders. In the application team, we proposed a ROS-FPGA system that can easily be accessed from Robot Operating System (ROS) to virtual hardware circuits inside a reconfigurable semiconductor, FPGA. In addition, we proposed an image recognition system for robots by deep convolutional neural networks and knowledge transfer learning. We integrated these achievements into a home robot and showed its effectiveness through robot competitions.

研究分野：脳型計算機システム

キーワード：脳型計算機 Deep Learning FPGA デジタルハードウェア 論理回路 Robot Operating System Ro boCup ホームロボット

## 1. 研究開始当初の背景

自律型ロボットの知性を実現する有力な手法として自らの機能を学習で獲得することで多様なタスクへ適応可能な脳型計算機の研究が国内外で広く行われている。Hinton が 2006 年に発表した Deep Learning [1] は、様々なニューラルネットワークを多層に積層した大規模ニューラルネットワークである。従来手法と比較して認識性能を劇的に向上し、パターン認識やニューラルネットワークの分野において大きなブレイクスルーを果たした。2012 年以降、パターン認識、特に画像認識の国際競技会 [2] で世界記録を塗り替えたことで、広く認知されるようになった。現在、Deep Learning は脳型計算機モデルの最有力候補である。一方で、Deep Learning は、膨大なメモリ量・演算量とそれに伴う消費電力の増大や、学習にはビッグデータが必須であるという欠点を補うために、学習済ネットワークを別タスクで有効活用する知識転移学習の検討が必須である。

一方、応用面からみると、Deep Learning は WEB 上の画像や音声等、ビッグデータが活用可能なサーバサイドのアプリケーションの実用化が先行して進んでいる状況である。ロボットや自動車など、組込み側の応用はこれから発展が期待される分野である。ここで、例えば自律型ロボットへの Deep Learning の応用には、専用ハードウェア化による高速化・省電力化・小型化が必須である。よって、この実現に必要な Deep Learning の基本的な構成要素の回路化の検討が必須である。

研究代表者である田向はこれまでに、ハードウェア/ソフトウェア複合システムの研究開発と、それを応用した、様々な学習機械をハードウェア化できる脳型計算機プラットフォームの構築を行ってきた [3]。また、アプリケーションとしては、ヒトの生活空間でヒトと協調して動作するホームロボットやサービスロボットの研究開発に注力してきた。

以上の国内外の研究動向や、研究代表者の研究開発実績より、本研究では実用的な脳型計算機実現を目指し、以下の点に注力した研究開発を行う。

## 参考文献

- [1] G. E. Hinton, et al., *Science*, 2006.
- [2] G. E. Hinton, et al., *Neural Computation*, 2006.
- [3] A. Krizhevsky, I. Sutskever, G. E. Hinton, *Large Scale Visual Recognition Challenge*, 2012.
- [4] 関根 優年, 田向 権, “画像音声認識・音声合成・並列演算・画像通信における論理回路による実装例,” 電子情報通信学会誌, vol.96, no.2, pp.105-110, 2013.

## 2. 研究の目的

本研究では自律型ロボットへ応用可能な脳型計算機の実現を目的とし、理論・回路、応用の両面からの目標達成を目指す。

まず、Deep Learning の構成要素となるアルゴリズムをハードウェア指向に改良する。次に、書き換え可能半導体である Field Programmable Gate Array (FPGA) へと動的に書き込んで使うことを目指した、上記ハードウェア指向アルゴリズムの回路アーキテクチャを構築する。

さらに、実用的な脳型計算機では、学習機械が持つ機能が応用に即していることが重要である。そこで、本研究で得られた成果を自律型サービスロボットへと集約し、国際競技会 RoboCup@Home リーグと同じ実環境下で性能評価を行う。また、このために必要な、ロボットと FPGA を接続するミドルウェアの実現を目指す。並行して、ロボットの画像認識課題において、転移学習による既学習知識の再利用の有効性を検討する。

## 3. 研究の方法

### 3 - 1. 理論・回路

Deep Learning の構成要素である Restricted Boltzmann Machines (RBM), AutoEncoders (AE) に着目し、これらについてハードウェア指向のアルゴリズムを検討する。ニューラルネットワークは、粗い演算を許容することが多い。よって、ハードウェア化の視点からアルゴリズムを再構築する。また、ニューラルネットワークはその系自体に構造があるため、構造を直接生かしたアルゴリズムを考案する。

これらハードウェア指向アルゴリズムの回路アーキテクチャを検討する。この際、固定小数点化によって現れる演算誤差等を積極活用する回路アーキテクチャや、ニューラルネットワークの構造を直接生かした回路アーキテクチャを考案する。

### 3 - 2. 応用

@ホームロボットを対象に、高い精度が求められる物体認識部を Deep Learning で構築する。この際、GoogLeNet 等の深層 CNN の最終層のみを、目的のデータセットで再学習する転移学習を導入する。

また、ロボット業界でデファクトスタンダードとなっているロボット向けミドルウェアである Robot Operating System (ROS) から FPGA 内部回路へ簡便にアクセス可能な “ROS-FPGA システム” の確立を目指し、本研究で得られた様々な回路をロボットプログラマが簡便に利用できる環境構築を目指す。

#### 4 . 研究成果

##### 4 - 1 . 理論・回路

##### 4 - 1 - 1 . 乱数生成器が不要な RBM

RBM は確率的に動作するニューラルネットワークである . RBM のユニットの状態 ( 発火 , 非発火 ) は確率的に以下の式で確率的に決定される .

$$P(h_j = 1 | \mathbf{v}) = \sigma \left( b_j + \sum_i w_{ij} v_i \right)$$

$$P(v_i = 1 | \mathbf{h}) = \sigma \left( a_i + \sum_j w_{ij} h_j \right)$$

$v_i$ : 可視層ニューロンの状態,  
 $h_j$ : 隠れ層ニューロンの状態,  
 $a_i$ : 可視層のニューロンのバイアス,  
 $b_j$ : 隠れ層ニューロンのバイアス,  
 $w_{ij}$ : 重み,  $\sigma$ : 活性化関数

上式で得られた発火確率  $v, h$  に従い , 最終的なユニットの状態 ( 発火 , 非発火 ) を決定するためには , 乱数生成器から得られた一様乱数と発火確率を比較する必要がある . しかしながら 超並列構造で RBM を回路化する場合 , 全てのユニットに乱数生成器を実装する必要があるため , その回路規模が問題となる .

一方 , 図 1 に示す通り , 整数部 , 小数部共に 8 ビットの固定小数点で  $w_{ij}, v_i$  を表現した場合 , 発火確率を求める積和演算の結果には , 整数部 26 ビット , 小数部 16 ビットが必要となる . なお , ここでは可視ユニット数を 1024 としている . この値を次のステップで用いるために元のレジスタへ書き戻す際には , 整数部の上位 18 ビット , 小数部の下位 8 ビットを切り捨てる必要がある . そこで , 切り捨てられる値を乱数の代わりに直接用いる乱数生成器が不要な RBM を提案した .

切り捨てビットの性質を検証するために , 可視層と隠れ層がそれぞれ 1,024 と 16 の RBM を実装し , 32 × 32 ピクセルのバイナリ画像を 3 枚学習させた . 図 2 に RBM の学習過程で取得した整数部 , 小数部の値とその頻度ヒストグラムを示す . 結果より , 整数部の値は二極化するのに対して , 小数部は一様にばらつくことが分かり , 乱数の代わりになる可能性が見出せた .

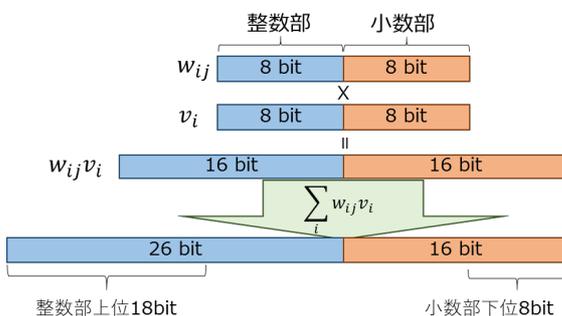


図 1 : RBM の発火確率計算過程に現れる切り捨てビット .

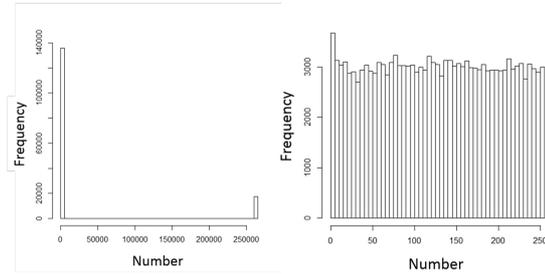


図 2 : 切り捨てビットのばらつき . 左 : 整数部上位 18 ビット , 右 : 小数部下位 8 ビット .

そこで , 小数部の切り捨てビットを乱数として RBM の学習を行ったところ , 学習が正常に進むことが確認できた . 提案手法により , ユニット内に乱数生成器を実装する代わりに , 切り捨てビットを参照するのみで RBM のデジタル回路が実現可能であることが示された .

##### 4 - 1 - 2 . Shared Synapse Architecture による AE の実現

AE は , 入力層 , 隠れ層 , 出力層からなる 3 層のニューラルネットワークである . 入力層の値はエンコードされて隠れ層に , 隠れ層の値はデコードされて出力層へと現れる . 入力層に与えたデータを出力層で復元するようにネットワークを学習することで , 隠れ層では入力層より少ないユニット数で入力データを表現できる .

AE の学習では , 隠れ層 出力層間の重み行列を , 入力層 隠れ層間の転置行列として取り扱う tied weight という手法が広く使われている . 回路の視点から考えると , 転置行列はメモリの読みだし順番を変更することで実現出来るため , 図 3 に示すように層間のシナプスに相当する回路を共有可能である . そこで , tied weigh の構造を生かすことでシナプス回路を削減する Shared Synapse Architecture ( SSA ) を提案した .

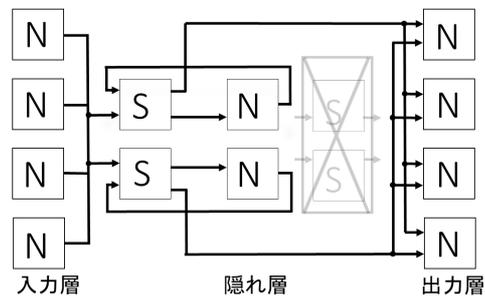


図 3 : Shared Synapse Architecture による AE のシナプス回路の共有 . N: ニューロン回路 , S: シナプス回路 .

SSA を用いた AE を二つ積層した 4-2-1-2-4 (数字はニューロンユニット数を表す) 構造の Stacked AE をハードウェア記述言語 Verilog HDL を用いて実装した .4 ビットのバイナリデータ 16 種類を学習させたところ, 正常に学習が進むことが確認でき, SSA を用いた Stacked AE が正常動作していることが確認できた .

#### 4 - 2 . 応用

##### 4 - 2 - 1 . ROS-FPGA システム

ホームサービスロボット上で, 複数の知的処理を実時間実行するためには CPU のみでは能力が不足している . そこで, FPGA を用いた知的処理のアクセラレーションや, ロボットプログラマが FPGA を含むコンピュータシステムを簡単に利活用可能にするために, ROS のインタフェースで FPGA 内部回路にアクセス可能な ROS-FPGA システムを提案した .

図 4 に, ROS-FPGA システムの概略図を示す . まず, 演算器として, ROS が動作する従来の PC に加えて, 組み込みプロセッサと FPGA が融合した hw/sw 複合体を導入する . 組み込み CPU に実装した既存のデバイスドライバでカメラ等のセンサやアクチュエータを使用する . また, ROS と FPGA 間のインタフェースの変換も組み込み CPU で行う . さらに, FPGA により知的処理のアクセラレーションを行う . これらにより, センサ, 演算, アクチュエータを含む知的処理の演算負荷全てを, PC から hw/sw 複合体へとオフロードする .

ROS-FPGA システムの基本的な性能を評価するために, 人物追跡のための画像処理を実装した . 演算負荷を hw/sw 複合体側へとオフロードしつつ 30 フレーム/秒での処理を可能とした . 今後は FPGA 内部で活用する回路ライブラリの充実と共に, 後述する物体認識システムの高速化などに向けて適用を進めていく .

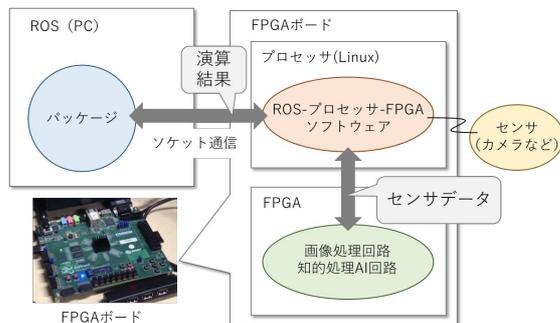


図 4 : ROS-FPGA システム .

##### 4 - 2 - 2 . 深層 CNN と転移学習によるロボット向け物体認識システム

図 5 に, RoboCup Japan Open 2016 で採用された物体リストを示す . 物体認識は, 人間から注文を受けた物体をロボットが見つけて運ぶための基本技術である . よって, 人間から指定された物体を的確に画像認識できる能力がロボットに求められる . そこで我々

は, ホームサービスロボット向けの高精度かつロバストな物体認識システム構築のために, GoogLeNet と呼ばれる 22 層の深層 CNN を用いた GoogLeNet は ImageNet というデータセット向けに予め訓練済みのモデルである . ここで, 22 層も CNN を学習するためには ImageNet に相当する大規模画像セットが必要となるが, その準備は現実的ではない .

そこで, GoogLeNet の最終層のみを図 5 のデータセットで再学習し, それ以外の層のパラメタはそのまま転移して活用する転移学習を用いた . 図 5 の物体群を様々な角度から撮影することで作成した 2700 枚の画像データセットを用いて GoogLeNet を転移学習したところ, 99% の正解率を得られる高精度な物体認識システムの構築が可能となった . 一方で, ロボットのカメラ画像から切り出した 1 枚の物体画像を認識するのに, ロボット搭載のノート PC 上の CPU では 4.6 秒もの時間がかかることが分かり, 今後の課題となった .



図 5 : RoboCup@Home で用いる物体リスト .

##### 4 - 2 - 3 . ホームサービスロボットへの研究成果の集積

田向, 森江 が指導している学生サークル Hibikino-Musashi@Home のメンバーらと共に, 図 6 に示す様々な AI (知的処理) パッケージ群を開発した . また, ここまで述べてきた ROS-FPGA システムや物体認識システムと共にホームロボット Exi@へと集積した .

RoboCup@Home の競技会に参加し, 2015 年 3 位, 2016 年準優勝と好成績を収めることが出来た . また, 実ロボットを用いた研究成果のベンチマークを行い, ROS-FPGA や物体認識システムの有効性を示すことが出来た .

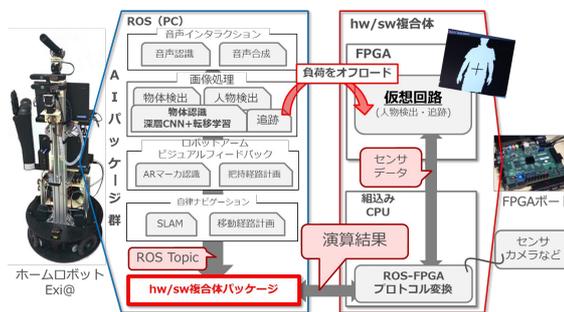


図 6 : ロボットへの研究成果の集積 .

## 5. 主な発表論文等

[雑誌論文](計5件)

[1] Sansei Hori, Takashi Morie, Hakaru Tamukoh, "Restricted Boltzmann Machines Without Random Number Generators for Efficient Digital Hardware Implementation," Proc. of the 25th Int. Conf. on Artificial Neural Networks (ICANN2016), Lecture Notes in Computer Science, Vol.9886, pp.391-398, 2016. (査読有)

[2] Akihiro Suzuki, Takashi Morie, Hakaru Tamukoh, "FPGA Implementation of Autoencoders Having Shared Synapse Architecture," Proc. of the 23rd Int. Conf. on Neural Information Processing (ICONIP2016), Lecture Notes in Computer Science, Vol.9947, pp.231-239, 2016. (査読有)

[3] Jiang Li, Yusuke Atsumari, Hiromasa Kubo, Yuichi Ogishima, Satoru Yokota, Hakaru Tamukoh, and Masatoshi Sekine, "A Multidimensional Configurable Processor Array - Vocalise," IEICE Transaction on Information and Systems, Vol. E98-D, No.2, pp.313-324, 2015. (査読有)

[4] Satoru Yokota, Jiang Li, Yuichi Ogishima, Hiromasa Kubo, Hakaru Tamukoh, and Masatoshi Sekine "Self-Learning of Feature Regions for Image Recognition," Journal of Computer Sciences and Applications, Vol.3, No.1, pp.1-10, 2015. (査読有)

[5] Hakaru Tamukoh, Kensuke Koga, Hideaki Harada and Takashi Morie, "Morphological Associative Memory Employing a Split Store Method," Proc. 21th Int. Conf. on Neural Information Processing (ICONIP2014), (Lecture Notes in Computer Science, LNCS 8836), III-341-348, Kuala Lumpur and Kuching, Malaysia, Oct.31-Nov.3-6(Oct.31), 2014. (査読有)

[学会発表](計17件)

[1] Yuta Yamasaki, Shiryu Ooe, Akihiro Suzuki, Kazuhiro Kuno, Hideo Yamada, Shuichi Enokida, Hakaru Tamukoh, "Evaluation of Hardware Oriented MRCoHOG and Digital Circuit Using Logic Simulation," Proc. of the 12th International Joint Conference on Computer Vision Theory and Applications (VISAPP2017), Vol.6, pp.341-345, Porto, Portugal, Feb.27-Mar.1, 2017.

[2] Yoshiya Aratani, Yeoh Yoeng Jye, Akihiro Suzuki, Daisuke Shuto, Takashi Morie, Hakaru Tamukoh, "Multi-Valued Quantization Neural Networks toward Hardware Implementation," Proc. of the 2017 International Conference On Artificial Life And Robotics (ICAROB2017), pp. 132-135, Seagaia Convention Center Miyazaki, Miyazaki, Jan.19-22(20), 2017.

[3] Dinda Pramanta, Takashi Morie, Hakaru Tamukoh, "Implementation of multi-FPGA Communication using Pulse-Coupled Phase Oscillators," Proc. of the 2017 International Conference On Artificial Life And Robotics (ICAROB2017), pp. 128-131, Seagaia Convention Center Miyazaki, Miyazaki, Jan.19-22(20), 2017.

[4] 田向 権, "脳型人工知能の組み込みシステム化とロボットおよび自動車への応用," 精密工学会 超精密加工専門委員会 第70回研究会『脳型コンピューティングの最前線 - 生物、ニューロモルフィックから人工知能まで - 』, 2016年12月16日, 大阪市, メルパルク大阪, 2016, (**招待講演**).

[5] 新谷 嘉也, Yeoh Yoeng Jye, 鈴木 章央, 首藤 大輔, 森江 隆, 田向 権, "畳み込みニューラルネットワークにおける結合荷重の多値化," SOFT九州支部大会, 2016年12月10日, 熊本県合志市, 熊本高専. **学生優秀講演賞受賞**.

[6] Akihiro Suzuki, Takashi Morie, Hakaru Tamukoh, "FPGA Implementation of Autoencoders Having Shared Synapse Architecture," Proc. of the 23rd Int. Conf. on Neural Information Processing (ICONIP2016), Lecture Notes in Computer Science, Vol.9947, pp.231-239, Kyoto University, Sakyo-ku, Kyoto, Japan, Oct. 16-21, 2016.

[7] Ichiro Kawashima, Seiji Uenohara, Takashi Kato, Masatoshi Yamaguchi, Hideyuki Suzuki, Takashi Morie, Hakaru Tamukoh, "Hardware-Oriented Algorithm for Chaotic Boltzmann Machines," Proc. of Int. Workshop on Smart Info-Media Systems in Asia (SISA2016), pp.122-125, Ayutthaya, Thailand, Sept.14-17, 2016. **SISA Excellent Student Paper Award**.

[8] Yuichiro Tanaka, Hakaru Tamukoh, "Hardware-Oriented Algorithm for Deep Neural Networks Composed of Self-Organizing Maps," Proc. of Int. Workshop on Smart Info-Media Systems in Asia (SISA2016), pp.116-121, Ayutthaya,

Thailand, Sept. 14-17, 2016.

[9] 石田 裕太郎, 田中 悠一郎, 森江 隆, 田向 権, “ホームロボット向け物体認識・把持システムの構築,” 第34回日本ロボット学会学術講演会 (RSJ), 3G1-03, 2016年9月7-9日(9), 山形市, 山形大学小白川キャンパス .

[10] Sansei Hori, Takashi Morie, Hakaru Tamukoh, “Restricted Boltzmann Machines Without Random Number Generators for Efficient Digital Hardware Implementation,” Proc. of the 25th Int. Conf. on Artificial Neural Networks (ICANN2016), Lecture Notes in Computer Science, Vol. 9886, pp. 391-398, Barcelona, Spain, Sept. 6-9(9), 2016.

[11] 石田 裕太郎, 橋本 康平, 有田 裕太, 田中 良道, 西田 健, 伊藤 太久磨, 井上 秀雄, 通山 恭一, 田向 権, “自動運転のための知的処理におけるハードウェアアクセラレータ利用の基礎検討,” 第32回ファジィシステムシンポジウム(FSS), WD1-1, pp.49-50, 2016年8月31日-9月2日(8月31日), 佐賀県佐賀市, 佐賀大学. 口頭&ポスター発表. **ポスター・デモセッション最優秀賞 受賞** .

[12] 堀 三晟, 石田 裕太郎, 奥村 弘治, 木山 雄太, 楠根 穰, 田中 悠一郎, 辻 湧弥, 土田 崇弘, 土谷 諒, 藤本 武, 山崎 裕太, 佐藤 寧, 森江 隆, 田向 権, “Hibikino-Musashi@Home チームにおけるロボット開発,” 第4回インテリジェントホームロボティクス研究会, 2016年5月27日, 大阪市, インテックス大阪 2016, (**招待講演**).

[13] 石田 裕太郎, 堀 三晟, 森江 隆, 田向 権, “FPGAによるROS向け高速分散処理システムの実装,” 第60回システム制御情報学会研究発表講演会 (SCI), 111-5, 2016年5月25-27日(25), 京都市, 京都テルサ. **2016年学会賞奨励賞 受賞** .

[14] 田向 権, “ソフトコンピューティング・脳型計算機とホームロボットへの展開,” LSI とシステムのワークショップ 2016, 2016年5月16-17日, 東京都目黒区, 東京大学生産技術研究所, 2016, (**招待講演**).

[15] 松原 直輝, 奥村 弘治, Shaoning Pang, 田向 権, “背景差分とMRCoHOGを組み合わせた海上のボート検出,” 電子情報通信学会技術研究報告 スマートインフォメディアシステム研究会 (SIS), SIS2015-68, pp. 117-122, 2016年3月10-11日(11), 東京都世田谷区, 東京都市大学世田谷キャンパス .

[16] 石田 裕太郎, 田中 宙夫, 森江 隆, 田向 権, “ホームロボットへの応用を目指し

た ROS と FPGA の連携システムの構築,” 第33回日本ロボット学会 学術講演会, 3F3-03, 2015年9月3-5(5)日, 東京都足立区, 東京電機大学.

[17] Hakaru Tamukoh, Kensuke Koga, Hideaki Harada, and Takashi Morie, “Morphological Associative Memory Employing a Split Store Method,” Proc. 21th Int. Conf. on Neural Information Processing (ICONIP2014), (Lecture Notes in Computer Science, LNCS 8836), III-341-348, Kuala Lumpur and Kuching, Malaysia, Oct.31 - Nov. 3-6(Oct. 31), 2014.

〔図書〕(計0件)

〔産業財産権〕

出願状況(計2件)

名称: 乱数生成器が不要なニューラルネットワークのハードウェア実装の方法及び乱数生成器が不要なニューラルネットワーク

発明者: 堀三晟, 田向権, 森江隆

権利者: 国立大学法人 九州工業大学

種類: 特願

番号: 2016-156471

出願年月日: 平成28年8月9日

国内外の別: 国内

名称: ハードウェアプラットフォーム及びハードウェアプラットフォームを用いたハードウェアの操作方法

発明者: 田向権, 石田裕太郎, 森江隆

権利者: 国立大学法人 九州工業大学

種類: 特願

番号: 2016-037660

出願年月日: 平成28年2月29日

国内外の別: 国内

取得状況(計0件)

〔その他〕

ホームページ等

九州工業大学 田向研究室

<http://www.brain.kyutech.ac.jp/~tamukoh>

田向研究室 Facebook ページ

<https://www.facebook.com/bcslab/>

## 6. 研究組織

### (1) 研究代表者

田向 権 (TAMUKOH, Hakaru)

九州工業大学・大学院生命体工学研究科・准教授

研究者番号: 90432955

### (2) 研究分担者

森江 隆 (MORIE, Takashi)

九州工業大学・大学院生命体工学研究科・教授

研究者番号: 20294530