

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 5 日現在

機関番号：11101

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26420264

研究課題名(和文)Biサーファクタントを用いた 族ナノドットの低温形成並びに素子応用の研究

研究課題名(英文)Study of low-temperature formation of group IV nanodots made by use of Bi surfactant and its device application

研究代表者

岡本 浩(Hiroshi, Okamoto)

弘前大学・理工学研究科・教授

研究者番号：00513342

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)： 族ナノドットはSiフォトンクス用の受発光素子、新構造メモリ素子、高効率太陽電池等への応用が期待されている。本研究では申請者がビスマスサーファクタントを用いたIn(Ga)As量子ドット成長技術の研究を通じて得た知見を 族材料に応用し、低温形成並びに形状制御技術を開発することを目的とした。新たに開発した手法は低温(室温～130 程度)下におけるBi、Geの連続蒸着とそれに続く比較的低温(300～400)のアニールであり、結晶Geナノドットの形成に成功した。また、この手法によるドット形成のメカニズムは当初の予想(サーファクタント効果)とは異なる新たなものであることを検証した。

研究成果の概要(英文)：Group IV nanodots are expected for various applications such as optical devices for Si photonics, memory devices with new structures, and high-efficiency solar cells. The purpose of this study is to develop the method of low-temperature formation and to control their shapes by making use of the growth technique of In(Ga)As QDs using bismuth (Bi) as a surfactant, which we have developed in our previous work. The newly developed method is sequential evaporation of Bi and Ge under low temperature (Room temp. to around 130) and relatively low-temperature annealing (300 to 400). By this method, we have successfully formed crystalline Ge nanodots. Also, we have revealed that the formation mechanism under this method is not based on surfactant which we have expected at first but based on the newly found mechanism.

研究分野：電子・電気材料

キーワード：ナノドット 族半導体 ゲルマニウム ビスマス

1. 研究開始当初の背景

族ナノドットは Si フォトニクスにおける受発光素子、量子ドットフローティングゲートメモリ、高効率 Si 系量子ドット太陽電池等への応用が期待されており、国内外で精力的に研究が行われている。一般に 族ナノドットの成長には分子線エピタキシー (MBE) 装置が用いられ、形成温度は Ge ナノドットの場合、一部の報告を除き、結晶ドットで 550 以上、アモルファスドットの場合にも 350 以上とすることが一般的である。一方、Sb サーファクタントを用いることにより高密度 ($> 1 \times 10^{11} \text{ cm}^{-2}$) の Ge ナノドットが形成できたことが報告されているが、この場合にも成長温度は上記同様である。この形成温度は LSI との集積素子においては極力低く抑えることが望まれるほか、フレキシブル太陽電池やシステム・オン・フィルム等の基板として用いられる有機フィルム上に形成する場合には、200 以下とすることが必要とされる。

また一方、GeSn 混晶は 10% 程度の Sn 組成においてバンド構造が直接遷移型に移行することが予測されており、受発光素子への応用を目指した研究が国内外で行われているが、ナノドットの形成機構や特性に関する報告は少なく、明らかにすべき点が多い。

申請者は本研究の開始以前に、In(Ga)As 量子ドットの有機金属気相成長法 (MOVPE 法) による形成において Bi をサーファクタントとした独自成長技術を開発し、Bi が Sb などのサーファクタントのように結晶中や界面に残存しないことやその特異な成長機構を明らかにし、さらに連携研究者らとともにエキシトン発光の同定、単一光子発生の実証、フォトリソニック結晶との結合などの報告を行ってきた。また、同量子ドットの欠陥評価に関しては、フォトルミネッセンス (PL) の温度依存性特性などから世界最高水準の低欠陥量子ドットが得られていることを検証するとともに、同ドットの DLTS 法 (Deep Level Transient Spectroscopy ; 深い準位の過渡応答スペクトル) による評価や、平行して Ge-MIS 界面とその近傍の欠陥評価などを行ってきた。

本研究は上記の知見をもとに Bi サーファクタントを利用することにより、族ナノドットの低温形成をめざして開始したものであるが、後述の通り Bi を導入することによるドット形成のメカニズムについては研究期間の後半の段階で見直しを行っている。

2. 研究の目的

上記の背景を踏まえ、本研究では申請者が前述のピスマスサーファクタントを用いた In(Ga)As 量子ドット成長技術の研究を通じて得た知見を 族材料に応用し、低温形成並びに形状制御技術を開発することを目的とした。ここで 族材料としては着手を開始した Ge に加え、新規な物性が期待されている

GeSn を研究対象とした。また、さらにこれらの作製技術をもとに電子デバイス、光デバイスの基本要素を作製し、その特性を確認することをめざした。研究当初の具体的な目標は以下の通りである。

- ・Bi サーファクタントを用いた Ge ナノドットの低温形成技術を開発し、形成温度や Bi 供給量とナノドットの密度や形状の関係を明らかにする。

- ・上記ナノドットにおいて初期形成のアモルファスドットを結晶ドットに変化させるためのアニール条件や、結晶中や界面における Bi 残留の有無を明らかにする。さらに作製したナノドットの構造的、光学的、電気的評価を行い、その特性を明らかにする。

- ・上記ナノドットの 族材料として - 族混晶を形成する GeSn を導入し、上記同様、低温形成技術を開発し、その基本特性を明らかにする。

- ・応用デバイスの要素として、量子ドットフローティングゲートメモリ用、量子ドット太陽電池用の基本構造を作製し、その機能や特性を確認する。

しかしながら検討が進むにつれ、Ge ナノドットを真空蒸着で低温形成 (室温 ~ 170 程度) する際の Bi 導入の効果は In(Ga)As 量子ドットを 400 程度で MOVPE 成長する場合とは異なり、サーファクタント作用では説明できないことが明らかになってきた。そこで本研究においては期間の後半の段階で研究目標を修正し、Ge ナノドット形成における Bi の効果を明らかにすること、並びに量子ドットフローティングゲートメモリ用基本構造の検討に注力することにした。

3. 研究の方法

高真空蒸着装置を用い、Bi の導入による族ナノドットの低温形成、形状制御手法の検討を行い、その特性を評価した。また、デバイス応用に向けた準備を進めた。具体的には以下の通りである。

(1) 2 元材料同時蒸着のための装置改造 : 本研究で用いている高真空蒸着装置においては、Ge 等の蒸着に用いる電子ビーム (EB) 蒸着機構と Bi 等の蒸着に用いる抵抗加熱 (RH) 蒸着機構を順次切り替えて使用する必要があり、双方の同時蒸着やタイムラグの少ない連続蒸着ができない状況にあった。Bi 導入実験の再現性向上、並びに後述の GeSn ドット形成のために 2 元材料同時蒸着 (EB/RH 同時蒸着) のための装置改造を行った。

(2) Bi の導入による Ge ナノドットの低温形成、形状制御の検討 : Ge ナノドットの低温形成、形状制御の検討を行った。パラメータとして形成温度、並びに Bi と Ge の堆積量を変化させ、形成可能な最低温度、密度と形状の制御可能範囲等の情報を得た。この結果

をもとに 族ナノドットの低温・高密度形成法に関する特許出願を行った。また、量子ドットフローティングゲートメモリ用基本構造検討の一環として、SiO₂基板上、並びに熱酸化膜付 Si 基板上への Ge ナノドット作成条件の検討を行った。評価手法としては主に AFM を用いた。

(3) Ge ナノドットの結晶化アニール条件の検討： 前項の Ge ナノドットは閾値未満の基板温度においてはアモルファスドットとなることが予想される。これをアニールすることにより結晶化する検討を進めた。またこの際、Bi の残留の評価も行った。

(4) Ge ナノドット形成における Bi 導入効果の検討： 前述の通り、Ge ナノドットを真空蒸着で低温形成する際の Bi 導入の効果は当初の予想とは異なり、サーファクタント作用では説明できないことが明らかになってきた。そこで上記の検討に加え、走査透過型電子顕微鏡 (STEM)、X 線光電子分光法 (XPS)、オージェ電子分光法 (AES)、環境制御型 AFM によるその場アニール観察等を行い、Ge ナノドットの形成過程を調べた。

(5) Ge-MIS 構造の電気的特性評価： 欠陥評価、メモリ機能評価に向けた電気的特性評価技術の検討として、低温コンダクタンス法や DLTS 法 (Deep Level Transient Spectroscopy; 深い準位の過渡応答スペクトル評価法) によって、In(Ga)As 量子ドットや Ge-MIS 構造の界面近傍の欠陥評価を行うとともに評価技術の向上を図った。

4. 研究成果

以下、前項で述べた研究方法による検討によって得られた結果を具体的に述べる。

(1) 2 元材料同時蒸着のための装置改造と蒸着レートの制御： EB/RH 同時蒸着のための装置改造を行い、Ge を EB 蒸着、Sn を RH 蒸着する際の蒸着レートコントロール手法について検討を行った。この際、Sn は蒸気圧が高く低速の蒸着レートにおける制御が困難であったが、PID 制御におけるパラメータや制御モードの工夫により、組成を制御した GeSn の蒸着が可能になった。

(2) Bi の導入による Ge ナノドットの低温形成、形状制御の検討： 本科研費研究開始の直前に、Si 基板上への Bi、Ge の連続蒸着によって高密度でドットライクな形状が低温 (室温 ~ 170) の基板温度においても得られることを確認した。本研究ではまず、量子ドットフローティングゲートメモリへの応用に向けた基礎検討として、石英基板上への Ge ナノドット形成における基板温度や蒸着膜厚 (等価膜厚) 依存性を調べた。図 1 (a-d) に Bi、Ge を石英基板上に連続蒸着した際の

基板温度依存性を、図 2 (a-c) に Bi 蒸着膜厚依存性を、図 3 (a, b) に Ge 蒸着膜厚依存性を示す。図 1 (a-d) より、基板温度 130 以下においてドットライクな形状が高密度に得られていること、図 2 (a-c) と図 3 (a, b) からは同形状が Bi、Ge それぞれの膜厚に対して単独の依存性を示さず、双方の膜厚の組み合わせによって変化することがわかる。例えば Ge 蒸着厚が 1.2 nm の図 2 (a-c) においては Bi 蒸着厚が 0.5 nm 以上の場合のみにドットライク形状が得られているが、より Ge 蒸着厚の薄い図 3 (a, b) においては Bi 蒸着厚 0.2 nm でも同形状が出現している。このことは研究開始当初に予想したサーファクタント効果では説明ができず、次項で述べる通り、Bi の導入の効果を再検討した。

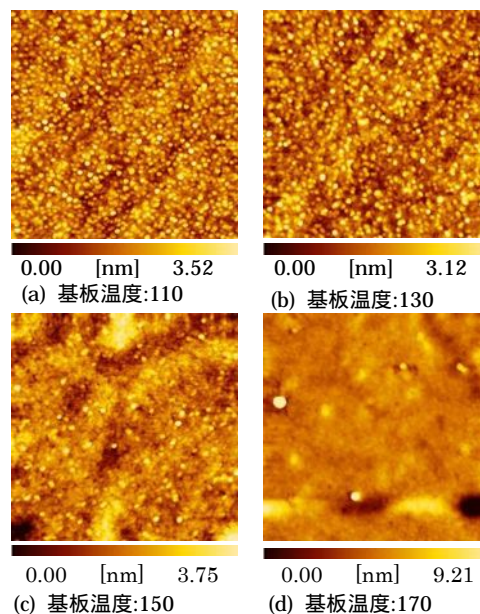


図 1 . 石英基板上 Ge ナノドットの AFM 像 : 基板温度依存性 (Bi:0.5 nm Ge:1.2 nm), 1x1 μm²

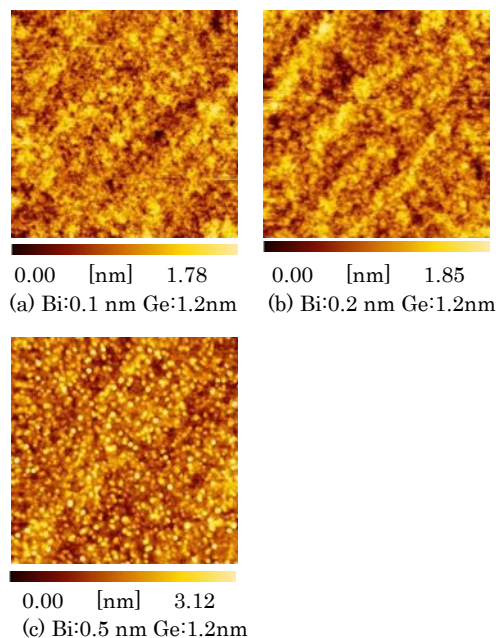
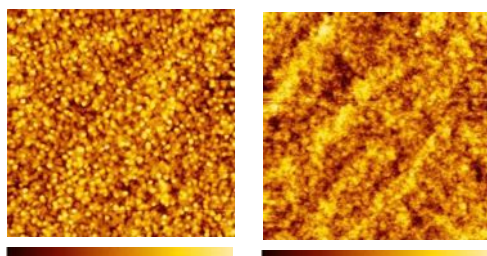


図 2 . 石英基板上 Ge ナノドットの AFM 像 : Bi 等価膜厚依存性 (基板温度 130), 1x1 μm²



0.00 [nm] 4.38 0.00 [nm] 1.85
(a) Bi:0.2 nm Ge:0.6 nm (b) Bi:0.2 nm Ge:1.2 nm

図3 . 石英基板上 Ge ナノドットの AFM 像 :
Ge 等価膜厚依存性 (基板温度 130), 1x1 μm^2

(3) Ge ナノドットの結晶化アニール条件の検討並びに Bi 導入効果の検討: 前項の手法で低温形成したナノドットはアモルファスである可能性が高く、かつ、Ge と Bi が混合した (あるいは共存した) もとなっている可能性がある。そこでアニールによる結晶化を試みるとともに結晶ナノドットの形成状況や形成過程を調べることで、Bi 導入の効果を検討した。この検討においては量子ドットフローティングゲートメモリへの応用に向けた基礎検討の他、STEM、XPS、AES 分析に用いるために 5 nm の熱酸化膜付の Si 基板を用いた。

図4に基板温度 130 で Bi、Ge を連続蒸着した後に 300 30 分と 400 30 分の 2 段階アニールを行った試料の HAADF (High-Angle-Annular-Dark-Field)-STEM 像を示す。ここでアニールを 2 段階に分けた理由は、ドットの合体による巨大化を防ぐためである。ドーム型の独立したナノドットが形成されており、図中側のドットには格子配列が認められる。FFT 解析の結果、[1 1 1] 方向の結晶が形成されていることがわかった。ここで図4中に示されている番号は EDX (Energy Dispersive X-ray Spectroscopy) による評価ポイントである。EDX による元素分析の結果を表1に示す。結晶ナノドット中にはほとんど Bi が含まれないことがわかった。ここで酸素は薄片試料を大気暴露した際に形成された自然酸化膜によるものを含む。また、微量の Bi 信号は二次励起 X 線によって周囲の情報を拾っている可能性もある。

図5(a, b) にそれぞれ 300 のみ、300 と 400 の 2 段階のアニールを行った試料表面の AES 分析結果を示す。300 アニールで Bi の減少が見られ、300 と 400 の 2 段階のアニールを行った後には Bi はほぼ消失していることがわかる。

以上の結果より、Bi、Ge を連続蒸着した後における 300 と 400 の 2 段階アニールにおいて、Ge からの Bi の排出と昇華を伴って結晶 Ge ナノドットが形成されていることがわかった。この過程をより詳しく調べるため、真空中において最高 300 まで加熱してその場観察ができる環境制御型 AFM を用い、アニール中の表面形状の変化を観察した。図6(a-c) にそれぞれアニール前 (As

Deposited)、17 分アニール後、77 分アニール後の AFM (DFM; タッピングモード) 像を、図7にアニール中の表面粗さ RMS の時間変化を示す。ここで図7中、20 分過ぎに見られる特異点は AFM 測定系が一時不安定になったために現れたものである。これらの結果より以下が考察される。(1) 図6(a-c) においてドットの基板に平行な方向のサイズと分布形状はほとんど変化が見られない。(2) 表面粗さ RMS はゆるやかに減少し、0.4 nm 程度で飽和する。このことは構造中から Bi が 300 アニール中に昇華 (あるいは蒸発) したと考えると説明ができ、図5(a) に示した AES の結果とも辻褄が合う。図8(a, b) にそれぞれアニール前(再掲)と 300 と 400 の 2 段階アニール後試料の AFM 像を示す。ここで図8(b)のアニール後のドット密度 ($4 \times 10^{10} \text{ cm}^{-2}$) は図8(a) のアニール前のドットライク形状の密度 ($6 \times 10^{10} \text{ cm}^{-2}$) に比べ、やや低下し、高低差は増加していることがわかる。図8(a, b)と図6(a-c) の結果より、2 段階目の 400 アニールの間にドットの合体またはライプニングを伴う形状の変化が生じたことがわかる。現状、ドットの密度と均一性はともに不十分であるが、これらは初期形成やアニールの条件を最適化することによりそれぞれ向上が見込まれる。

以上、Bi を媒介した Ge ナノドット作製に関し、当初の予想 (サーファクタント効果) とは異なる新たな形成メカニズムが明らかになってきた。低温 (室温 ~ 130 程度) 下の Bi、Ge の連続蒸着によってドットライク形状が出現し、それに続く比較的低温 (300 ~ 400) のアニールによって Bi の排出と昇華 (あるいは蒸発) を伴ってドット形状の再構成と結晶化が進行するというものである。今後、本研究で得られた知見を生かし、半金属や金属を媒介した 族半導体ナノ構造の形成と次世代デバイス要素技術への応用に関する研究を展開していく予定である。

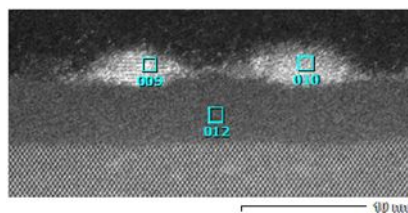
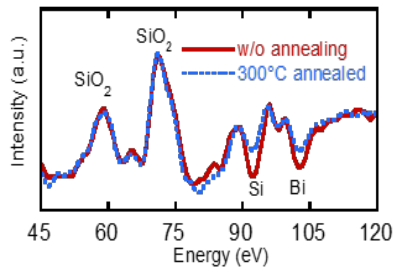


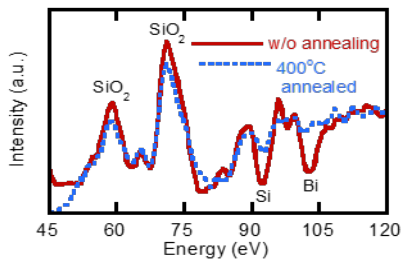
図4 . 熱酸化膜付 Si 基板上、2 段階アニール Ge ナノドットの HAADF-STEM 像

表1 . 各分析ポイントの EDX 分析結果 (%)

	O	Si	Ge	Bi
009	30.6	10.1	59.0	0.3
010	19.4	13.1	66.1	1.4
012	57.0	42.7	0.0	0.3

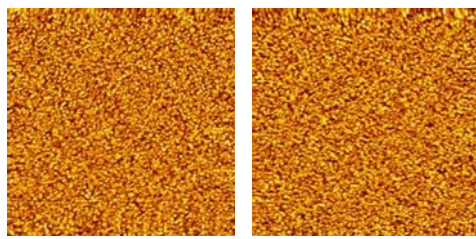


(a) 300 アニール



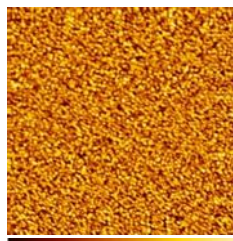
(b) 300 +400 2段階アニール

図5 . アニール前後の試料表面の AES 分析結果



(a) As Deposited

(b) 17分後



0.00 [nm] 2.51

(c) 77分後

図6 . 300 アニール中の AFM 像

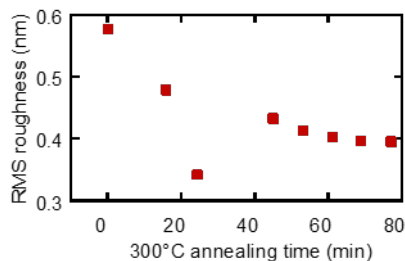
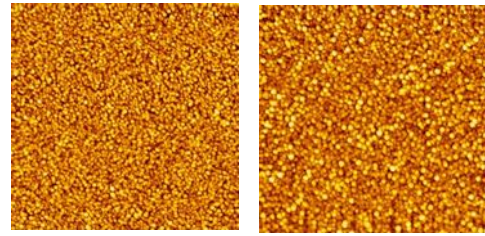


図7 . 300 アニール中の表面粗さ RMS の変化



0.00 [nm] 3.65

(a) As Deposited

0.00 [nm] 5.16

(b) 2段階アニール後

図8 . 300 +400 2段階アニール前後の AFM 像

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計3件)

Hiroshi Okamoto, "Self-Organized Nanostructure Formation of III-V and IV Semiconductors with Bismuth", Journal of Advances in Nanomaterials, Vol. 1, No. 2, pp. 82-94, December 2016. [査読有]

Takuro Iwasaki, Toshiro Ono, Yohei Otani, Yukio Fukuda, and Hiroshi Okamoto, "Interface State Density Evaluation of p-Type and n-Type Ge/GeN_x Structures by Conductance Technique", Electronics and Communications in Japan, Vol. 98, No. 6, pp. 8-15, June 2015. [査読なし]

Hiroshi Okamoto, Soichiro Suzuki, Hidefumi Narita, Takehiko Tawara, Kota Tateno, and Hideki Gotoh, "Deep level transient spectroscopy characterization of In(Ga)As-quantum dots fabricated using Bi as a surfactant", Japanese Journal of applied physics Vol. 53, No. 6S, pp. 06JG11-1-06JG11-5, May 2014. [査読有]

〔学会発表〕(計11件)

滝田健介、対馬和都、遠田義晴、俵毅彦、館野功太、章国強、後藤秀樹、池田高之、水野誠一郎、岡本浩 ; 「真空蒸着と低温アニールによるBi媒介Geナノドット形成-1」, 第64回応用物理学会春季学術講演会 15p-P7-3 (2017年3月, 横浜市パシフィコ横浜)

対馬和都、滝田健介、中澤日出樹、遠田義晴、俵毅彦、館野功太、章国強、後藤秀樹、岡本浩 ; 「真空蒸着と低温アニールによるBi媒介Geナノドット形成-2」, 第64回応用物理学会春季学術講演会 15p-P7-4 (2017年3月, 横浜市パシフィコ横浜)

鹿糠洋介、小野俊郎、福田幸夫、岡本浩 ;

「MCTS 評価並びに解析手法の検討と Ge 基板中に ECR プラズマプロセスによって導入された欠陥の評価」、情報処理学会東北支部研究報告 A1-3(2017 年 2 月, 弘前大学)(2017 年 2 月 20 日)
山田大地, 王谷洋平, 山本千綾, 山中淳二, 佐藤哲也, 岡本浩, 福田幸夫;
「REALD 形成 Al₂O₃/GeO₂/p-Ge MOS キャパシタの電気的特性に及ぼすゲート電極金属の影響」第 77 回応用物理学会秋季学術講演会 16a-P4-7 (2016 年 9 月, 新潟市朱鷺メッセ)

(Invited) Hiroshi Okamoto, "Self-organized nanostructure formation of III-V and group IV semiconductors by using bismuth" Collaborative Conference on 3D and Materials Research (CC3DMR), (Incheon/Seoul, Korea, June 23, 2016).
成田英史, 山田大地, 福田幸夫, 岡本浩 1; 「Radical-enhanced ALD 法による Ge-MIS 構造の欠陥評価(2); 熱処理効果」, 第 63 回応用物理学会春季学術講演会 19p-P3-2 (2016 年 3 月, 東京工業大学)(3/19 ~ 3/22, 発表は 3/19)

(Invited) Hiroshi Okamoto, Daichi Yamada, Hidefumi Narita, Yohei Otani, Chiaya Yamamoto, Junji Yamanaka, Tetsuya Sato, and Yukio Fukuda, "Effects of postdeposition treatments on the electrical properties of Al₂O₃/GeO₂ gate stack grown on Ge substrate by radical-enhanced atomic layer deposition", 9th International WorkShop on New Group IV Semiconductor Nanoelectronics, I-04, (Sendai, Japan, Jan. 11, 2016).

鈴木良優, 滝田健介, 俵毅彦, 館野功太, 章国強, 後藤秀樹, 岡本浩; 「Bi プレデpositionによる Ge ナノドットの石英基板上への低温形成」応用物理学会東北支部 第 70 回学術講演会 3P21 (2015 年 12 月, 弘前市)(12/3 ~ 12/4, 発表は 12/3)

(Invited) Hiroshi Okamoto, Tomoya Yokohira, Kosei Yanachi, Chiaya Yamamoto, Byeonghaku Yoo, Junji Yamanaka, Tetsuya Sato, Toshiyuki Takamatsu, Hidefumi Narita, and Yukio Fukuda, "Formation mechanism of aluminum germanate layer on germanium substrate by radical-enhanced atomic layer deposition", 8th International WorkShop on New Group IV Semiconductor Nanoelectronics, I-04, (Sendai, Japan, Jan. 30, 2015).

成田英史, 山田大地, 福田幸夫, 鹿糠洋介, 岡本浩; 「Radical-enhanced ALD 法による Ge-MIS 構造の欠陥評価」, 第

76 回応用物理学会秋季学術講演会 13p-PA5-3 (2015 年 9 月, 名古屋国際会議場)(9/13 ~ 9/16, 発表は 9/13)
成田英史, 山田大地, 福田幸夫, 鹿糠洋介, 岡本浩, 「Radical-Enhanced ALD 法によって形成した Al ジャーマナイト/Ge 界面とその近傍の欠陥評価」; 電子情報通信学会技術研究報告 vol. 115, no. 179, CPM2015-44, pp. 67-70, (2015 年 8 月, 弘前大学). (8/10 ~ 8/11, 発表は 8/11)

〔産業財産権〕

出願状況(計 1 件)

名称: ナノ構造の製造方法

発明者: 俵毅彦, 館野功太, 章国強, 後藤秀樹, 岡本浩

権利者: 日本電信電話株式会社, 弘前大学

種類: 特許出願

番号: 特願 2014-123112

出願年月日: 平成 26 年 6 月 16 日

国内外の別: 国内

6. 研究組織

(1) 研究代表者

岡本 浩 (OKAMOTO, Hiroshi)

弘前大学大学院・理工学研究科・教授

研究者番号: 00513342

(3) 連携研究者

俵 毅彦 (TAWARA, Takehiko)

日本電信電話株式会社・NTT 物性科学基礎研究所・主任研究員

研究者番号: 40393798

館野 功太 (TATENNO, Kouta)

日本電信電話株式会社・NTT 物性科学基礎研究所・主任研究員

研究者番号: 20393796

章 国強 (ZANG, Guoqiang)

日本電信電話株式会社・NTT 物性科学基礎研究所・主任研究員

研究者番号: 90402247

(4) 研究協力者

鈴木 良優 (SUZUKI, Yoshihiro)

弘前大学大学院・理工学研究科

滝田 健介 (TAKITA, Kensuke)

弘前大学大学院・理工学研究科

対馬 和都 (TUSHIMA, Kazuto)

弘前大学大学院・理工学研究科