

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 29 日現在

機関番号：32612

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26420318

研究課題名(和文)人工シナプス用多チャンネル膜電位固定LSIの実現

研究課題名(英文) Design of multichannel LSI system for artificial synapse based on whole cell voltage clamp method

研究代表者

中野 誠彦 (NAKANO, NOBUHIKO)

慶應義塾大学・理工学部(矢上)・准教授

研究者番号：40286638

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：本研究では神経細胞と直接やりとりを行う人工シナプス実現に向けてLSI設計を行った。膜電位固定法と呼ばれる手法を再現しており、細胞のイオンチャンネルを通過する電流を取得するものである。高倍率の電流電圧変換器を設計し高抵抗を標準CMOSプロセスを用いてチップ上に作成し信号取得に必要な周波数帯域を確保しながら低雑音かつ高増幅率を実現した。さらにシステムを多チャンネル化し5mm角チップに16チャンネルシステムを実装した。

研究成果の概要(英文)：In this study, we designed LSI for realizing artificial synapse which communicate directly with nerve cells. It reproduces the method called whole cell voltage clamp method and acquires the current passing through the ion channel of the cell. LSI chip was designed with high magnification current to voltage converter using high resistance on the chip by standard CMOS process to realize low noise and high amplification ratio while realize the frequency bandwidth required for signal acquisition. The 16-channel system was implemented on 5 mm x 5 mm size chip.

研究分野：集積回路設計

キーワード：電子デバイス・機器 集積回路設計 ブレインマシンインターフェース パッチクランプ法 膜電位固定法 電流電圧変換回路

1. 研究開始当初の背景

(1) BMI の分類と機能

脳研究とエレクトロニクスの発展は切っても切れない関係にある。なかでも脳研究の一つとして、電気、磁界等の手段をもって脳と情報のやり取りをするブレインマシンインタフェース (BMI) の開発が盛んに行われている。BMI は、脳に対して信号を取り出すタイプと、信号を入力するタイプがあるが、これまでの構成は、光を含めた電磁気学的測定を用いて脳の情報を読み取りその信号を元に機械を制御するタイプが主である。BMI には非侵襲タイプと侵襲タイプのものがあり、それぞれ一長一短がある。非侵襲タイプのインタフェースによって得られた情報は、脳波や光として取り出され、生体への干渉が低いことから人間への応用が期待されている。しかしながら、得られる情報は、神経細胞の集合的なものであり、さらに非侵襲で脳に直接情報を入力することは困難である。一方、侵襲タイプのブレインマシンインタフェースによって得られた情報は神経細胞由来の局所的で微弱な信号であり、生体への干渉という課題はあるものの、生体の情報を直接取り出すことが可能となる。これまでは微小な電極を用いるタイプがほとんどであるが、これでは神経ネットワークに対して部分的な領域に接することとなりネットワークそのものにアクセスすることが難しい。一方、本研究で提案するシナプスレベルで神経細胞との情報をやりとりすることができれば、脳の記憶メカニズムを含めた細胞レベルでの仕組みの解明に大きく寄与することできると考えられる。

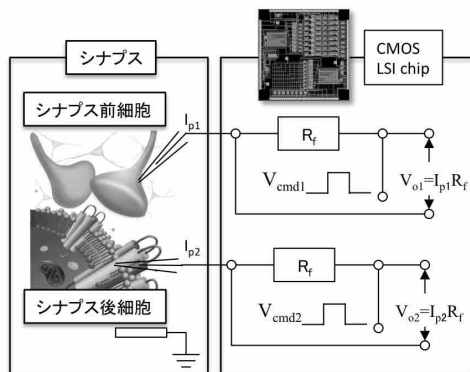


図1 LSIによる膜電位固定法

2. 研究の目的

(1) BMI を目的とした LSI

脳の神経細胞の情報伝達は、膜タンパク質を介して電氣的あるいは化学的信号を元に行われる。本研究では、こうした信号が流れたときに生ずる電流を計測・制御することにより、神経細胞との情報のやりとりを行うためのインタフェースとなる LSI チップの実現を目的とする。この LSI チップの実現により、神経細胞レベルで脳機能の解明へつながる手段を実現すると共に、神経細胞の機能代替や神経細胞レベルでの治療などへの応用が期待される。

(2) シナプスへのアプローチ

脳は神経細胞が複雑なネットワークを形成しており、その神経細胞間の情報伝達は、シナプスといわれる領域を介して行われる。シナプス前細胞で生じた電氣的活動である活動電位が軸索を通過してシナプス前末端に達すると、神経伝達物質とよばれる化学物質が放出され、シナプス後細胞の膜表面上にあるタンパク質の一種であるイオンチャンネルと結合する。するとイオンチャンネルの構造が変化して特定のイオンが膜を透過することにより神経細胞内の電位が上昇し、最終的に活動電位が生じる。従って、シナプス近傍における神経伝達物質の放出や計測、あるいは神経細胞の電氣的活動の励起や計測を行うことができれば、神経細胞レベルでの直接的な情報のやりとりが可能となる。本研究では、その神経細胞シナプスとの情報伝達を行うためのインタフェースとなる LSI チップを実現することが目的となる。

(3) 膜電位固定法

膜電位固定法を基本とし、神経細胞の活動状況を電位固定した状態で電流計測することにより、これまでの電極を用いた計測では不可能なイオンチャンネルの活動状況をモニターする。また情報を神経細胞に伝達する際には電位を上下させる電位刺激によって単一神経細胞刺激を行う。これらの技術の組み合わせにより単一の神経細胞との情報伝達を可能にする。これまで膜電位固定法により単一細胞の振る舞いなどが調べられてきたが、実際の神経細胞はネットワークを構築している。神経ネットワークと意味ある情報のやりとりを行うには単一経路では情報伝達能力が不足であると考えている。これは、神経ネットワークが時間的な発火パターンと空間的な発火パターンの両者に意味を持たせているという仮説による。したがって、意味ある情報伝達には空間パターンを同時取得可能な多チャンネル化が必須であると考え、その実現には既存システムでは対応できないため CMOS 技術による集積化を行う必要性がある。

3. 研究の方法

(1) 課題

神経細胞と直接情報伝達を行うためのインタフェースを構成する LSI 実現にあたって、克服すべき課題は、まず単チャンネルの膜電位固定法を実現する回路を所望の特性で LSI 上に設計すること、次にそれらを組み合わせた多チャンネルシステムを実装することである。

(2) 電流電圧変換器

膜電位固定法を LSI 上の回路で実現する場合の最重要課題は所望の電流電圧変換回路を低ノイズで実現することである。本研究に先立って検討をおこなっており、電流電圧変換回路を $0.18 \mu\text{m}$ CMOS プロセスを用いた試作経験を得ていたが、増幅器の帯域の問題とノ

イズレベルが目標性能に達していなかった。そこで、フィードバック方式の見直しも含めて検討を行った。まず他の研究機関でも採用している容量フィードバック方式を当グループにおいて設計試作を行い評価を行ったところ単体としての評価では低ノイズ化が可能であった。しかしながら、容量帰還方式では、入力容量に寄生する容量成分によって大きくノイズレベルが上昇してしまい、これは応用範囲を著しく制限する問題がある。さらに、容量に蓄積する電荷をリセットするために離散時間システムとして動作させる必要がある。次に、OTA を用いて疑似抵抗を構成する方法も検討した。これらは、実装面積の観点から極めて有利である。しかしながら、実効的な抵抗値を設定するのがシビアであり、生体計測目的に波形を取得することを考えると実用上難点があった。そこで基本的な抵抗フィードバック方式を高性能化する手法を採用することとした。具体的な内容は成果に述べる。

(3) 多チャンネル化

膜電位固定法を LSI 上に実装した動機はシステムの多チャンネル化にある。さらに将来シリコンテクノロジーの応用で神経細胞とのインタフェース部がアレイ上に形成された場合の親和性が極めて高くなる。多チャンネルに当たっては、チャンネルあたりの面積と所望のスペックがトレードオフの関係にある。面積を大きくすることで高抵抗を実現でき信号雑音比の観点からは有利であるが、実装密度が低下する。また寄生成分により周波数特性が劣化し本来必要な情報が取得できなくなる。これらのトレードオフを抑えながらシステム設計を行った。

また、チャンネル間のクロストークについても検討を行うため、LSI 試作は4チャンネルシステムからはじめ、8チャンネル、16チャンネルとシステム改良を加えながらチャンネル数を増やして設計を行った。

さらにチャンネル数を増やした場合には制御線の数が増大し一つのチップで許容されるパッド数を上回ってしまう。そこでアナログ回路特性をデジタル制御により可変とする設計とし実装を行った。

4. 研究成果

(1) 電流電圧変換器の低ノイズ化

神経細胞の信号検出するために、電流電圧変換器の低ノイズ化は必須である。回路上はフィードバック素子の選択とその実現方法が鍵となる。容量フィードバック方式により低ノイズを実現する手法もあるが、この方法では入力部に寄生する容量が問題となり回路上低ノイズ化したとしても、実用上ノイズレベルを低減できない問題がある。そこで本研究では抵抗フィードバック方式を用いて低ノイズ化する手法を検討した。さらにこれをチップ上に実現するのが大きな課題であった。理論上抵抗値を大きくすることが増幅率を向上

させ低ノイズ化に寄与するが、抵抗値を大きくすることは面積の増大を招き集積密度を下げてしまう。さらに、面積の増大が基板を介した寄生容量成分により回路を不安定化することが明らかとなった。本研究では、基板直下のウェルに対してフィードバック抵抗中の電圧をモニタリングしウェル電位を駆動することで見かけ上の寄生成分を打ち消し 50M Ω オンチップ抵抗をフィードバック素子としても所望の周波数特性を安定して得ることに成功し、その成果を発表雑誌論文①にて報告した。これにより、他の従来研究例と比べて優位性を持ち、寄生成分を減らすためにサファイア基板を用いた方法と比べても通常の CMOS プロセスで実現可能としたことから有用性が高いものとなった。またオンチップで 50M Ω 抵抗を実現したところも低ノイズ化に大きく寄与し、レイアウト上の工夫も研究成果の中に含まれる。

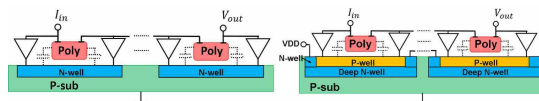


図2 2種の基板駆動回路
(Deep N-well 有無)

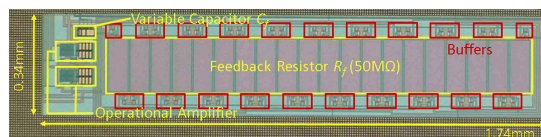


図3 駆動回路を組み込んだ電流電圧変換回路のチップ写真

図2に基板駆動回路の模式図を示す。また図3は駆動回路を組み込んだ電流電圧変換回路のチップ写真である。高抵抗ポリ層を用いて折り返しレイアウトにより設計された抵抗は図3に示すように約 1400 $\mu\text{m} \times 190\mu\text{m}$ 程度のサイズである。単チャンネル電流電圧変換回路の面積は 0.6mm² である。高抵抗部品と基板との寄生容量は約 18pF である。試作した提案回路の周波数特性をシミュレーション結果とともに実測結果を図4に示す。駆動回路なしでは約 2 kHz 付近で発振現象が見られる。これを抑えるためにフィードバック容量を付加すると著しく帯域が制限され所望の性能を満たさない。本提案方式によって電圧電流増幅器の周波数特性を 10kHz 以上とすることができた。

図5に提案増幅器の入力換算雑音特性を示す。帯域 10Hz から 10kHz において 1.86pArms, 実測で 2.09pArms と従来サファイア基板で実現した 8pArms の 4分の1程度に抑えられている。

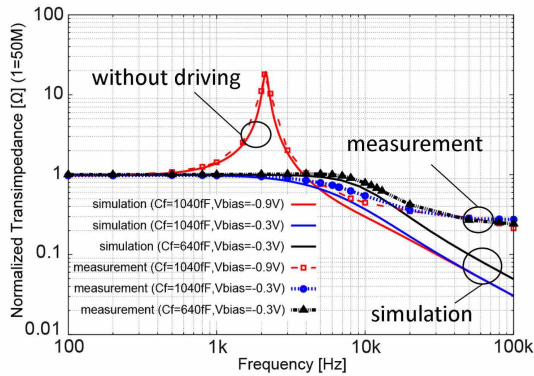


図4 提案電流電圧変換回路周波数特性

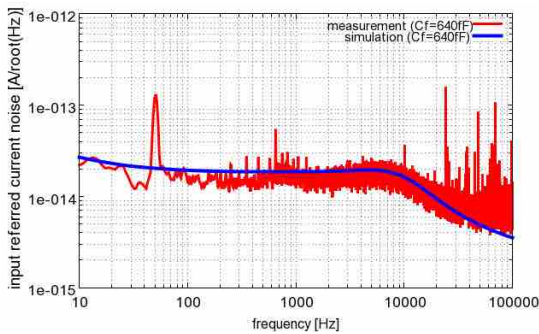


図5 抵抗フィードバック電流電圧増幅器のノイズ特性

(2) システムの多チャンネル化
本研究で提案設計したシステムを図6に示す。

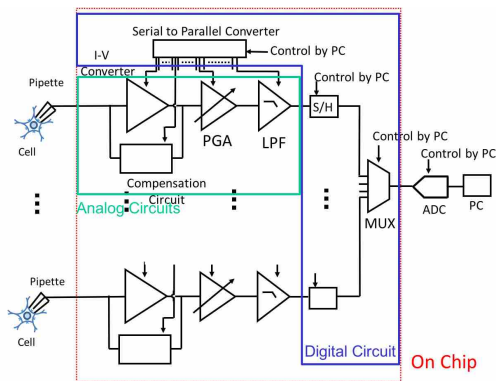


図6 多チャンネル膜電位固定法 LSI システム

チャンネルごとにみると、低ノイズ電流電圧変換器が入力側に配置され、その後増幅率を調整するプログラマブルゲインアンプ (PGA)、その後にアナログ・デジタル変換器 (ADC) の入力前のアンチエイリアシングフィルタとして低域通過フィルタ (LPF) が配置されている。さらに、実験系に合わせて細胞との結合に持ちられる器具の構造によって異なる寄生成分を補償するための補償回路、これらの信号を束ねるマルチプレクサ回路、さらに増幅率、周波数特性、補償量を調整するための制御回路を実装している。これらの回路が 16ch シス

テムとして 5mm × 5mm のチップに設計実装された。そのレイアウトを図7に示す。

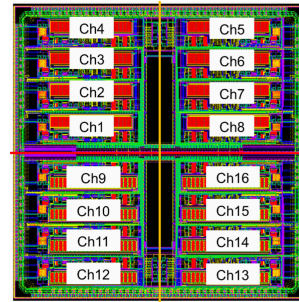


図7 5mm×5mm 16チャンネルシステム

各チャンネルの調整をすべてアナログで行っているには大量の入出力端子が必要となり、またそれらを制御する多数の電源回路が必要となる。これでは LSI として集積化する意義が薄れるため、各チャンネルの特性の制御はデジタル回路によって制御できるように実装した。PGA のゲインは帰還容量・抵抗値をスイッチで切り替えられるようにしており、LPF は容量値をスイッチで切り替え特性を制御可能としている。補償量についても同様である。これにより信号以外はデジタル制御によっておこなわれるため、本設計したチップをアナログフロントエンドとし、ADC を搭載したプロセッサと結合することにより全体のシステムが構成可能となる。またチャンネル数の組み方にも柔軟に対応可能であり、複数チップの連携も容易である。

以上により当初計画した膜電位固定法を用いた神経細胞と直接情報伝達を行うためのインタフェースを構成する LSI チップの設計を実現した。

(3) 周波数応答の自動校正

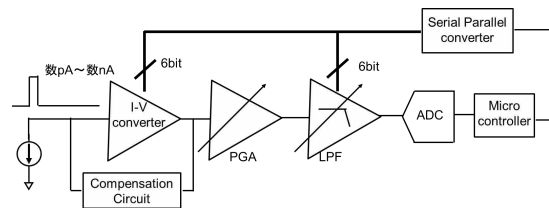


図7 周波数応答自動校正システムの構成

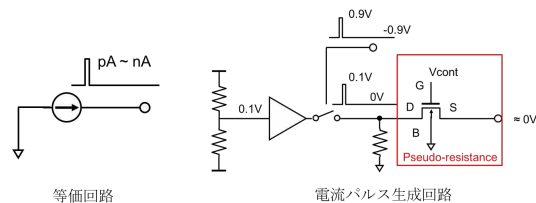


図8 電流パルス生成回路

多チャンネル化した際の課題としてチャンネル間の特性ばらつきがあげられる。これは高抵抗をオンチップ上に実現したことにより位置の違いやわずかなレイアウトの差異に依る特性

のばらつきが生じ周波数特性にチャンネル間ばらつきが生じる。この課題については、LPF 内部の容量値を 40fF 単位で可変できるようになっており、周波数特性を約 100Hz 単位で調整可能としている。しかしながら、この調整をチャンネルごとに個別に行うのは煩雑である。そこで、内部に電流生成回路を予め組み込み各チャンネルの周波数特性をデジタル処理により得て、その結果から特性を校正するシステムを組み込んだ。図 8 に電流パルス生成回路を示す。等価的には pA から nA レベルの電流を生成していることに相当する。また、周波数成分としては十分に広帯域となっており、周波数応答が系の特性を表していることを図 9 によって確認を行った。これにより多チャンネル膜電位固定 LSI システムをより有用なものとした。

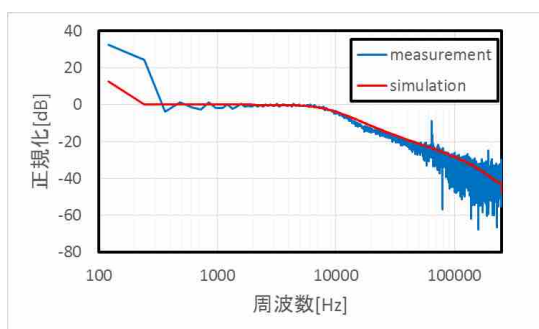


図 9 電流電圧変換回路の周波数応答のシミュレーションと実測結果

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- ① Hiroki YOTSUDA, Retdian NICODIMUS, Masahiro KUBO, Taro KOSAKA, Nobuhiko NAKANO, Compensation Technique for Current-to-Voltage Converters for LSI Patch Clamp System Using High Resistive Feedback, IEICE Trans. Fundamentals of electronics, communications and computer Sciences, 査読有, E99-A, 2016, 531-539

DOI:10.1587/transfun.E99.A.531

[学会発表] (計 12 件)

- ① 高坂太郎、久保勝弘、宮脇貴統、伊藤孝太、中野誠彦、LSI パッチクランプシステムの周波数特性評価用微小電流パルス回路、再生可能集積システム研究会、2016年10月29日、慶應義塾大学日吉キャンパス来往舎 (神奈川県・横浜市)
- ② Masahiro Kubo, Taro Kosaka, Takanori Miyawaki, Kota Ito, Nobuhiko NAKANO, Variable Frequency Characteristics Multi-Channel On-Chip Patch-Clamp System Using 0.18 μ m CMOS Technology, The 2016 International Symposium on Intelligent Signal Processing and Communication Systems, 2016年10月24日、プーケット (タイ)

- ③ 伊藤孝太、四ッ田大樹、久保勝弘、高坂太郎、宮脇貴統、中野誠彦、微小信号増幅回路評価における電源雑音に関する考察、第42回アナログRF研究会、2015年11月24日、中央大学後楽園校舎 (東京都・文京区)
- ④ Masahiro Kubo, Hiroki Yotsuda, Taro Kosaka, Nobuhiko NAKANO, A Design of Transimpedance Amplifier Using OTA as a Feedback Resistor for Patch-Clamp Measurement System, The 2015 International Symposium on Intelligent Signal Processing and Communication Systems, 2015年11月9日、バリ (インドネシア)
- ⑤ Nobuhiko NAKANO, A design of multi channel neural recording low-noise low-power amplifier, The 6th International Conference on Integrated Circuits, Design, and Verification, 2015年8月10日、ホーチミン (ベトナム)
- ⑥ 高坂太郎、四ッ田大樹、久保勝弘、中野誠彦、オンチップパッチクランプシステム用寄生容量補償回路、LSI とシステムワークショップ 2015、2015年5月11日、九州国際会議場 (福岡県・北九州市)
- ⑦ Hiroki Yotsuda, Takuya Kawashima, Nobuhiko NAKANO, A Design of I-V Converter for Measurement of Ion Current in Analyzing Lipid Bilayer Membrane, 2014 International Conference on Analog VLSI Circuits, 2014年10月22日、ホーチミン (ベトナム)
- ⑧ 中野誠彦、ブレインマシンインタフェース実現に向けた生体信号取得 LSI 設計、第27回 回路とシステムワークショップ、2014年8月4日、淡路島夢舞台国際会議場 (兵庫県・淡路市)
- ⑨ 川島拓也、四ッ田大樹、中野誠彦、微小電流測定用オンチップ I-V コンバータ、第36回アナログRF研究会、2014年7月26日、屋久島環境文化村センター (鹿児島県・屋久島町)

[その他]

ホームページ等

<http://www.nak.elec.keio.ac.jp/research/theme.html#BMI>

6. 研究組織

(1) 研究代表者

中野誠彦 (NAKANO, Nobuhiko)

慶應義塾大学・理工学部・准教授

研究者番号：40286638

(2) 研究分担者

なし

研究者番号：

(3) 連携研究者

榎村吉晃 (KASHIMURA, Yoshiaki)

日本電信電話株式会社 NTT 物性科学基礎研究所・機能物質科学研究部・主任研究員

研究者番号：90393751