# 科研費

# 科学研究費助成事業 研究成果報告書

平成 29 年 6 月 6 日現在

機関番号: 32689

研究種目: 基盤研究(C)(一般)

研究期間: 2014~2016

課題番号: 26420323

研究課題名(和文)組み合わせ論的および数理計画論的高位レベル合成手法の研究

研究課題名(英文)Study of combinatorial and mathematical programming methods for high level synthesis

#### 研究代表者

吉村 猛 (Yoshimura, Takeshi)

早稲田大学・理工学術院(情報生産システム研究科・センター)・教授

研究者番号:80367177

交付決定額(研究期間全体):(直接経費) 3,700,000円

研究成果の概要(和文):システムLSIの高位レベル合成に関する研究開発を行った。まず、スケジューリング問題では、動的電力最適化問題に対して数理計画法とグラフ理論の組合せによる手法を提案した。漏れ電力最適化では、上記手法の一部修正と後処理の追加による手法を提案した。いずれの問題でも、ほとんどの問題で最適解を得た。ポート割り当て問題では、部分解空間を考慮した局所最適解の回避手法、処理時間の短縮手法を提案し、すべての評価データについて最適解を得た。3次元LSI用TSV割り当問題では、階層設計手法により、解の品質を低下させることなく、問題の規模を削減する手法を提案し、従来手法にくらべ計算時間を約1/38にする結果を得た。

研究成果の概要(英文): The research on high level synthesis of system LSI were conducted. First, in the scheduling problem, a method based on a combination of mathematical programming and graph theory was proposed for the dynamic power optimization problem. For leakage power optimization problem, a method with the modifications of the above method and additional post-processing were proposed. In both problems, optimal solutions were obtained in most cases. In the port assignment problem, a method to avoid local optimal solutions considering sub-solution space and a method to reduce processing time were proposed. Optimal solutions were obtained for all the evaluation data. In the TSV assignment problem for three-dimensional LSI, a method to reduce the scale of the problem without sacrificing the solution quality was proposed based on a hierarchical design method. The CPU time was reduced to about 1/38 of the conventional methods.

研究分野: 工学

キーワード: 高位レベル合成 低消費電力化 TSV スケジューリング 最適化

#### 1.研究開始当初の背景

高位レベル合成とは, C 言語などによる回 路の動作記述から,それを実現する回路構造 を自動生成するものである.VLSIの設計は, 高位レベル設計,論理設計,レイアウト設計 という順に行われるが、論理設計以降の過程 は自動化システムが実用化され広く普及し ていた。一方、高位レベル合成は多くのメリ ットがあることから、米国を中心に数多くの 研究がなされ、日本でも製品化されていたが、 既存の商用システムの利用は、一部先進ユー ザに留まっていた。

その主な原因として、いくつか考えられる が、なかでも、高位レベル設計の規模が設計 者でも手におえる範囲にあることから、人手 設計と同等以上の品質の回路を生成するこ とが求められる。このような状況のもと、設 計対象の大規模化に加え、映像/画像処理など アルゴリズム重視のアプリケーションが増 加し、従来の RTL ベースの設計が限界に近 づいてきていた。そのため、高品質の解を生 成する高位レベル設計自動化システムの要 求が高まっていた。

#### 2.研究の目的

高性能の高位レベル設計における代表的 な二つの問題、スケジューリング問題とリソ - ス割り当て問題について、効率的なアルゴ リズムを開発することにより、VLSI の低消 費電力化への対応を行う。高位レベル設計に おける低消費電力設計について、まずスケジ ューリング問題に対する最適化手法を検討

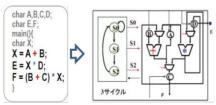


図1 高位レベル合成

する。次に、リソース割り当て問題の一つで あるポート割り当て問題について、高い確率 で最適解を得るための手法を検討する。そし て、これらに手法により、高位レベル設計の 効率化を実現することを目的とする。

#### 3.研究の方法

- (1) 設計自動科関係の代表的な国際会議へ の参加および国内外大学関係者、国内企業研 究者との技術交流を通じて、最先端技術情報 を収集した。
- (2) 保有技術、新規技術を基に、最適設計の ための新アルゴリズムの開発を行った。特に、 フロー問題を中心とするグラフ・ネットワー ク理論、線形計画法のグラフ理論的解法など、 数理計画法の応用に重点を置いた。

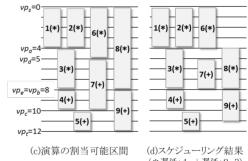
#### 4. 研究成果

(1)電源電圧調整による動的電力最適化スケジ ューリング手法

回路の動的電力は電源電圧の2乗に比例す る。そのため電源電圧をさげれば、動的電力 は減少するが遅延時間が増加する。本研究で は、各演算器の電源電圧を調整することによ り、指定された要求性能のもとで動的電力を 最小化する手法の研究を行った。

この問題では、動的電力のみを最小化した 場合、必要な演算器のリソースが増加するこ とがあるため、目的関数として動的電力と使 用リソースの重み付きの和を設定した。

この目的関数は電力とリソースという相 異なる性質を持つ値を扱うため、問題の定式 化における工夫を行った。まず、動的電力に 関して、入力は各電源電圧ごとの演算器の遅 延と消費電力の特性であるが、ここでは処理 の高速化のため消費電力の遅延時間の区分 線形関数で定義した。一方、演算リソースに ついては、正確なリソース数の評価はスケジ ューリングアルゴリズムで行うため、最適化 の処理中で評価するのは難しい。そこで、代 わりに時間帯ごとのリソース数の期待値を 用て概略の評価を行い、目的関数の改善が期 待できる場合のみ、スケジュールングアルゴ リズムを実行して正確な評価を行った。また、 目的関数が二つの項からなるため、両者を-元的に表現する制御変数として、節点ポテン シャルを導入した。これにより、問題を区分



(\*遅延:4、+遅延:2、3)

図2 スケジューリング問題と制御変数

線形計画問題として定式化し、シンプレック ス法による動的電力最適化とリストスケジ ューリング法によるリソースの評価を組み 合わせて解くことが可能とした。さらに、熟 練設計者と同等以上の設計品質を目指すた め、Multi- Start Local Search 手法を用い て、与えられた時間内にできるだけ多く(通 常、100 個)の局所最適解を生成し、そのな かで最良なものを選ぶ手法を採用した。また、 この処理では、できるだけ多くの局所最適解 を生成するため、処理時間の高速化が重要と なるが、本研究ではシンプレックス法のグラ フ理論的解法による高速化手法をあわせて

提案した。これらの提案により、計算機実験で、使用したすべての標準メンチマークデータに対して、最適解を 1 秒以下で求めることができた(表 1)。

表 1 動的電力最適化スケジューリングの実験結果

					OU	RS						ILP				
DFG	Tcon	# of itr.	$P_{dy}$ $(\mu W)$	4d*	3d*	2d*	3d+	2d+	1d+	$P_{dy}$ $(\mu W)$	4d*	3d*	2d*	3d+	2d+	1d+
	47	5	68664	1	2	3	0	1	2	68664	1	2	3	0	1	2
ad2	70	5	23463	2	3	1	2	0	0	23463	2	3	1	2	0	0
	94	5	15385	3	1	0	2	1	0	15385	3	1	0	2	1	0
ae	72	10	52747	2	1	2	1	1	2	52747	2	1	2	1	1	2
	90	50	26815	1	2	1	1	2	0	NA	NA	-	-	1-	-	
	108	50	20374	3	1	0	2	1	0	NA	NA	-	-	-	-	
	13	50	18380	4	0	4	1	-0	2	18380	4	0	4	1	0	2
ar	16	100	9524	2	4	0	1	2	2	9524	2	4	0	1	2	2
	19	100	7636	4	0	0	1	2	0	7636	4	0	0	1	2	0
	7	50	6030	1	1	2	1	1	1	6030	1	1	2	1	1	1
diff	9	50	3138	2	2	0	1	1	1	3138	2	2	0	1	1	1
	11	100	2666	3	0	0	1	1	0	2666	3	0	0	1	1	0
	25	20	47850	1	1	3	0	2	2	47850	1	1	3	0	2	2
ellip	30	20	29777	2	2	1	1	2	0	29777	2	2	1	1	2	0
	35	50	10925	4	1	0	2	0	0	10925	4	1	0	2	0	0
	36	5	16451	1	0	1	1	1	2	16451	1	0	1	1	1	2
mpeg	42	50	10826	1	0	1	1	2	1	NA	NA	-	-	-	-	
	50	50	8697	1	1	0	2	2	0	NA	NA	-	-	-	-	
fft	24	100	22329	4	6	2	6	8	4	22329	4	6	2	6	8	4
	30	100	17516	5	4	1	9	5	1	NA	NA	-	-	-	~	
	36	100	15841	7	2	0	10	2	0	NA	NA	-		1-	-	
AVG			1.0							1.0						

# (2) 閾値電圧調整による漏れ電力最適化スケジューリング手法

演算器は閾値電圧を高くすると漏れ電力は減少するが遅延が増加し、低くするとその逆になる。そこで、各演算器の閾値電圧を調整することにより、指定された性能のもとで、漏れ電力を最小化するためのスケジューリング手法の検討を行った。

漏れ電力最適化問題は上述の動的電力最適 化問題に対し類似点と相違点が存在する。ま ず、類似点としては、いずれの問題とも、目 的関数の最適化する上で、できるだけ遅延の 大きい演算子を選ぶこと、およびリソース数 を最小化することが有利であることがある。 一方、相違点としては、動的電力は演算子が 動作状態のときのみ発生するが、漏れ電力は 動作状態に関係なく全時間帯で発生する とがある。これらの理由から、本研究では上 述の動的電力削減手法に以下の修正を加え ることで、漏れ電力削減を行った。

動的電力と漏れ電力の発生条件から、各演 算器の稼働率(動作中の割合)の逆数を各 演算器に重みとして付加する。

遅延と消費電力特性として、遅延時間と漏れ電力の関係を用いる。

漏れ電力はリソース数に比例するため、目的関数のリソースの重みを大きくする。

後処理として、各演算器を遅延のより小さ い演算器に置き換えリソース数の共有を はかることで漏れ電力の削減を行う。

計算機実験で、本手法と最近の既存手法を比較した結果、漏れ電力は約 20%削減でき、計算時間は約 1/52 にできることがわかった(表 2)。また ILP との比較による最適性の評価は行っていないが、標準ベンチマークデー

タの場合、生成する局所最適解の数を 1000 以上に設定して評価した結果から判断する と、ほとんどの場合最適解が得られていると 考えられる。一方、ランダムに生成したより 大規模なデータ (rand0~rand2)では最適性 の保証はないが、既存手法に比べ、計算時間

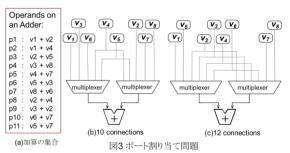
DFG	Tcon	OURS									BCGS							
							$P_{ly}$ $(\mu W)$	Cmp	time (ms)	Cmp	AL	lvt	hut	IL lvt	$P_{ly}$ $(\mu W)$	Cmp	time (ms)	Cmp
	47	5	0	2	0	3	1132.2	1,000	0.70	0.017	0	2	0	3	1132.2	1,000	7400	176+
ad2	70	10	0	1	3	0	242.3	0.273	1.30	0.022	0	1	1	1	458.2	0,515	190200	3279
	94	10	1	0	2	0	61.9	0.248	1.71	0.035	1	0	2	0	61.9	0.248	303600	6195
ae	72	10	0	1	1	1	458.2	0.532	2.62	0.006	2	0	3	1	367.1	0.426	1770	3.91
	90	200	1	1	3	0	249.4	0.544	46.42	0.112	1	1	3	0	249.4	0.544	1902	4.57
	108	100	1	0	2	0	61.9	0.241	18.31	0.046	3	0	2	0	76.1	0.297	3954	9.89
ar	13	50	0	2	4	2	971.1	0.611	0.52	0.005	0	2	0	4	1402.9	0.882	239	2.08
	16	200	0	2	4	0	429.7	0.285	15.96	0.126	0	2	5	0	457.1	0.303	402	2.98
	19	200	2	0	4	0	123.8	0.154	12.99	0.091	2	0	4	0	123.8	0.154	393	2.75
diff	7	50	0	1	3	1	513.0	0.795	1.08	0.030	0	1	3	1	513.0	0.795	38	1.06
	9	100	0	1	3	0	242.3	0.529	2.13	0.061	0	1	3	0	242.3	0.529	52	1.49
	11	250	2	0	2	0	69.0	0.269	5.65	0.138	2	0	3	0	96.4	0.376	54	1.32
mpeg	36	5	1	2	1	1	625.3	0.698	0.61	0.002	1	2	1	1	625.3	0.698	31800	91.12
	42	50	2	2	1	0	361.7	0.554	6.09	0.019	2	2	2	0	382.0	0.585	57400	181.1
	50	200	1	1	1	0	194.6	1.000	27.95	0.070	2	1	1	0	201.7	1.037	209800	521.9
fft	24	200	6	3	6	0	687.2	0.233	262.40	0.020	6	4	5	2	1361.3	0.462	5992	0.45.
	30	100	9	1	5	0	361.0	0.157	134.81	0.011	9	4	8	1	1194.1	0.520	7458	0.58
	36	100	6	1	4	0	312.3	0.269	90.30	0.006	10	2	9	0	637.8	0.549	12083	0.83
rand0	20	100	7	2	4	1	750.2	0.491	40.66	0.019	11	2	5	1	806.0	0.527	3125	1.842
	25	200	7	1	4	0	319.4	0.259	98.56	0.044	9	1	3	1	577.0	0.467	4014	1.80
	30	200	6	0	3	0	124.9	0.111	116.76	0.042	7	0	4	0	159.4	0.142	4841	1.76
rand1	23	200	12	3	4	0	675.1	0.307	211.98	0.020	8	6	8	0	1236.4	0.563	7800	0.73
	28	50	11	1	4	0			65.56		15	3	6	0	751.2	0.385	11219	1.059
	33	50	9	1	3	0	306.2	0.198	83.26	0.007	16	1	4	0	383.4	0.247	14185	1.23
rand2	36	10	40	3	13	1			170.24		51	7	20	1			432211	0.48
		50	32	1	10	0			693.58		42	3	15	2	1731.2	0.268	564703	0.62
	54	50	26	0	8	0	404.1	0.106	770.99	0.001	43	0	13	0	661.9	0.173	635786	0.61
A'	VG2	(con	nna	re i	o B	CC	(8)	0.796		0.019						1.000		1.000

が大幅に短縮されていることがわかる。

表 2 漏れ電力最適化スケジューリングの実験結果

#### (3)ポート割当最適化手法

図3(a)に示すように一つの加算器で複数の 加算を行う場合、マルチプレクサを通して各 変数(レジスタ)を加算器のいずれかのポート



に接続する必要があるが、その巧拙により、必要なHW資源に差が生じる。例えば図3(b)、図3(c)はいずれも図3(a)の演算を実行するための接続例であるが、図3(b)が接続も少なく、マルチプレクサの入力端子数も小さい。ポート割り当て問題は、マルチプレクサへの接続数を最小化するようレジスタと演算器の間の接続を決定する問題である。、これは、両方のポートにつながる変数(レジスタ)を最小にることと等価である(図3)。

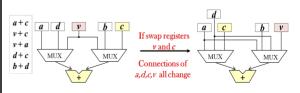


図4ポート割り当て問題の局所変換

本研究では、この問題の最適解を高い確率で発見する手法を検討する。そのため、局所最適解に陥る可能性をできるだけ減らす手法として、部分解空間の考え方に基づく最適化手法を検討する(図5)。

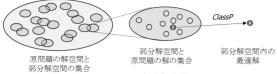


図5 部分解空間

この部分解空間は、原問題の解の部分集合とし、その評価値をその中の最適解の値とする。これは、原問題で解から解に移動する逐次改良のモデル(図 4)では局所最適解に陥る可能性が高くても、部分解空間から部分解空間へと移動する逐次改良モデルでは、局所最適解に陥る可能性が減少するという発想に基づく(図 6)。

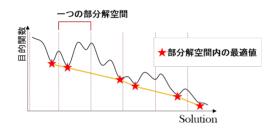
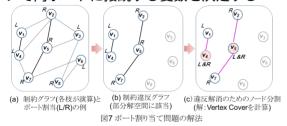


図6部分解空間における逐次改良

この考え方に基づき、ポート割り当て問題に対して次の3ステップからなるアルゴリズムを提案した。( )各加算を枝で表現した制約グラフの構築、( )制約違反の枝(両端が同一ポート)数を最小化、( )グラフの基本的な問題である Vertex Cover 問題を解いて両ポートに接続する変数を決定する



この場合、図 7(b)の Vertex Cover 集合が部分解空間の解の集合、図 7(c)の minimum vertex cover が部分解空間内の最適解に相当する。また、図7(a)のポート割り当てはグラフ上で適当な木を考え、木枝の両端の節点に異なるポートを割り当てることで決定する。そして、最適化の処理は、まず、適当な木をランダムに生成し、木の初等変換により、木の構造を変化させながら解の改良を行う方法を提案した。

ただ、multi-start local search を行う場合、木の初等変換の処理が高速化の障害となる。そこで、本問題が、通常の線形計画問題で加算演算のかわりに排他的論理和演算子⊕

を用いた形式で定式化できることを発見し、 Simplex 法をベースとする行列処理による高 速処理法を提案した。

計算機実験では、代表的なベンチマークデータに対して、木の変換に基づく手法は既存手法にくらべ接続数、消費電力、回路規模をそれぞれ約3%,4%,4.7%削減する結果が得られた。さらに、行列処理による手法は木の変換手法にくらべ計算時間を1/3.7に短縮できることがわかった。また、multi-start local search手法により局所最適解を最大100個生成することで99%以上の確率で最適解が得られることがわかった。

# (4)3 次元 LSI 用 TSV 割り当て最適化手法

TSV(Through Silicon VIa)の割り当ては3次元LSIの設計に欠かせない処理となっている。従来、この問題は3次元LSIをモデル化したネットワークにおける整数型多種フロー問題として定式化する手法が提案されている。ところが、この手法では、フローが存在する可能性のあるすべの枝を考慮するため、実用的な規模のデータに対して、枝数が容易に数百万の規模になるという問題点が容易に数百万の規模になるという問題点があった。そこで、本研究では、マルチレベル最適化手法を用いて、フローが存在する可能性が一定以上の枝だけ考慮することで、解の品質を保ったまま枝数の削減を行う手法を提案する。

与えられたネットワークのノードのクラスタリングを階層的に繰り返し、クラスタ数が一定値以下に減らす。

クラスタ間の枝を生成し、整数型多種フローを計算する

フローが流れている枝を "promising edge"と考え、その枝に対応する直下の階層の枝を生成する。最下層でなければに戻る。

この手法では、階層的にフローを計算することにより、ある階層での枝の設定を行う場合、一つ上の階層での対応枝のフローの有無によって判断を行っている。これにより、有望枝のみ考慮することで、処理の効率化を図っている。さらに、解の品質を保つため、多種フローと1種フローが混在したフロー問題の解法、マッチング問題を拡張した不法によって解を改良する手法を提案した。

計算機実験では既存手法にくらべ、配線長を約6%削減し、計算時間を約1/38に短縮できる結果が得られた。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者に は下線)

# [雑誌論文](計 5件)

Cong Hao, Nan Wang, <u>Takeshi Yoshimura</u>: "A Unified Scheduling Approach for Power and Resource Optimization with Multiple V-dd or/and V-th in High Level Synthesis", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 14 pages, January 2017, 查読有DOI: 10.1109/TCAD.2017.2661830

Cong Hao, <u>Takeshi Yoshimura</u>: "An Efficient Multi-Level Algorithm for 3D-IC TSV Assignment", IEICE TRANSACTIONS on Fundamentals of Electronics Communications and Computer Sciences, Vol.E100.A, No.3, pp.776-784, March 2017, 查読有

DOI: 10.1587/transfun.E100.A.776

Cong Hao, Jian-Mo Ni, Nan Wang, <u>Takeshi</u> <u>Yoshimura</u>: "Interconnection Allocation Between Functional Units and Registers in High-Level Synthesis", IEEE Transactions on Very Large Scale Integration Systems, Vol.:25, Issue:3, pp.1140-1153, March 2017, 查読有

DOI: 10.1109/TVLSI.2016.2607758

Nan Wang, Wei Zhong, Cong Hao, Song Chen, Takeshi Yoshimura, Yu Zhu: "Leakage-Power-Aware Scheduling With Dual-Threshold Voltage Design", IEEE Transactions on Very Large Scale Integration Systems, Vol.:24, Issue:10, pp.3067-3079, Oct. 2016, 查読有 DOI: 10.1109/TVLSI.2016.2535221

Nan Wang, Song Chen, Cong Hao, Haoran Zhang, <u>Takeshi Yoshimura</u>: "Leakage Power Aware Scheduling in High-Level Synthesis", IEICE TRANSACTIONS on Fundamentals of Electronics Communications and Computer Sciences, VOL.E97-A, NO.4, pp.940-951, April 2014, 查読有

DOI: 10.1587/transfun.E97.A.940

#### [学会発表](計 8件)

Jiayi Ma, Cong Hao, Takeshi Yoshimura: "Power-efficient Partitioning and Cluster Generation Design for Applicati- on Specific Network-on-Chip", ISOCC 2016: 13th International Soc Design Conference, pp.83-84, October 2016, Korea, 查読有 Cong Hao, Takeshi Yoshimura: "Economical Smart Home Scheduling for Single and Multiple Users", 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), pp.1-4, October 2016, 査読有

Hui Zhu, Cong Hao, <u>Takeshi Yoshimura</u>: "Thermal-Aware Floorplanning for NoC-Sprinting", 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), pp.1-4, October 2016, 查読有
Cong Hao, Nan Ding, Takeshi Yoshimura:

Cong Hao, Nan Ding, <u>Takeshi Yoshimura</u>:
"An Efficient Algorithm for 3D-IC TSV
Assignment", 2016 14th IEEE
International NEWCAS Conference,
pp.1-4, June 2016, 查読有

Cong Hao, <u>Takeshi Yoshimura</u>: "EACH: An Energy-Efficient High-Level Synthesis Framework for Approximate Computing", 2nd Workshop On Approximate Computing (WAPCO 2016), Jan. 2016

Cong Hao, Jian-Mo Ni, Hui-Tong Wang and Takeshi Yoshimura: "Simultaneous Scheduling and Binding For Resource Usage and Interconnect Complexity Reduction in High-Level Synthesis", 2015 IEEE 11th International Conference on ASIC (ASICON) pp. 1-4. July 2015 Jian-Mo Ni, Qian Ai, Cong Hao, Takeshi Yoshimura, Nan Wang: "Primal-Dual Method based Simultaneous Functional Unit and Register Binding", 2015 IEEE 10th International Conference on ASIC (ASICON) pp. 1-4. July 2015

Cong Hao, Nan Wang, Jian-Mo Ni, <u>Takeshi Yoshimura</u>: "An Efficient Tabu Search Methodology for Port Assignment Problem in High-Level Synthesis", IWLS 2015: 24th International Workshop on Logic & Synthesis, June 2015

# 6. 研究組織

# (1)研究代表者

吉村 猛 (Yoshimura Takeshi) 早稲田大学大学院・情報生産システム研究 科・教授 研究者番号:80367177

(2)研究分担者 無し

# (3)連携研究者 無し