

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 6 日現在

機関番号：32689

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26420323

研究課題名(和文) 組み合わせ論的および数理計画論的高位レベル合成手法の研究

研究課題名(英文) Study of combinatorial and mathematical programming methods for high level synthesis

研究代表者

吉村 猛 (Yoshimura, Takeshi)

早稲田大学・理工学術院(情報生産システム研究科・センター)・教授

研究者番号：80367177

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：システムLSIの高位レベル合成に関する研究開発を行った。まず、スケジューリング問題では、動的電力最適化問題に対して数理計画法とグラフ理論の組合せによる手法を提案した。漏れ電力最適化では、上記手法の一部修正と後処理の追加による手法を提案した。いずれの問題でも、ほとんどの問題で最適解を得た。ポート割り当て問題では、部分解空間を考慮した局所最適解の回避手法、処理時間の短縮手法を提案し、すべての評価データについて最適解を得た。3次元LSI用TSV割り当て問題では、階層設計手法により、解の品質を低下させることなく、問題の規模を削減する手法を提案し、従来手法にくらべ計算時間を約1/38にする結果を得た。

研究成果の概要(英文)：The research on high level synthesis of system LSI were conducted. First, in the scheduling problem, a method based on a combination of mathematical programming and graph theory was proposed for the dynamic power optimization problem. For leakage power optimization problem, a method with the modifications of the above method and additional post-processing were proposed. In both problems, optimal solutions were obtained in most cases. In the port assignment problem, a method to avoid local optimal solutions considering sub-solution space and a method to reduce processing time were proposed. Optimal solutions were obtained for all the evaluation data. In the TSV assignment problem for three-dimensional LSI, a method to reduce the scale of the problem without sacrificing the solution quality was proposed based on a hierarchical design method. The CPU time was reduced to about 1/38 of the conventional methods.

研究分野：工学

キーワード：高位レベル合成 低消費電力化 TSV スケジューリング 最適化

1. 研究開始当初の背景

高位レベル合成とは、C言語などによる回路の動作記述から、それを実現する回路構造を自動生成するものである。VLSIの設計は、高位レベル設計、論理設計、レイアウト設計という順に行われるが、論理設計以降の過程は自動化システムが実用化され広く普及していた。一方、高位レベル合成は多くのメリットがあることから、米国を中心に数多くの研究がなされ、日本でも製品化されていたが、既存の商用システムの利用は、一部先進ユーザに留まっていた。

その主な原因として、いくつか考えられるが、なかでも、高位レベル設計の規模が設計者でも手におえる範囲にあることから、人手設計と同等以上の品質の回路を生成することが求められる。このような状況のもと、設計対象の大規模化に加え、映像/画像処理などアルゴリズム重視のアプリケーションが増加し、従来のRTLベースの設計が限界に近づいてきていた。そのため、高品質の解を生成する高位レベル設計自動化システムの要求が高まっていた。

2. 研究の目的

高性能の高位レベル設計における代表的な二つの問題、スケジューリング問題とリソース割り当て問題について、効率的なアルゴリズムを開発することにより、VLSIの低消費電力化への対応を行う。高位レベル設計における低消費電力設計について、まずスケジューリング問題に対する最適化手法を検討

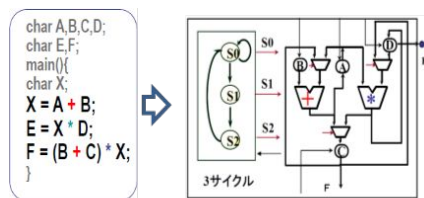


図1 高位レベル合成

する。次に、リソース割り当て問題の一つであるポート割り当て問題について、高い確率で最適解を得るための手法を検討する。そして、これらに手法により、高位レベル設計の効率化を実現することを目的とする。

3. 研究の方法

(1) 設計自動科関係の代表的な国際会議への参加および国内外大学関係者、国内企業研究者との技術交流を通じて、最先端技術情報を収集した。

(2) 保有技術、新規技術を基に、最適設計のための新アルゴリズムの開発を行った。特に、フロー問題を中心とするグラフ・ネットワーク理論、線形計画法のグラフ理論的解法など、数理計画法の応用に重点を置いた。

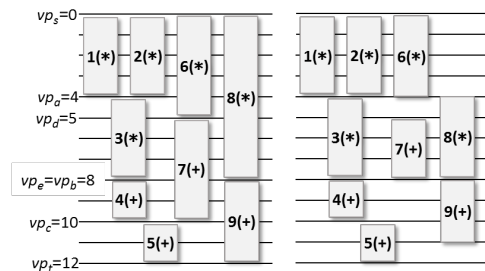
4. 研究成果

(1) 電源電圧調整による動的電力最適化スケジューリング手法

回路の動的電力は電源電圧の2乗に比例する。そのため電源電圧を下げれば、動的電力は減少するが遅延時間が増加する。本研究では、各演算器の電源電圧を調整することにより、指定された要求性能のもとで動的電力を最小化する手法の研究を行った。

この問題では、動的電力のみを最小化した場合、必要な演算器のリソースが増加することがあるため、目的関数として動的電力と使用リソースの重み付きの和を設定した。

この目的関数は電力とリソースという相異なる性質を持つ値を扱うため、問題の定式化における工夫を行った。まず、動的電力に関して、入力は各電源電圧ごとの演算器の遅延と消費電力の特性であるが、ここでは処理の高速化のため消費電力の遅延時間の区分線形関数で定義した。一方、演算リソースについては、正確なリソース数の評価はスケジューリングアルゴリズムで行うため、最適化の処理中で評価するのは難しい。そこで、代わりに時間帯ごとのリソース数の期待値を用いて概略の評価を行い、目的関数の改善が期待できる場合のみ、スケジューリングアルゴリズムを実行して正確な評価を行った。また、目的関数が二つの項からなるため、両者を一元的に表現する制御変数として、節点ポテンシャルを導入した。これにより、問題を区分

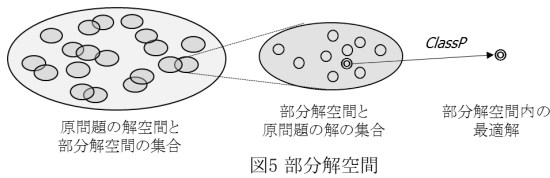


(c)演算の割当可能区間 (d)スケジューリング結果 (*遅延:4、+遅延:2、3)

図2 スケジューリング問題と制御変数

線形計画問題として定式化し、シンプレックス法による動的電力最適化とリストスケジューリング法によるリソースの評価を組み合わせることで解くことが可能とした。さらに、熟練設計者と同等以上の設計品質を目指すため、Multi-Start Local Search 手法を用いて、与えられた時間内にできるだけ多く(通常、100個)の局所最適解を生成し、そのなかで最良なものを選ぶ手法を採用した。また、この処理では、できるだけ多くの局所最適解を生成するため、処理時間の高速化が重要となるが、本研究ではシンプレックス法のグラフ理論的解法による高速化手法をあわせて

本研究では、この問題の最適解を高い確率で発見する手法を検討する。そのため、局所最適解に陥る可能性をできるだけ減らす手法として、部分解空間の考え方に基づく最適化手法を検討する(図5)。



この部分解空間は、原問題の解の部分集合とし、その評価値をその中の最適解の値とする。これは、原問題で解から解に移動する逐次改良のモデル(図4)では局所最適解に陥る可能性が高くても、部分解空間から部分解空間へと移動する逐次改良モデルでは、局所最適解に陥る可能性が減少するという発想に基づく(図6)。

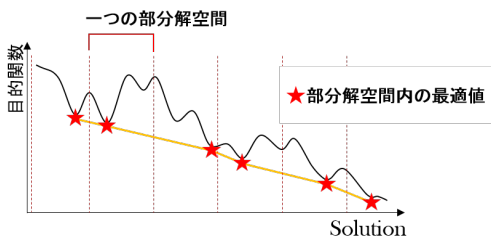


図6 部分解空間における逐次改良

この考え方に基づき、ポート割り当て問題に対して次の3ステップからなるアルゴリズムを提案した。()各加算を枝で表現した制約グラフの構築、()制約違反の枝(両端が同一ポート)数を最小化、()グラフの基本的な問題である Vertex Cover 問題を解いて両ポートに接続する変数を決定する

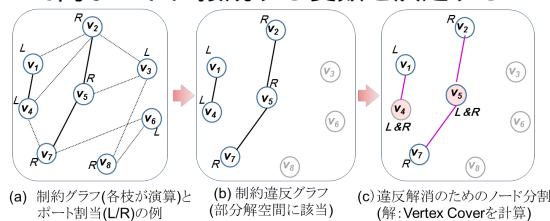


図7 ポート割り当て問題の解法

この場合、図7(b)の Vertex Cover 集合が部分解空間の解の集合、図7(c)の minimum vertex cover が部分解空間内の最適解に相当する。また、図7(a)のポート割り当てはグラフ上で適当な木を考え、木枝の両端の節点に異なるポートを割り当てることで決定する。そして、最適化の処理は、まず、適当な木をランダムに生成し、木の初等変換により、木の構造を変化させながら解の改良を行う方法を提案した。

ただ、multi-start local search を行う場合、木の初等変換の処理が高速化の障害となる。そこで、本問題が、通常の線形計画問題で加算演算のかわりに排他的論理和演算子 \oplus

を用いた形式で定式化できることを発見し、Simplex 法をベースとする行列処理による高速処理法を提案した。

計算機実験では、代表的なベンチマークデータに対して、木の変換に基づく手法は既存手法に比べ接続数、消費電力、回路規模をそれぞれ約3%、4%、4.7%削減する結果が得られた。さらに、行列処理による手法は木の変換手法に比べ計算時間を1/3.7に短縮できることがわかった。また、multi-start local search 手法により局所最適解を最大100個生成することで99%以上の確率で最適解が得られることがわかった。

(4)3次元LSI用TSV割り当て最適化手法

TSV(Through Silicon Via)の割り当ては3次元LSIの設計に欠かせない処理となっている。従来、この問題は3次元LSIをモデル化したネットワークにおける整数型多層フロー問題として定式化する手法が提案されている。ところが、この手法では、フローが存在する可能性のあるすべての枝を考慮するため、実用的な規模のデータに対して、枝数が容易に数百万の規模になるという問題点があった。そこで、本研究では、マルチレベル最適化手法を用いて、フローが存在する可能性が一定以上の枝だけ考慮することで、解の品質を保ったまま枝数の削減を行う手法を提案する。

与えられたネットワークのノードのクラスタリングを階層的に繰り返し、クラスタ数が一定値以下に減らす。

クラスタ間の枝を生成し、整数型多層フローを計算する

フローが流れている枝を "promising edge" と考え、その枝に対応する直下の階層の枝を生成する。最下層でなければ戻る。

この手法では、階層的にフローを計算することにより、ある階層での枝の設定を行う場合、一つ上の階層での対応枝のフローの有無によって判断を行っている。これにより、有望枝のみ考慮することで、処理の効率化を図っている。さらに、解の品質を保つため、多層フローと1層フローが混在したフロー問題の解法、マッチング問題を拡張した不法によって解を改良する手法を提案した。

計算機実験では既存手法に比べ、配線長を約6%削減し、計算時間を約1/38に短縮できる結果が得られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 5件)

Cong Hao, Nan Wang, Takeshi Yoshimura: "A Unified Scheduling Approach for Power and Resource Optimization with Multiple V-dd or/and V-th in High Level Synthesis", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 14 pages, January 2017, 査読有
DOI: 10.1109/TCAD.2017.2661830

Cong Hao, Takeshi Yoshimura: "An Efficient Multi-Level Algorithm for 3D-IC TSV Assignment", IEICE TRANSACTIONS on Fundamentals of Electronics Communications and Computer Sciences, Vol.E100.A, No.3, pp.776-784, March 2017, 査読有
DOI: 10.1587/transfun.E100.A.776

Cong Hao, Jian-Mo Ni, Nan Wang, Takeshi Yoshimura: "Interconnection Allocation Between Functional Units and Registers in High-Level Synthesis", IEEE Transactions on Very Large Scale Integration Systems, Vol.:25, Issue:3, pp.1140-1153, March 2017, 査読有
DOI: 10.1109/TVLSI.2016.2607758

Nan Wang, Wei Zhong, Cong Hao, Song Chen, Takeshi Yoshimura, Yu Zhu: "Leakage-Power-Aware Scheduling With Dual-Threshold Voltage Design", IEEE Transactions on Very Large Scale Integration Systems, Vol.:24, Issue:10, pp.3067-3079, Oct. 2016, 査読有
DOI: 10.1109/TVLSI.2016.2535221

Nan Wang, Song Chen, Cong Hao, Haoran Zhang, Takeshi Yoshimura: "Leakage Power Aware Scheduling in High-Level Synthesis", IEICE TRANSACTIONS on Fundamentals of Electronics Communications and Computer Sciences, VOL.E97-A, NO.4, pp.940-951, April 2014, 査読有
DOI: 10.1587/transfun.E97.A.940

[学会発表](計 8件)

Jiayi Ma, Cong Hao, Takeshi Yoshimura: "Power-efficient Partitioning and Cluster Generation Design for Application Specific Network-on-Chip", ISOC 2016 : 13th International Soc Design Conference, pp.83-84, October 2016, Korea, 査読有

Cong Hao, Takeshi Yoshimura: "Economical Smart Home Scheduling for Single and Multiple Users", 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), pp.1-4, October 2016, 査読有

Hui Zhu, Cong Hao, Takeshi Yoshimura: "Thermal-Aware Floorplanning for NoC-Sprinting", 2016 IEEE 59th

International Midwest Symposium on Circuits and Systems (MWSCAS), pp.1-4, October 2016, 査読有

Cong Hao, Nan Ding, Takeshi Yoshimura: "An Efficient Algorithm for 3D-IC TSV Assignment", 2016 14th IEEE International NEWCAS Conference, pp.1-4, June 2016, 査読有

Cong Hao, Takeshi Yoshimura: "EACH: An Energy-Efficient High-Level Synthesis Framework for Approximate Computing", 2nd Workshop On Approximate Computing (WAPCO 2016), Jan. 2016

Cong Hao, Jian-Mo Ni, Hui-Tong Wang and Takeshi Yoshimura: "Simultaneous Scheduling and Binding For Resource Usage and Interconnect Complexity Reduction in High-Level Synthesis", 2015 IEEE 11th International Conference on ASIC (ASICON) pp. 1-4. July 2015

Jian-Mo Ni, Qian Ai, Cong Hao, Takeshi Yoshimura, Nan Wang: "Primal-Dual Method based Simultaneous Functional Unit and Register Binding", 2015 IEEE 10th International Conference on ASIC (ASICON) pp. 1-4. July 2015

Cong Hao, Nan Wang, Jian-Mo Ni, Takeshi Yoshimura: "An Efficient Tabu Search Methodology for Port Assignment Problem in High-Level Synthesis", IWLS 2015: 24th International Workshop on Logic & Synthesis, June 2015

6. 研究組織

(1) 研究代表者

吉村 猛 (Yoshimura Takeshi)

早稲田大学大学院・情報生産システム研究科・教授

研究者番号 : 80367177

(2) 研究分担者

無し

(3) 連携研究者

無し