

## 科学研究費助成事業 研究成果報告書

平成 29 年 6 月 1 日現在

機関番号：37112

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26420326

研究課題名(和文)SRAM-ReRAM積層メモリの時空間ばらつきとリーク電流の削減協調設計の研究

研究課題名(英文)A Reduction Technique for Temporal-Spatial Vth Variations and Leakage in a Coordinated Manner for SRAM-ReRAM Stacked Memories

研究代表者

山内 寛行(Yamauchi, Hiroyuki)

福岡工業大学・情報工学部・教授

研究者番号：70425239

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：大規模集積回路(VLSI)の面積と動作電圧(Vdd)のスケールを継続する場合に直面する最も深刻な2つの課題：(1) 閾値電圧(Vt)の時空間ばらつき(Vt-RTN)と(2)リーク電流増大の問題を、「協調的に解決する事」を回路の操作、制御によって実現することの効果を(1)統計的な計算に基づいて、回復と不良確率の改善の定量化を実施(2)統計的計算を可能にしたブラインドデコンボリューションのアルゴリズムの最終検証を、対象の統計分布の形状の幅を広げ、依存性の確認も含めて実施した。提案アルゴリズムの本質である対象分布の位相を合わせる効果を確認した。

研究成果の概要(英文)：This study is to address the two critical issues facing the area and power-supply voltage Vdd scaling of the VLSI in a coordinated manner: increasing of (1) spatial and temporal threshold-voltage variations (Vt-RTN) and (2) sub-threshold leakage. To quantitatively evaluate the effectiveness of the proposed control operations for reducing the probability of multiple electron trapping status, statistical analysis tools with blind deconvolution ringing behavior avoidance techniques were developed. It is found that the key to avoid the ringing behavior is to adjust the phase of the distribution tails between the two blind deconvolution objects. The ringing behavior avoidance techniques are evaluated under wide ranges of slope of the distribution tails.

研究分野：VLSI

キーワード：SRAM ReRAM 時空間ランダムばらつき デコンボリューション

## 科学研究費助成事業 研究成果報告書

## 1. 研究開始当初の背景

リーク電流の問題を不揮発メモリへのデータ退避と頻繁な電源遮断で解決する提案が Internet of Things (IoT) 時代の電力危機の深刻化から始まっている [ISSCC2013 11.2 M.Qazi, 11.3 M.Natui 等]。一方で Random Dopant Fluctuation (RDF) 等の製造起因の  $\sigma V_t$  RDF を抑制する提案はあるが、製品出荷後に Random Telegraph Noise (RTN) 等が原因の時空間変動  $V_t$  RTN を積極的に回復させる研究報告は無く、類似の現象の NBTI の回復を議論した論文 [松本, Japanese Journal of Applied Physics. 51, 2012] 等に限定されている。 $V_t$  RTN の深刻さは既研究の  $V_t$  RDF 量を遥かに超えるペースで増加し、支配的要因として究極的に残存する点にある [竹内, Symp. on VLSI Technology 2011]。

その状況下で「電源切にすれば膨大なリーク電流が流れ、RTN 起因の  $V_t$  RTN も増大し、最低保証電圧  $V_{ddmin}$  が上昇する」という深刻な課題に直面している。

リーク遮断  $V_t$  RTN 回復 データ保持/アクセス自由度の確保の3点を協調設計し、積層した ReRAM へのデータ退避期間に SRAM 電源端子を  $V_{dd}$  と  $V_{ss}$  間で切替えて  $V_t$  RTN 回復とリーク削減の同時実現をする等、「必須3要素を協調して満足させる方式」の研究例は未だ報告が無い。さらに、ReRAM の RTN 起因の抵抗値変動 ( $R$ ) を SRAM デバイスの  $V_t$  回復と協調して回復させる研究も未だ報告が無い。

## 2. 研究の目的

閾値電圧 ( $V_t$ ) の時空間ばらつき ( $V_t$  RTN) とリーク電流増大の究極課題を、「協調的に問題解決する VLSI 協調設計」の新領域を切り拓く事を目的とする。VLSI の面積と動作電圧 ( $V_{dd}$ ) のスケリングの継続には、直面する最も深刻な2つの課題を協調して同時に解決する必要があるが未だ報告はない。

具体的には、抵抗変化型不揮発メモリ (ReRAM) にデータを退避し電源切でリーク遮断する期間に、 $V_t$  RTN を回復させ、回復状況に応じて  $V_{dd}$  を動的に制御する。同時に、予測される ReRAM の時空間抵抗ばらつき  $R$  の課題も SRAM トランジスタの  $V_t$  RTN と協調的に回復可能にする研究である。本研究を通じ「リーク電流と  $V_t$  が製品出荷

後に時間軸上で大きく変動する新たな時代」「経時で劣化・回復を繰り返す生物的な VLSI」に必要な革新的な設計研究分野を切り拓きたいと思う。

## 3. 研究の方法

本研究計画では、「リークの遮断と時空間  $\sigma V_t$  RTN の動的回復を同時に実現する事」を狙った革新的 VLSI 協調設計手法の実現可能性と有効性を物理設計レベルで実証するところまで進める。

具体的な進め方としては、機能レベルから物理的な回路レベルへ段階的に協調設計を進める。

- 1) 実証に必要な各要素機能ブロックを段階的に物理設計レベルまで推し進め、機能や回路動作確認だけでなく、パフォーマンス (面積、タミング、消費電力) を数値化する。
- 2) 各機能ブロック単独動作確認後は、リーク遮断  $V_t$  RTN の動的回復 アクセス自由度の連携動作と最適化を協調設計で進めるために上位階層のシミュレーションのモデリングとテストベンチを作成する。
- 3) 機能ブロックを統合したシステムシミュレーションにより目的の同時実現が物理的に可能か実証する。

本研究目的の実現可能性を、機能レベル (一部は回路レベル) で判断するために、機能ブロック設計、シミュレーション用モデリング設計を完了する。例えば、1) リーク遮断/RTN 起因の  $V_t$  と  $R$  の収束回復/アクセス自由度の個々の実現可能性と全体の最適化問題を見極める。2) 全体構成の機能設計と各要素回路の物理コンパクトモデルを完了させ、MATLAB にデジタル部、アナログ部を組込んだシステムシミュレーションにより動作可否を明確化し、課題も抽出する。

予想される課題は、 $V_t$  RTN と  $R$  RTN 振幅変動量 (回復量と劣化量) とアクセスによる他メモリへの干渉効果等、アクセス値を算出するモデリング精度である。この時点で実測との整合性を確認することは困難なので論文データの振れ幅と年2回実施するコンセプトレビューと加シミュレーション時に得られる専門家の意見を十分考慮して機能実現性に対する考察と課題抽出を行う

#### 4. 研究成果

初年度の研究実績は以下の4つである。

(1) 目的を実現するために必要な機能ブロックのリストアップと構成図の作成を完了、(2)各機能ブロックの実現手段の設計と課題の抽出の完了、(3)SRAMトランジスタの閾値電圧( $V_t$ )の時空間ばらつきの統計分布、時間依存性を持たない空間ばらつきの統計分布、SRAMの最小動作電圧の統計分布の3つの統計分布の相関関係をコンボリューション解析、デコンボリューション解析するためのアルゴリズムとコーディングを完成し(4)解析精度や収束性の統計分布依存性の解析可能にした。特に、統計分布に対する汎用性の高いリチャードソン・ルーシーのデコンボリューションを安定化するためのフィルタ設計は、課題であった発振現象を回避させることに有効である可能性を明らかにしたので、次のステップである「ばらつきの回復状況に応じた電源電圧 $V_{dd}$ の大きさを動的に制御する時の絶対値を決定する」手段として使用可能になった。

そこで2年目は、実現可能性の評価を、統計的な計算手法を用いることで確率的に検証することに注力した。具体的には、CMOSトランジスタの閾値電圧( $V_t$ )の時間依存性のある成分と時間依存性の2つの成分を未知と仮定し、少なくともそれらの2つの成分結合からなる全体分布の情報から、前記未知の2つの成分を分離するための手法(ブラインドデコンボリューション)を開発した。

特にMATLAB等の既存の解析ツールに用意されているものは誤差が大きく本研究が要求する精度では使用できないので開発する必要があった。これにより、本研究の目的を実現するために必要な時間依存性のある成分の統計的分布が計算可能になり、回復の必要度が定量的に得られるようになった。これらの成果は、IEEEの4つの国際学会で発表した。今回確立した統計手法を用いて時空間依存性のばらつき成分の回復動作による不良確率の削減などを定量的に示していくことが可能になった。

最終年度は、本研究の目的の重要度の大きなところからまとめのフェーズに入った。

1)具体的には、統計的な計算に基づいて、提案した回路操作による回復と不良確率の改善の定量化を実施した。

2)統計的計算を可能にしたブラインドデコンボリューションのアルゴリズムの最終検証を、対象の統計分布の形状の幅を広げ、依存性の確認も含めて実施した。

さらに、提案アルゴリズムの本質である対象分布の位相を合わせる効果を確認するために、MATLAB等の既存の解析ツールに用意され

ているアルゴリズムにそのアイデアを適用し効果を確認した。これらの2つについて期間中に对外発表できるようにデータの獲得と整理、論文作成を着実に進めた。これらの成果は、IEEEの3つの国際学会で発表した。今回確立した統計手法を用いて、時空間依存性のばらつき成分の回復動作による不良確率の削減などをデコンボリューションの解析手法を用いて定量的に示していくことが可能になった。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学術論文](計10件)

(1) Worawit Somha, Hiroyuki Yamauchi, “An Adaptively Segmented Forward Problem Based Non-Blind Deconvolution Technique for Analyzing SRAM Margin Variation Effects” Journal of Semiconductor Technology and Science Vol.14 No.4 pp:365-375 2014/8 DOI:10.5573/JSTS.2014.14.4.365 査読有

(2) Hiroyuki Yamauchi, Worawit Somha, “A technique to solve issue of Richardson-Lucy deconvolution for analyzing RTN effects on SRAM margin variation” IEEE Circuits and Systems (LASCAS), 2014 IEEE5th Latin American Symposium on pp:1-4 2014/8 DOI: 10.1109/LASCAS.2014.6820250 査読有

(3) M-F. Chang, C-F. Chen, T-H. Chang, C-C. Shuai, Y-Y. Wang, H. Yamauchi, “A 28nm 256kb 6T-SRAM with 280mV Improvement in VMIN Using a Dual-Split-Control Assist Scheme”, 2015 IEEE International Solid-State Circuits of Conference (ISSCC), 2015/02, pp314-315, DOI: 10.1109/ISSCC.2015.7063052 査読有

(4) Hiroyuki Yamauchi, Worawit Somha, “Ring Error Prevention Techniques in Lucy-Richardson Deconvolution Process for SRAM Space-Time Margin Variation Effect Screening Designs” IEEE The Latin-American Test Symposium (LATS) pp:1-4 2015/3 DOI: 10.1109/LATW.2015.7102402 査読有

(5) Hiroyuki Yamauchi, Worawit Somha, “A Phase Shifting Multiple Filter Design Methodology for Lucy-Richardson Deconvolution of Log-Mixtures Complex RTN Tail Distribution”, IEEE 28th Symposium on Integrated Circuits and Systems Design

SBCCI2015 pp:1-7 2015/8 DOI:  
http://dx.doi.org/10.1145/2800986.280099  
6 査読有

(6) Hiroyuki Yamauchi, Worawit Somha, Yuan-Qiang Song “A Filter Design to Increase Accuracy of Lucy- Richardson Deconvolution for Analyzing RTN Mixtures Effects on VLSI Reliability Margin”, IEEE 28th IEEE International System-on-Chip Conference (SOC) pp: 121-126 2015/8 DOI: 10.1109 SOCC.2015.7406925 査読有

(7) Hiroyuki Yamauchi, Worawit Somha, “Feedback Gain Phase Alignment Effects on Convergence Characteristics in Lucy-Richardson Deconvolution for Inversely Predicting Complex-Shaped RTN Distributions”, IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS) pp: 572-575 2015/8 DOI: 10.1109 MWSCAS.2015.7282140 査読有

(8) Hiroyuki Yamauchi, Worawit Somha, “A filter design for blind deconvolution to decouple unknown RDF/RTN factors from complexly coupled SRAM margin variations”, IEEE 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS) pp: 247-250 2015/8 DOI: 10.1109 LASCAS.2016.7451056 査読有

(9) Hiroyuki Yamauchi, Worawit Somha, “A parallel filter technique to stabilize error-rectification behavior in RDF deconvolution process for SRAM screening tests”, IEEE technical-co-sponsored SAI Computing Conference pp: 572-575 2016/8 DOI:10.1109 SAI.2016.7556092 査読有

(10) Hiroyuki Yamauchi, Worawit Somha, “A mutual rectification-interference avoidance technique with cascade filters for both downward- direction tailed-RDF deconvolution”, IEEE 29th Symposium on Integrated Circuits and Systems Design (SBCCI) pp: 1-6 2016/9 DOI: 10.1109 SBCCI.2016.7724039 査読有

〔学会発表〕(計3件)

(1) Hiroyuki Yamauchi, Worawit Somha, “Deconvolution Algorithm Dependencies of Estimation Errors of RTN Effects on Subnano-Scaled SRAM Margin Variation”, IEEE 22<sup>nd</sup> International Conference on

Very Large Scale Integration (VLSI-SOC) 2014 査読有,2014/10/06-08、プラヤデルカルメン、メキシコ

(2) Hiroyuki Yamauchi, Worawit Somha, “Comparative Study on Deconvolution Function Dependencies of RTN/RDF Effect Estimation Errors in Analyzing Sub-nm-Scaled SRAM Margins”, IEEE Circuits and Systems (MWSCAS), 2014 57<sup>th</sup> International Midwest Symposium on 2014 査読有,2014/08/03-06、カレッジステーション、テキサス、米国

(3) Hiroyuki Yamauchi, Worawit Somha, “Errors in Solving Inverse Problem for Reversing RTN Effects on VCCmin Shift in SRAM Reliability Screening Test Designs”, IEEE IEEE System on Chip (SOC) 2014 査読有,2014/9/02-05、ラスベガス、ネバダ、米国

〔図書〕(計0件)

6. 研究組織  
(1)研究代表者

山内 寛行 (YAMAUCHI HIROYUKI)  
福岡工業大学・情報工学部・教授  
研究者番号 70425239

(2)研究分担者  
(3)連携研究者