

平成 30 年 6 月 12 日現在

機関番号：12608

研究種目：挑戦的萌芽研究

研究期間：2014～2017

課題番号：26540019

研究課題名(和文)ビッグデータ処理を加速するデータ駆動型カスタムパイプライン処理方式の研究開発

研究課題名(英文)Development of data-driven custom pipeline processing system for accelerating big data processing

研究代表者

佐藤 幸紀(Sato, Yukinori)

東京工業大学・学術国際情報センター・特任講師

研究者番号：30452113

交付決定額(研究期間全体):(直接経費) 2,800,000円

研究成果の概要(和文):本研究では、大規模データの解析処理を実践的にアクセラレーションすることを目的として、メモリ階層構造やデータバスをカスタマイズ可能なFPGAアクセラレータとその高位合成技術を利用してデータフローグラフの局所性と時間並列性を最大限活用するデータ駆動型カスタムパイプライン処理技術を研究開発した。本方式の要素技術である(1)ループタイリングを用いたアプリケーションのデータ局所性最適化の評価、(2)データの操作的意味に基づき抽出する新規のデータフロープロファイリング手法の開発、(3)大規模データストリーム処理の基盤となるフレームワークの開発に取り組み、生産性の面から本方式の有効性を示した。

研究成果の概要(英文):In this research, we developed a data-driven custom pipeline processing system for accelerating big data processing, which attempts to make full use of FPGA accelerators that can customize their memory hierarchy and datapath with high-level synthesis tool chains. We focused on the following core technologies that enhance data locality within time and space dimensions; (1) data locality optimization by loop tiling, (2) a new dataflow profiling technique based on semantics of data manipulation, (3) a novel framework for large-scale data stream processing. As a result of implementation and evaluation of these technologies, we showed that our proposal is beneficial to improving productivity of customization.

研究分野：計算機アーキテクチャ

キーワード：FPGAアクセラレータ カスタムコンピューティング ビッグデータ ハード・ソフト協調設計 データ局所性

1. 研究開始当初の背景

アクセラレータを用いてプログラムのホットスポットの処理を加速し単一アプリケーションプログラムの実行速度を大幅に向上させるというアプローチは、ホモジニアスな汎用 CPU を大量に並列動作させることでは到達できない性能を低電力消費かつ低コストで実現する有望な手段として急速に普及してきた。一方で、アプリケーションによってはメモリのボトルネックやアクセラレータへのデータ転送が要因でアクセラレータを用いても性能向上が達成できないという事例が見られるようになった。このような事態を改善する為には、アプリケーションの個々の事例を超えて多様な問題に適応可能なアクセラレーション技術を体系的に確立する必要があり、真の意味でハード設計・ソフト設計の連携を実現する新しいアイデアが強く求められていた。

近年は、メモリデバイス毎の容量と応答時間の特性を有効利用するために、汎用 CPU やアクセラレータのキャッシュやローカルメモリにおけるメモリ階層の深化は進む一方で、産業界のロードマップにおいてもムーア則に主導される性能向上を達成する手段としてアクセラレータは数年以内にさらに普及すると見込まれていることから、システム性能を生産的かつ低コストで向上させるアクセラレーション技術の確立は早急に実現することが強く求められていた。

2. 研究の目的

本研究では大規模データの解析処理を実践的にハードウェア性能極限までアクセラレーションするデータ駆動型カスタムパイプライン処理技術を研究開発し、データ解析処理効率を革新的に高めることを目指す。本方式においてはメモリ階層構造やデータパスをカスタマイズ可能な FPGA アクセラレータを利用してデータフローグラフの局所性と時間並列性を最大限活用するカスタム演算パイプラインを構築し、大規模データストリーム処理を効率的に駆動する。本方式の核心はアプリケーションのデータ局所性をデータの操作的意味に基づき抽出する新規のデータフロープロファイリング手法を開発しデータ駆動型カスタム処理に適応することであり、データ駆動型カスタム処理を実現する実環境を構築することにより本方式の有効性を実証する。

3. 研究の方法

(1) プログラムの実行時のデータフロー解析と操作的意味の探究を実施する上で基盤となるツールの開発においては、研究代表者

のグループにて開発を進めてきた Exana ツールを拡張する形で実装を進めた。本ツールにおいては、データ処理をおこなうアプリケーションプログラムの実行トレースからデータの流れと共にデータアロケーションやデータ構造に関する情報を抽出し、メモリオブジェクトプロファイリングに発展させる。

(2) FPGA アクセラレータ上でのデータの移動を可能な限り最小化する設計法の探求については、データフロープロファイリングの結果を参考にしつつ、データ局所性を最大限に活用するように FPGA で実行するカーネル部分にループタイリング(ブロッキング)を実施することに取り組んだ。ループタイリングにより FPGA 内のオンチップ BRAM やフリップフロップの構成および演算パイプライン構成をカスタマイズする設計空間が広がり、データ参照局所性に関して調整可能なパラメータが格段に増える。FPGA アクセラレータへのマッピングに関しては、高位合成技術を用いて FPGA 上にデータフローに基づくカスタムアクセラレータを合成し展開するプラットフォームである英国 Maxeler 社の開発環境を用いた。対象のアルゴリズムを高位合成向け言語 MaxJ で記述し、MaxJ のレベルでループタイリングを行った。ループタイリングを実施する上では、Polyhedral モデルに基づきアプリケーションプログラムの問題空間を依存関係を保ちつつ効率的かつ生産的に分割する手法を実装した。FPGA アクセラレータ向けの高位合成ツール群の利用に関しては、パイプライン構造のカスタマイズとビッグデータ処理の親和性を広く調査するために Imperial College London の Luk 教授らの研究グループおよび Maxeler 社を訪問し、深い研究議論を行った。

4. 研究成果

(1) 本研究を通して開発してきたアクセラレーションシステムの開発フレームワークと大規模データストリーム処理のハードウェア・ソフトウェア協調型カスタマイズ環境を用いて、クラウド上の環境を想定したストリーミング処理への適応と評価を行い、その成果をまとめた。評価においては、大規模データ処理が求められる応用の一例としてピアソンの相互相関係数を求める処理を取り上げ、FPGA アクセラレータへのマッピングを行った。

実際の BigData 処理の現場で求められている規模のデータへの適応を考えると、FPGA アクセラレーションシステムのオンボードメモリや BRAM に対象のアプリケーションのすべてのデータを保持することができないため、効率的にデータの分割を行う手法を導出する必要があった。そこで、スパコン分野のコードチューニング手法として知られてい

るループタイリングを FPGA アクセラレータの回路設計に応用し、データの局所性を最大限活用することに取り組んだ。

具体的には、対象とするアルゴリズムの回路を高位合成により設計する過程において、データフロー型高位合成系言語 MaxJ で記述されたコードに対してループタイリングを実施した。ループタイリングを実施する上では、Polyhedral モデルに基づく自動最適化機構を利用し、アプリケーションプログラムに内在するデータ依存関係を保ちつつ効率的かつ生産的にタイルへと分割することを試みた。

本フレームワークを実装し評価した結果、ループタイリングが実際に FPGA アクセラレータの回路設計に適応可能であること、更に、タイリングすることなしでは BRAM にデータを保持することができないため合成に失敗していた規模の問題が解けることが確認された。

本評価において考慮したループタイリングは空間の次元についてであるが、時間の次元についてタイリングを行うテンポラルブロッキングの適応についても考察を深めた。特に、3次元ステンシルコードにおいての適応性について議論を進め、FPGA アクセラレータの実環境においても有効であるという知見が得られた。

(2) テンポラルブロッキングの適応については、ホストサーバー上の CPU の実装において姫野ベンチマークを用いて動作とデータ局所性の面での優位性を確認することに取り組んだ。対象とした姫野ベンチマークは、3次元ステンシルコードであり、既存の研究においてはテンポラルブロッキングの適応は報告されていなかった。そこで、コードのループ反復間の依存関係を手動で解析し、特に、時間ステップ間の依存関係が満たされるようにブロックの形状を与えることにより、データ依存のない空間方向の空間ブロッキングだけではなく時間方向の分割であるテンポラルブロッキングが適応可能性であることを確認すると同時に、データ局所性の面での優位性を確認した。

FPGA アクセラレータへのテンポラルブロッキングの適応に関しては、関連する同一組織（東京工業大学）の研究者であった Hamid Reza Zohouri、Artur Podobas、Satoshi Matsuoka が ACM FPGA 2018 にて発表した論文 "Combined Spatial and Temporal Blocking for High-Performance Stencil Computation on FPGAs Using OpenCL" にて有効性が詳細に提示されている。Zohouri らのアプローチにおいては OpenCL を用いてコードを実装しているなどの相違はあるが、根底にある狙いについては本研究と非常に近いものであった。Zohouri らが論文をまとめる過程において、双方の研究内容について深くディスカッションを行っており、本研究が

目的とした内容を実証している一例ともみなすことが可能であろう。

(3) プログラムの実行時の詳細なデータフロー解析と操作的意味の探究の一環として、研究代表者のグループにて開発を進めてきた Exana ツールを拡張する形でメモリオブジェクトプロファイリング機能を実装した。その基礎評価を行うため、HPC 分野で広く使われている代表的なステンシル処理プログラムである姫野ベンチマークを題材に大小さまざまなデータセットでのメモリ階層を主体としたカスタマイズをおこなう実装を進めた。その結果、実行時に透過的にデータアクセスのタイミングの出力やデータレイアウトに関する基本的な情報が得られることを確認した。

(4) 大規模データストリーム処理の基盤としての実現可能性を評価するために、クラウド上のストレージおよびメモリサブシステム環境への適応性への基礎評価を行った。本評価においては、ホストサーバー上で動作している SSD (Solid State Drive) にある大規模データを CPU の制御の下でカーネルプログラムに供給可能とする実装手法を調べた。その結果、ホスト上の SSD にアロケーションしたデータを mmap によりホストプログラム側からアクセスする手法を対象とするコードに適用し、カーネルコードと大容量 flash メモリがシームレスに連携できることを確認した。本手法により、FPGA アクセラレータからも、SSD にある大規模データに CPU の介在の下で自由にアクセスできることが確認された。

(5) 本研究成果を国内外の該当分野の研究者らと共有すると同時に、深く議論することに取り組んだ。本研究の成果は、IEICE RECONF 研究会および IPSJ ARC 研究会の場において発表を行った。また、ACM SIGPLAN の主催する国際ワークショップ SEPS2016/SEPS2017 においてはパネルセッションのポジショントークとして本研究の概要や成果を発表することに加えて、パネルオーガナイザーとして処理の高速化・高効率化における性能工学的なアプローチの重要性やオープンソースを起点とするツールチェーンの重要性を参加者と共有した。

加えて、ビッグデータ処理の波及効果を調査するために JACORN2014 におけるパネルディスカッション「ビッグデータと私」を企画し、FPGA によるアクセラレーションが期待されるデータ処理分野の動向を深く議論することを行った。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計0件)

〔学会発表〕(計4件)

1. Yukinori Sato. "Engineering software performance of hardware accelerators using open source compilers and tools". Position talk at panel discussion. The 4th ACM SIGPLAN International Workshop on Software Engineering for Parallel Systems (SEPS 2017), Oct. 23, 2017.
2. 佐藤幸紀. FPGA アクセラレータにおけるデータ参照局所性の高位最適化. HotSPA2017, IEICE-RECONF/CPSY/DC/RIS, IPSJ-ARC 合同研究会. 2017年5月23日. 登別市. 5 pages
3. Yukinori Sato. "Toward fully automated performance tuning system for deep hierarchical memory - from CPUs to FPGA accelerators". Position talk at panel discussion. The Third International Workshop on Software Engineering for Parallel Systems (SEPS2016), Nov 2016.
4. 佐藤幸紀. ビッグデータと私. 全員参加パネルディスカッション. JACORN 2014 (Japan Consortium for the Reconfigurable-hardware Next generation). 2014年10月31日.

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計0件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕

ホームページ等

<http://www.perf.cs.tut.ac.jp/~yukinori/>

6. 研究組織

(1) 研究代表者

佐藤 幸紀 (SATO, Yukinori)

東京工業大学・学術国際情報センター・特任講師

研究者番号： 30452113

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：

(4) 研究協力者

Wayne Luk (LUK, Wayne)

Imperial College London・Department of Computing・Professor

Oskar Mencer (MENCER, Oskar)

Maxeler Technologies Ltd・CEO/CTO & Imperial College London・Department of Computing