

科学研究費助成事業 研究成果報告書

平成 28 年 5 月 1 日現在

機関番号：17102

研究種目：挑戦的萌芽研究

研究期間：2014～2015

課題番号：26540022

研究課題名(和文)宇宙空間コンピューティングの実現に向けた超伝導プロセッサアーキテクチャの研究

研究課題名(英文)Single-Flux-Quantum Microprocessor Architecture for Space Computing

研究代表者

井上 弘士(Inoue, Koji)

九州大学・システム情報科学研究科(研究院・教授)

研究者番号：80341410

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：本研究では、超高性能かつ超低消費電力なコンピューティングを実現すべく、単一磁束量子(SFQ)回路を用いたマイクロプロセッサ・アーキテクチャに関する研究を行った。SFQの利点を活用し、その欠点を隠蔽する新しいマイクロアーキテクチャを提案した。見積もりによる評価を行った結果、現代のCMOSマイクロプロセッサに対し50倍以上の高速動作を実現できる可能性が明らかになった。また、その時の消費電力は数ワットと極めて小さく、将来の超高性能・低消費電力コンピューティング実現に向け極めて有効であることが分かった。本見積りではレイアウトによる影響を考慮していないため、今後は物理設計に基づく評価を行う予定である。

研究成果の概要(英文)：CMOS microprocessors have been facing with a limitation of clock speeds because of increasing power consumption (i.e., power-wall problem). Single-Flux-Quantum (SFQ) devices and circuits are promising to solve the power-wall problem due to its ultra high-speed, low-power natures. This research explores the design space of microarchitecture to exploit the potential of SFQ devices and circuits. A novel architecture that supports SFQ-gate level fine-grained superpipelining with deep multithreading has been proposed. Our estimation presents that it has a potential to achieve 50X clock speed improvement compared to state-of-the-art CMOS microprocessors with several watt power consumption. Since the estimation does not consider the speed and power overhead caused by layout, our future work is to implement the proposed microarchitecture with physical designs.

研究分野：コンピュータシステム・アーキテクチャ

キーワード：マイクロプロセッサ 単一磁束量子回路 超伝導

1. 研究開始当初の背景

現在社会は「情報爆発の時代」へと突入しつつある。情報量は指数関数的に増え、それに比例して情報処理に要するエネルギー量が増大する。したがって、低炭素で持続可能な情報社会を実現するためには、情報通信に起因するエネルギー問題の抜本的解決が必要不可欠であり、「情報処理に必要なエネルギー量 ≤ 自然界から獲得可能なエネルギー量」が成立する新しい情報処理基盤の構築が望まれる。

2. 研究の目的

本研究では、クラウド・コンピューティングの概念をさらに発展させた「スペース・コンピューティング構想」に向けた要素技術として、超低消費電力かつ超高速動作が可能な次世代超伝導マイクロプロセッサ・アーキテクチャを開発する。宇宙空間では、高い効率での太陽光発電が可能であり、また、常温が数ケルビンと極めて低いという環境的特徴がある。そこで、極低温状態において超高速かつ超低消費電力な動作が可能な超伝導素子を基本デバイスとし、その利点欠点を熟慮したシステム・アーキテクチャの構築を目指す。これにより、「情報処理に必要なエネルギー量 ≤ 自然界から獲得可能なエネルギー量」の不等式を成立させ、100%自然エネルギーでの運用が可能となる。本萌芽研究では、このスペース・コンピューティング構想のスタートポイントとして、超伝導デバイスの利用を前提としたプロセッサのマイクロアーキテクチャを検討するとともに、見積もりにより達成可能な性能と消費電力を明かにする。

3. 研究の方法

(1) これまでに開発された超伝導マイクロプロセッサを定性的に評価し、その問題点を整理する。

(2) 超伝導デバイスの利点を最大に活用しつつ欠点を隠蔽するマイクロアーキテクチャを考案する。その際、超伝導プロセッサの性能ならびに消費電力モデリングを行い、様々なアーキテクチャ・パラメータの値が性能ならびに消費電力に与える影響を解析する。

(3) 考案したアーキテクチャのゲートレベル論理設計を実施し、その実現可能性を調査するとともに、達成可能な性能、それに必要な回路面積、消費電力を見積もる。

4. 研究成果

(1) これまでに、単一磁束量子 (SFQ) 回

路の利用を前提としたマイクロプロセッサの研究が行われてきた。実際に試作されたマイクロプロセッサである CORE-1β では、25GHz での動作実証に成功している。これらの設計事例では、回路面積の縮小やタイミング設計の容易化、そして回路動作の高速化を優先し、ビットシリアル方式を採用している。ビットシリアル方式とは、データ語長(マイクロプロセッサが扱うことができるデータのビット幅)を1ビット単位で処理(例えば32ビット語長の場合には1ビット処理を32回繰り返す)する方法である。しかしながら、ビットシリアル方式では、データ語長に比例して処理回数が増加し、計算結果を得までのレイテンシが増加する。通常、マイクロプロセッサの性能は、動作周波数のみならず命令実行レイテンシにも大きく依存する。したがって、性能の観点では回路の動作周波数の向上に重きを置いたビットシリアル方式は必ずしも適切であるとは限らない。実際、ビットシリアル方式を採用した CORE-1β の命令パイプラインでは、SFQ 論理回路の動作に必要な駆動パルス信号とパイプライン・ステージ間の同期を制御するクロック信号の2つが存在し、上述した 25 GHz での動作は駆動パルス信号、すなわち、組合せ回路の動作速度のことであり、命令パイプラインを動作させるクロック信号の周波数は高々 1.5GHz と低い。以上を踏まえ、我々はビットシリアル方式に加え、現在の CMOS マイクロプロセッサが採用しているビットパラレル方式の有効性を調査した。その結果、データ語長が 64 ビットの時、ビットパラレル方式を用いた SFQ プロセッサによって最も高いクロック信号動作周波数を達成できることが分かった。

(2) 上記(1)の研究成果より、既存の SFQ マイクロプロセッサにビットパラレル方式を採用することで 10GHz 程度の動作速度を実現可能であることが判明したが、商用 CMOS マイクロプロセッサにおいては 5GHz 程度の動作周波数を実現可能であり、これに比べると約 1.85 倍ほどでしかない。そこで、SFQ 回路の特徴を活用したより高速動作可能なマイクロアーキテクチャの探索を実施した。具体的には、SFQ 回路では各スイッチングデバイスが記憶機能を有する点、ならびに、そのデータ保持のためのセットアップ/ホールドタイムが極めて短い点に着目し、現代の CMOS マイクロプロセッサでは採用できない極めて深い命令パイプライン構造を想定した評価を実施した。評価においては、図 1 に

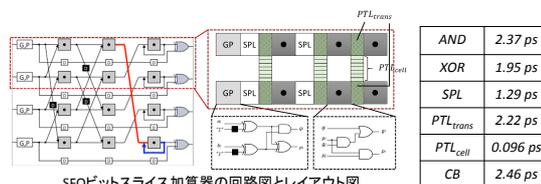


図 1: 前提とした SFQ 加算器とパラメータ

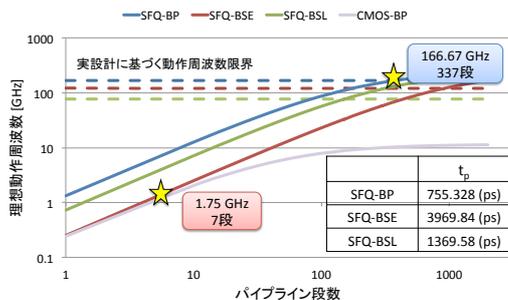


図 2 : SFQ プロセッサの動作周波数

示す SFQ ビットシリアル加算器の設計データに基づき、64 ビットプロセッサ構造を想定した性能モデリングを実施した。その結果、図 2 に示すように、CMOS マイクロプロセッサの性能を大きく凌駕するためには、ビットパラレル方式を採用することに加え、極めて深い命令パイプライン構造を採用すべきであることが明かになった。そして、論理ゲート 1 段が 1 つのパイプライン・ステージとなる超細粒度ゲートレベル命令パイプライン構造を提案するに至った。

(3) 上述した研究結果より、SFQ マイクロプロセッサでは、ビットパラレル演算方式を採用し、かつ、論理ゲートレベルの極めて深い命令パイプライン構造を採用する方針を固めた。しかしながら、一般に命令パイプラインの深化は、分岐予測ミス時のオーバヘッドや各種ハザードの回避に生じるパイプラインストールの影響が顕著になり性能が低下することが知られている。この問題を解決すべく、ゲートレベル命令パイプラインと同じ数のスレッドを準備し、これを細粒度マルチスレッド実行（つまりクロックサイクル毎に実行すべきスレッドを切り替える）を採用することとした。また、SFQ 回路ではシフトレジスタを効率良く実装できることに着目し、巡回式レジスタファイル構造を新たに提案した。

(4) 提案するゲートレベル超細粒度 SFQ 命令パイプラインの論理設計を行い、性能、面積、消費電力に関する評価を実施した。なお、本評価では SFQ プロセッサによる性能向上の上限値を求めるため、実レイアウトに伴う各種影響（タイミング調整のための遅延追加など）は無視した。また、命令フェッチならびにロード/ストア命令実行におけるメモリアクセスは全て 1 クロックサイクルで完了する理想状態を想定した。データ語長 8 ビットのプロセッサを設計し、モデリングにより 64 ビットへの拡張を仮定した評価を行った。その結果、提案する SFQ マイクロプロセッサにより 200GHz 以上の動作周波数を 2W 以下の消費電力で実現できる可能性があることが明かになった。また、面積オーバヘッドを評価した結果、図 3 に示すように、細粒度マルチ

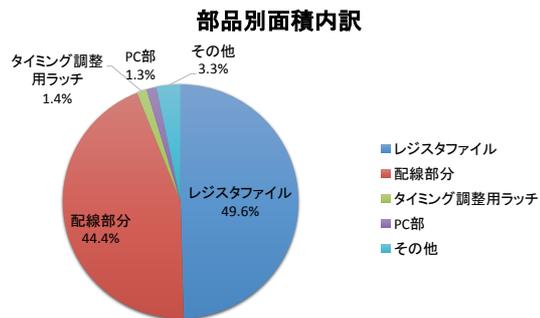


図 3 : ハードウェア内訳

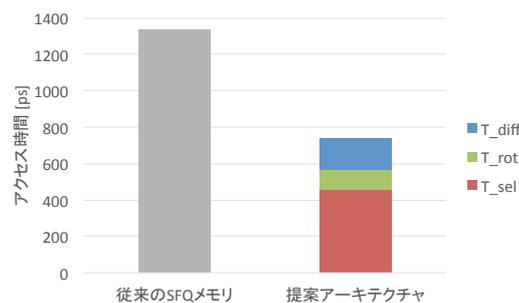


図 4 : SFQ キャッシュのアクセス時間

スレッディングをサポートするためのレジスタファイルが大規模化することが分かった。

(5) SFQ マイクロプロセッサは提案アーキテクチャを採用することで極めて高い動作周波数で動作可能であることが分かったが、メモリ参照がボトルネックになる可能性がある。そこで、SFQ 回路を用いたキャッシュメモリ・アーキテクチャを新たに考案した。SFQ 回路では、ランダムメモリを実装することが苦手であるという欠点がある反面、データの流れが単一である FIFO メモリは極めて効率良く実現できる。そこで、この特徴を利用した巡回式キャッシュメモリ構成法を提案した。評価の結果、図 4 に示すように、従来の SFQ メモリと比較してアクセス遅延時間を半分程度にできることが分かった。しかしながら、アクセスに 800ps 程度の時間を要するため、200GHz 級 SFQ プロセッサの動作周波数には追従できないことも明らかとなった（この問題は今後解決する必要がある）。

5. 主な発表論文等

〔雑誌論文〕 (計 0 件)

〔学会発表〕 (計 4 件)

①津秦伴紀, 井上弘土, “単一磁束量子回路を用いた超高速マイクロプロセッサの実現に向けて,” 第 204 回情報処理学会計算機システムアーキテクチャ研究会, ポスターの

ないポスターセッション（優秀ポスター賞受賞），査読無し

②津秦伴紀, 田中雅光, 井上弘土, “単一磁束量子回路プロセッサの性能評価とマイクロアーキテクチャの再検討,” 情報処理学会計算機システムアーキテクチャ研究会, 2014-ARC-213, 査読無し

③石田浩貴, 津秦伴紀, 田中雅光, 小野貴継, 井上弘土, “単一磁束量子回路を用いたマイクロプロセッサの論理設計,” 電子情報通信学会集積回路専門委員会, pp. 69-74, 査読無し

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

○取得状況（計 0 件）

6. 研究組織

(1) 研究代表者

井上弘土 (INOUE Koji)

九州大学・大学院システム情報科学研究
院・教授

研究者番号：80341410

(2) 研究分担者

なし

(3) 連携研究者

田中雅光 (TANAKA Mitsumasa)

名古屋大学・PhD 登龍門推進室・特任講師

研究者番号：10377864