

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 13 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2014～2015

課題番号：26630145

研究課題名(和文) 転送ボトルネックフリー不揮発ロジックインメモリ多値VLSIの開発

研究課題名(英文) Development of a Data-Transfer-Bottleneck-Free Nonvolatile Logic-In-Memory Multiple-Valued VLSI

研究代表者

亀山 充隆 (Kameyama, Michitaka)

東北大学・情報科学研究科・教授

研究者番号：70124568

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：細粒度ダイナミックリコンフィギャラブルVLSIの小型化，高性能化，低電力化のため，多値Xネット，マイクロパケット転送方式，多値電流モード回路技術，不揮発ロジックなどを駆使したアーキテクチャを検討した。これにより，メモリ・演算部の転送に伴う遅延や消費電力の減少やコンフィグレーション/コントロールメモリサイズの減少を達成することができた。さらに，より少ないハードウェアリソースにより任意の論理関数を実現でき，マルチプレクサを用いたラッチ機能を活用することにより記憶要素としても動作できるという特長を有する，2入力マルチプレクサを構成要素とする新しいセル構成も提案することができた。

研究成果の概要(英文)：A packet data transfer scheme (PDTS) is introduced to reduce configuration/control memory (CCM) size of a multiple-valued dynamic reconfigurable VLSI based on a logic-in-memory architecture. In the PDTS, the advantage is that remarkable reduction of the CCM size can be achieved in comparison with the conventional control scheme. Moreover, the PDTS contributes to fine-grain on/off control of the current sources in differential-pair circuits utilizing flag information which indicates the data is valid or invalid. Another type of a fine-grain reconfigurable VLSI is also proposed to enhance the hardware resource utilization. The basic cell consists of a multiple-valued multiplexer and a switch box connected with the adjacent cells. A latch can be implemented utilizing the multiplexer, so that the cell can be programmed as both logic and storage functions.

研究分野：工学

 キーワード：細粒度リコンフィギャラブルVLSI 多値差動対回路 マイクロパケット転送 多値Xネット 直接アロ
 ケーション マルチプレクサロジック ロジックインメモリアーキテクチャ 電流源制御

1. 研究開始当初の背景

近年のVLSIでは、メモリ・演算部の転送に伴う遅延や消費電力の増大が深刻な問題になっている。メモリを空間的に分散させ演算部と融合するロジックインメモリアーキテクチャの有効性が知られているが、CAMなどへの特殊な応用に限定されており一般性がなかった。記憶を分散させることは、一括したアドレス制御ができず、制御が複雑になるという問題点があった。本研究では、分散記憶要素のアクセスにパケット転送制御を導入することにより、制御メモリのサイズを大幅に減少できる、ロジックインメモリ構成技術の開拓の重要性に着目した研究である。さらに、パケット転送方式特有のイベント駆動性を利用して、細粒度パワーゲーティングによる低消費電力化を達成する。この実現に適するハードウェアとして、有効信号とデータ信号の重畳させた多値電流モード回路技術と不揮発ロジックに基づく、低消費電力性を有するリコンフィギュラブルVLSIの開発を世界に先駆けて行うことを企図していた。

2. 研究の目的

FPGAに代表されるリコンフィギュラブルVLSIでは、その回路構成をユーザーが任意にプログラム可能である。また、ハードウェアリソースを効率よく利用できるダイナミックリコンフィギュラブルVLSIの有用性が知られている。しかしながら、メモリやレジスタと演算部とのデータ転送に多くの時間やエネルギーを費やすという問題があった。また、動作中に回路構成を書き換えるために複数の構成情報を時刻情報とともに記憶しておく必要があり、それらを記憶するためのコンフィグレーションメモリサイズが非常に膨大になってしまう。

これらの問題を解決するためパケット転送方式を提案する。きわめてシンプルなパケットフォーマットにより、レジスタトランスファレベルでパケット転送を行うマイクロパケット転送方式を提案する。提案手法では、マイクロパケットのアドレス比較によりデータの受信制御信号が自動的に生成されるため、受信タイミングを与える時刻情報を記憶しておく必要がないことから、コンフィグレーションサイズを大幅に削減できる。

図1は、本研究の対象とする細粒度多値リコンフィギュラブルVLSIの構成図である。この細粒度多値リコンフィギュラブルVLSIは、多値電流モード論理に基づく回路で構成されており、FPGAと比べ配線数や回路面積を小さくできる。また、細粒度多値リコンフィギュラブルVLSIの基本構成回路である差

動対回路DPC(Differential-Pair Circuit)は非稼働時に電流源をオフにすることで静的消費電力を削減できる。そこで、マイクロパケットの到来に基づく電流源制御を行い、消費電力を削減する。

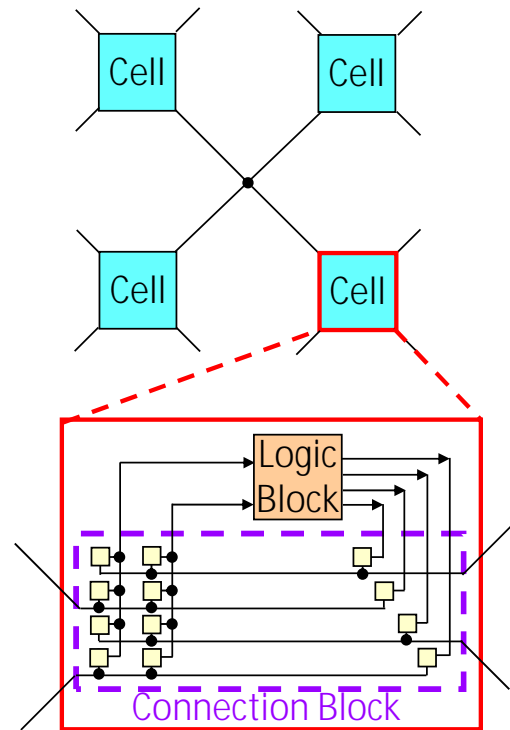


図1 細粒度多値リコンフィギュラブルVLSI

3. 研究の方法

マイクロパケット転送方式や直接アロケーションなどによりロジックインメモリ構造を容易に実現することができることに着目し、具体的なダイナミックリコンフィギュラブルVLSIの実現を前提として、その効果をシミュレーションにより評価する。

また、転送ボトルネックを解消し、高速・低電力化を達成するため、オフラインスケジューリング・アロケーションを効果的に活用したマイクロパケットルーティングに基づく転送方式の導入、分散したメモリをアクセスするための制御メモリ容量の減少手法の開拓を行う。

さらにも、これに適するハードウェア構成として、多値差動対回路に基づく細粒度多値リコンフィギュラブルVLSIの設計・評価を行い、その利点を明確にする。

4. 研究成果

(1) マイクロパケット転送方式に基づく多値リコンフィギャラブルVLSI

ハードウェアリソースの稼働率を徹底的に向上させることにより、図1に示されるようなロジックブロックとスイッチブロックの小型化、高性能化、低電力化を共に達成できる細粒度演算セル構成法に基づくリコンフィギャラブルVLSIアーキテクチャを考案した。

マイクロパケット転送制御を導入することにより、コンフィグレーション/コントロールメモリを大幅に減少できる以下のようなロジックインメモリ構成技術を開発した。

細粒度リコンフィギャラブルVLSIのロジックブロック：任意の2値2変数関数や全加算器をプログラム可能なロジックブロックを、2値2線相補入力対で駆動する3段シリーズゲーティングソースカップルドロジックによる構成法を提案し、電流駆動能力向上や低消費電力化に優れる。

多値Xネット：8近傍接続に基づくスイッチブロックと比較して、面積効率に優れた多値Xネットによるスイッチブロックの構成法では2方向からのロジックブロック電流出力の線形加算をXネット上で行うことにより配線リソースの有効活用が達成され、スイッチブロックの複雑性を大幅に改善し、低消費電力化にも有用となる。

ロジックインメモリアーキテクチャ：直接アロケーションにより、セル間転送の多くはXネットによる近傍データ転送としてマッピングできるが、グローバル転送もしばしば必要となる。木構造ダイナミック相互結合網を組み込むことにより、セル動作稼働率の大幅に向上できる構成法を示した。

マイクロパケット転送制御：図2に示されるようなきわめて簡単なフォーマットからなるマイクロパケットを定義し、セル間でのマイクロパケット転送によりすべてのコンフィグレーション/コントロール情報を表すことができる。変化を与えるときのみマイクロパケットが転送されるということのみではなく、マイクロパケットとセルのアドレスとの比較によりデータロードなどの制御信号が自動的に生成されるため、コンフィグレーションサイズを大幅に削減できることを明らかにした。

自律パワーゲーティング：マイクロパケットデータには有効フラグが一体化されているため、図3に示されるように、電流源のオンオフ制御を容易に行える。これにより差動

対回路は非稼働時に電流源をオフにすることで静的消費電力を大幅に削減できることを示すことができた。

不揮発記憶：ロジックブロック内の記憶要素やコンフィグレーション/コントロールメモリの不揮発化により、分散されたメモリも含めたパワーゲーティングが可能になる。

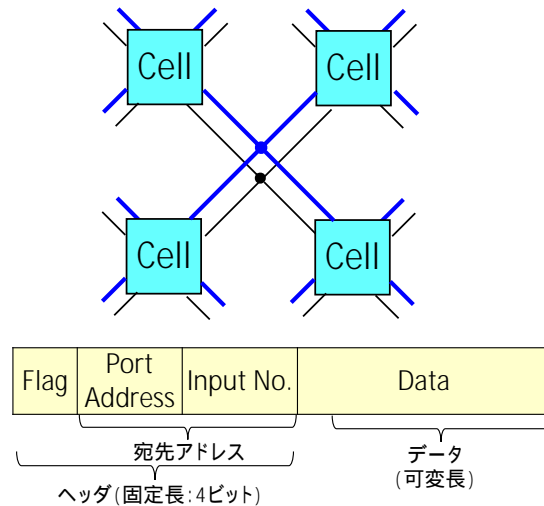


図2 セル間転送におけるマイクロパケット

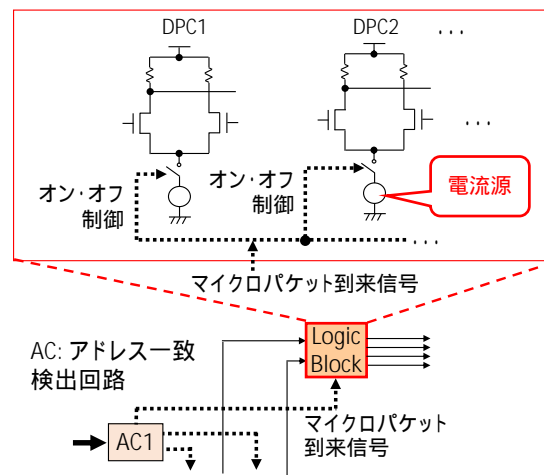


図3 ロジックブロックの電流源制御

(2) マルチプレクサロジックに基づく細粒度リコンフィギャラブルVLSIの構成

現在のFPGAに代表される細粒度リコンフィギャラブルVLSIよりも高性能で低電力性に優れることを目指した、ビットシリアル・ゲートレベルパイプラインに基づく、多数のセルから構成される新しい細粒度リコンフィギャラブルVLSIの研究開発を行った。八

ードウェアリソースの徹底活用を目指し、図4のセル構成に示されるように、マルチプレクサを用いたマルチプレクサロジックブロックを構成し、これを用いて任意の論理関数を従来よりも大幅に少ないハードウェアリソースで実現できる構成方式を考案した。実用上は入力変数を入れ替えても同じ出力値となる対称関数の実現が多いため、入力の線形加算の利点を活用したマルチプレクサロジックへの拡張も導入することができた。提案するマルチプレクサロジックにおいては、単一のマルチプレクサを基本ロジックブロックとして構成しているため、柔軟性が高く簡単化された論理関数表現を利用した回路構成が可能で、ハードウェアリソースを非常に効率よく利用することができる。この回路実現方法として、電流モード線形加算を活用した差動対を用いた多値集積回路としての構成の利点も見出すことができた。

また、マルチプレクサを用いてラッチ機能が容易に実現できることに着目し、論理動作のみではなく記憶要素としても動作するようプログラム可能なロジックインメモリのセルを提案することができた。これは、基本セル内のロジックブロックを単なるマルチプレクサとして利用するのみではなく、マルチプレクサを用いたラッチ機能を活用することにより、記憶要素として動作するようにプログラムすることが可能である。ロジックブロックのラッチ機能を活用し、例えばデータの一時記憶などに使われるシフトレジスタ実現のためのマッピングも可能となる。

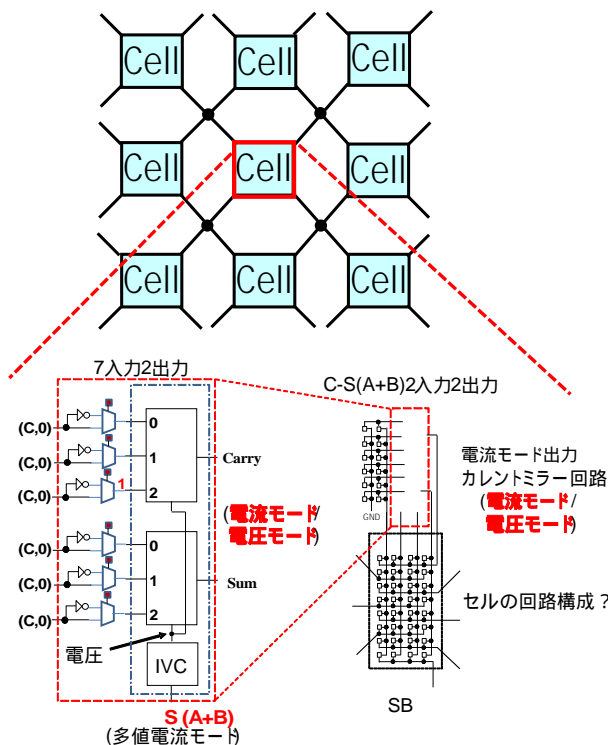


図4 マルチプレクサを用いたセル構成

さらに、細粒度リコンフィギャラブル VLSI においては、効率よく任意の論理関数を実現できるようにセル間の接続を行える相互接続網が重要であるが、セル間の相互接続として、8 近傍メッシュネットワーク及び X ネットにより複数個のセルを木構造に接続し、任意の論理関数を細粒度リコンフィギャラブル VLSI へ効率的にマッピングできることを明らかにした。マルチプレクサロジックにより、任意の論理関数を従来の FPGA と比較して、大幅に少ないマルチプレクサ数で実現できることを示した。今後は、ラッチ機能を活用したマッピングの実例とその利点の評価、およびビットシリアル形演算回路の体系的設計方法について検討する必要がある。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計4件)

Michitaka Kameyama, "Novel VLSI Architectures for Real-World Intelligent Systems", Proceedings of the IEEE 45th International Symposium on Multiple-Valued Logic, 査読有, p.132, 2015.

DOI: 10.1109/ISMVL.2015.39

Shintaro Harada, Xu Bai, Michitaka Kameyama and Yoshichika Fujioka, "Design of a Logic-in-Memory Reconfigurable VLSI Based on a Bit-Serial Packet Data Transfer Scheme", Proceedings of the IEEE 44th International Symposium on Multiple-Valued Logic, 査読有, pp.214-219, 2014.

DOI:10.1109/ISMVL.2014.45

Xu Bai and Michitaka Kameyama, "Implementation of Voltage-Mode/Current-Mode Hybrid Circuits for a Low-Power Fine-Grain Reconfigurable VLSI", IEICE Transactions on Electronics, Vol.E97-C, No.10, 査読有, pp.1028-1035, 2014.

DOI: 10.1587/trasele.E97.C.1028

Xu Bai and Michitaka Kameyama, "Multiple-Valued Fine-Grain Reconfigurable VLSI Using a Global Tree Local X-Net Network", IEICE Transactions on Information & Systems, 査読有, Vol.E97-D, No.9, pp.2278-2285, 2014.

DOI: 10.1587/trasinf.2013L0P0006

〔学会発表〕(計3件)

亀山充隆, "新しい概念のVLSIコンピューティングとその応用を目指して", 第29回多値論理とその応用研究会, pp.41-44, 2016年1月9日, 東北大学電気通信研究所, 宮城.

島袋勝彦, 亀山充隆, "マルチプレクサロジックに基づく細粒度リコンフィギャラブルVLSIの構成", 多値論理研究会, Vol.38, No.12, pp.12-1 - 12-5, 2015年9月13日, 北海道大学大学院情報科学研究科棟, 北海道.

原田伸太郎, 亀山充隆, 藤岡与周, "マイクロパケット転送方式に基づく多値リコンフィギャラブルVLSIの構成と評価", 多値論理研究会, Vol.37, No.8, pp.8-1 - 8-6, 2014年9月13日, 関西大学千里山キャンパス, 大阪.

6. 研究組織

(1)研究代表者

亀山 充隆 (MICHITAKA KAMEYAMA)
東北大学・大学院情報科学研究科・教授
研究者番号: 70124568