

平成 30 年 5 月 21 日現在

機関番号：11301

研究種目：若手研究(A)

研究期間：2014～2017

課題番号：26700003

研究課題名(和文) 確率的演算に基づく超低消費電力IPパケット処理LSI実現に関する研究

研究課題名(英文) Design of Ultra-Low Power IP-Packet-Processing LSI Based on Probabilistic Computing

研究代表者

鬼沢 直哉 (Onizawa, Naoya)

東北大学・学際科学フロンティア研究所・助教

研究者番号：90551557

交付決定額(研究期間全体)：(直接経費) 18,600,000円

研究成果の概要(和文)：近年、ネットワークトラフィック量が急速に増加することが予測され、その中でネットワーク機器間の中継器となるIPルータは、高速に膨大なパケットを処理しつつ超低消費電力での動作が望まれている。

本研究課題では、確率的な部分検索アルゴリズムを活用することで、IPパケット処理に必要なデータ検索処理の低消費電力を図った。従来の総当り検索では膨大な消費電力が必要であったのに対して、提案方式では部分検索のみで総当り検索と同等の処理が実現できるアルゴリズムを考案し、1桁程度の低電力化が達成された。

以上の研究成果を、国際ジャーナルとして著名なIEEE論文誌を含む、学術雑誌論文17件、学会発表38件にとりまとめた。

研究成果の概要(英文)：Recently, internet traffic has been expected to be rapidly increased. IP routers used as repeaters need to handle enormous packets while achieving high-speed and ultra-low power processing.

In this research, a probabilistic-computing based partial search algorithm has been presented for IP packet processing. Compared with a conventional method that requires a brute-force search, the proposed method achieves the comparable search capability using the partial searching, leading to an order-of-magnitude reduction in power dissipation.

As a result, this research results are summarized in 17 journals including well-known IEEE journals in the field and 38 conference presentations.

研究分野：計算機システム

キーワード：連想メモリ 確率的演算 Internet of Things ニューラルネットワーク 検索ハードウェア

1. 研究開始当初の背景

近年、ネットワークトラフィック量が急速に増加し今後さらにその傾向が加速され、2017年には現在の約13倍にまで達すると予測されている。その主な要因として挙げられるのが、近い将来、あらゆるモノがセンサ、アクチュエータ、通信装置等を備えたスマートな機器となる Internet of Things である。このようなネットワークの活用により生活の利便性が向上する一方で、不正アクセスによる危険性が増加することが予測されており、高速かつ高信頼なネットワークの実現が極めて重要になりつつある。

その中で、ネットワーク機器間のデータ通信の中継器となる IP ルータは、データの宛先に応じて適切な経路を選択する機能を持ち、そのハードウェア実現には Ternary Content-Addressable Memory (TCAM) が一般的に用いられている。TCAM は入力データとすべての記憶データとの完全並列検索を実現する高速なハードウェアで、記憶データが 0, 1, 「don't care」の 3 状態を持ち、データの宛先情報を記憶させることで IP ルータを実現する。その完全並列検索(総当り検索)により高速な経路検索が実現される一方で、その消費電力が非常に大きくなってしまふ。その原因は、入力データとすべての記憶データを接続するサーチライン用配線が非常に長く、さらにネットワークに接続する機器数の増加に伴い記憶データ容量が大きくなることから、サーチライン配線に起因する動的消費電力は膨大になるためである。さらに、データを記憶する TCAM セルは、一般的な記憶デバイスである Static Random Access Memory (SRAM) セルと比較して約 2.5 倍程度大きいことから、面積増大およびそれに伴う静的消費電力も非常に大きくなってしまふ。このように、従来手法では IP ルータの低電力化は非常に困難であり、IP ルータの低電力化は実用上極めて重要になりつつある。

2. 研究の目的

本研究課題では、従来方式のような総当り検索が必要でない、部分的な検索のみで従来と同等の検索処理を実現するアルゴリズムの考案とその低電力な LSI を実現する。そのベースとなる確率演算を行う Sparse clustered networks (SCN) に基づく検索アルゴリズムの提案とそのハードウェアの性能見積もりを行い、理想的条件下で約 95% のエネルギー削減を見込んでいる (N. Onizawa and W. J. Gross, Design Automation Conference (DAC), pp 1-6, 2013)。そこで、本研究期間内の主な研究目的は、以下の 4 つである。(1) 理想的条件下で実際のネットワークに使用されている IP アドレステーブルを用いた提案検索アルゴリズムの評価を通して、提案アルゴリズムの最適化を図る。(2) 提案アルゴリズムを拡張し、ACL や IDS 用検索アルゴリズム及びそのハードウェア

向き信号処理を考案する。(3) 非常に多くのアドレスや不正アクセスパターンに対応するための、新たなハードウェアアーキテクチャを考案し、Field programmable gate array (FPGA) を用いてハードウェア実証を行う。(4) 提案アルゴリズムに基づく IP パケット処理 LSI の実チップ試作を行い、従来 CAM による実現との比較を行い提案技術の低電力性について実証する。

3. 研究の方法

確率的演算に基づく超低消費電力 IP パケット処理 LSI 実現に向けた、SCN ベース検索ハードウェアを実現するために、以下のような研究項目を実施していった：

(1) 大規模なデータパターン下での SCN ベース検索ハードウェアの実装・評価

SCN による提案の検索ハードウェアが、従来方式である CAM によるハードウェアと比較して低電力であることを実証するために、従来・提案方式の双方のハードウェア実現を行った。具体的な検索対象として 2000 パターンのデータを準備し、HSPICE によるトランジスタレベルシミュレーションにより、ハードウェアにおける性能比較を行った。

(2) データの偏りを含む実用的なデータパターンを効率的に検索可能なアルゴリズム及びそのハードウェア評価

実用的な検索データパターンは理想的なデータパターン(ランダムパターン)と異なり、特定のノード間の接続に記憶が偏りがあることが確認された。その結果、ランダムパターンを記憶させた場合と比較して、偏りのあるデータパターンを記憶させた場合は、記憶・検索可能なデータパターン数が大幅に減少してしまう問題が判明した。

この問題を解決するために、従来 SCN の 2 値による接続情報の記憶ではなく、多レベルの接続情報(重み)を記憶可能な、multiple-valued SCN (MV-SCN) の考案した。多レベル記憶をさせることで、偏りのあるデータパターンが存在した場合でもランダムパターンと同等精度の検索が実現される。一方で、多レベル化により必要とされるメモリ容量は増加するため、検索パターン数と記憶容量にはトレードオフが存在する。そこでランダムパターン時とほぼ同等の記憶容量を保ちつつ、大量のデータパターンの検索を実現するために、重みの最適化も同時に行った。

(3) 様々なデータパターン検索に対応可能なハードウェアアーキテクチャの評価

これまで提案を行ってきた検索ハードウェアは、ノード間の接続情報が Hard-wired (固定) であるために、ある特定のデータパターンのみ最適なものとなっていた。そのため、異なるデータパターンの検索を実現しようとした際、その対応が難しい構成となっていた。

この問題を解決するために、Network-on-Chip(NoC)ベースの検索ハードウェアアーキテクチャを考案した。NoCはインターネットにおけるパケット通信と同等の機能を、VLSIチップ内で実現する技術である。NoCではルータのルーティングテーブルを変更することで、異なるデータ転送が実現される。つまり、提案ハードウェアにおいては、データパターンに応じてNoCルータの情報を書き換えることで、同一ハードウェア上で様々なデータ検索が可能となった。

提案ハードウェアの評価のため、まずシステムレベルにおいてSystemCによるシミュレーションを行うことで、検索処理時のNoCのデータ転送トラフィック情報等を取得した。同時に回路レベルの評価として、NoCのハードウェアブロック(ルータや演算器)をそれぞれVerilog-HDLおよびVHDL(ハードウェア記述言語)を用いて、TSMC 65nm CMOSプロセスにおいて設計を行った。設計後にSynopsys社Design Compilerにより論理合成を行い、消費電力評価を行った。回路レベルでの得られた性能情報(消費電力等)とシステムレベルでの評価を統合させることにより、検索システム全体の性能評価を可能にした。

4. 研究成果

(1) 大規模なデータパターン下でのSCNベース検索ハードウェアを評価するために、従来・提案方式をそれぞれ90nm CMOSプロセスにより設計し、比較評価を行った。従来CAM実現では2000パターンのデータをそのまま記憶するために、膨大な記憶容量が必要となってしまう。さらに、総当り検索により所望の結果を得ることから、その消費電力も膨大なものになってしまう。

一方で提案SCN実現では上記の問題を解決するために、データを複数の部分データに分割する。次に、部分データそれぞれをクラスター内のノードのアドレスとして扱う。そこで選択された異なるクラスター間のノード同士の接続を行い、その接続を記憶させる。つまり提案実現では、データそのものをすべて記憶させるわけではなく、部分データ間の接続情報のみを記憶させることで、記憶容量の削減が図られる。さらに検索の際は、入力データに対応するノードが記憶する接続情報のみで検索処理を行うことから、部分検索で従来CAMによる総当り検索と同等の検索が実現される。

その結果、従来方式と比較して8.6倍の高速検索が実現されただけでなく、検索エネルギーの89%削減が達成された。この研究成果は、国際ジャーナルとして著名なIEEE論文誌JETCAS(雑誌論文, impact factor: 2.542)に採択された。

(2) データの偏りを含む実用的なデータパターンを効率的に検索可能なハードウェアの評価を行うにあたって、MV-SCNにおける重

みの最適化を行った。ソフトウェアシミュレーション検証を行ったところ、高々4値程度でランダムパターン検索時と同等の高い検索能力を達成出来ることが確認された。

性能比較として、従来SCN及び提案MV-SCNそれぞれのハードウェアをTSMC 65nm CMOSプロセスにより設計・性能比較を行った。性能評価をフェアに行うため、従来方式は2倍のメモリ量を使うことで、提案方式と同等のメモリ容量を用いた。その結果、提案方式は従来方式と比較して10%程度の回路面積の削減を達成しつつ、検索のエラー確率を従来方式と比較して一桁以上削減させることに成功した。この研究成果も(1)と同様に、IEEE論文誌JETCAS(雑誌論文, impact factor: 2.542)に採択された。

(3) 様々なデータパターン検索に対応可能なハードウェアアーキテクチャを評価するために、具体的に4x4のメッシュ型NoCベースのSCN検索ハードウェアを設計した。その後、データベースの例としてYeast Databasesのデータパターンを選択し、提案ハードウェアに記憶させることで、検索処理が実行できることが確認された。つまり、データベースを変更することで、同一ハードウェアで様々なデータパターンの検索が可能となった。

上記研究成果の基礎実験結果は、国際会議NEWCAS'17(学会発表)で発表を行い、ハードウェア全体を行った結果は、現在IEEE TVLSIに投稿中の段階である。

以上の研究成果は、国際ジャーナルとして著名なIEEE論文誌を含む、学術雑誌論文17件、学会発表38件にとりまとめた。

5. 主な発表論文等

[雑誌論文](計17件)

N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, "Area/Energy-Efficient Gammatone Filters Based on Stochastic Computation," *IEEE TVLSI*, vol. 25, no. 10, pp. 2724-2735, Oct. 2017.
DOI:10.1109/TVLSI.2017.2687404 (査読有)

A. Ardakani, F. Leduc-Primeau, N. Onizawa, T. Hanyu, and W. J. Gross, "VLSI Implementation of Deep Neural Networks Using Integral Stochastic Computing," *IEEE TVLSI*, vol. 25, no. 10, pp. 2688-2699, Oct. 2017.
DOI:10.1109/TVLSI.2017.2654298 (査読有)

N. Onizawa, A. Tamakoshi, and T. Hanyu, "Evaluation of Reinitialization-Free Nonvolatile Computer Systems for Energy-Harvesting Internet-of-things Applications," *JJAPs*, vol. 56, no. 8, pp.

0802B7/1-7, July 2017. (査読有)

N. Onizawa, A. Mochizuki, A. Tamakoshi, and T. Hanyu, "Sudden Power-Outage Resilient In-Processor Checkpointing for Energy-Harvesting Nonvolatile Processors," *IEEE TETC*, vol. 5, no. 2, pp. 151-163, Apr.-June 2017. DOI: 10.1109/TETC.2016.2604083 (査読有)

N. Onizawa, and T. Hanyu, "Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing," *JJAP*, vol. 56, no. 3, pp. 04CF12.1-6, Mar. 2017. (査読有)

T. Hanyu, T. Endoh, D. Suzuki, H. Koike, Y. Ma, N. Onizawa, M. Natsui, S. Ikeda, and H. Ohno, "Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing," *Proc. of the IEEE*, vol. 104, no. 10, pp. 1843-1863, Oct. 2016. DOI:10.1109/JPROC.2016.2574939 (査読有)

N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-Stochastic Converter Using Magnetic Tunnel Junction Devices for Vision Chips," *IEEE Trans. on Nanotechnology*, vol. 15, no. 5, pp. 705-714, Sept. 2016. DOI:10.1109/TNANO.2015.2511151 (査読有)

N. Onizawa, H. Jarollahi, T. Hanyu, and W. J. Gross, "Hardware Implementation of Associative Memory Based on Multiple-Valued Sparse Clustered Networks," *IEEE JETCAS*, vol. 6, no. 1, pp. 13-24, Mar. 2016. DOI:10.1109/JETCAS.2016.2528721 (査読有)

N. Onizawa, N. Sakimura, R. Nebashi, T. Sugibayashi, and T. Hanyu, "Evaluation of Soft-Delay-Error Effects in Content-Addressable Memory," *Journal of Multiple Valued Logic & Soft Computing*, vol. 26, issue 1/2, pp. 125-140, Jan./Feb. 2016. (査読有)

N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, and T. Hanyu, "Gabor Filter Based on Stochastic Computation," *IEEE Signal Processing Letters*, vol. 22, no. 9, pp. 1224-1228, Sep. 2015. DOI:10.1109/LSP.2015.2392123 (査読有)

H. Jarollahi, V. Gripon, N. Onizawa, and W. J. Gross, "Algorithm and Architecture for a Low-Power Content-Addressable Memory Based on Sparse Clustered Networks," *IEEE*

TVLSI, vol. 23, no. 4, pp. 642-653, Apr. 2015. DOI:10.1109/TVLSI.2014.2316733 (査読有)

N. Onizawa and T. Hanyu, "Soft-Error Tolerant Transistor/Magnetic-Tunnel-Junction Hybrid Non-Volatile C-element," *IEICE ELEX*, vol. 11, no. 24, pp. 20141017, 2014. (査読有)

H. Jarollahi, N. Onizawa, V. Gripon, N. Sakimura, T. Sugibayashi, T. Endoh, H. Ohno, T. Hanyu, and W. J. Gross, "A Non-Volatile Associative Memory-Based Context-Driven Search Engine Using 90 nm CMOS/MTJ-Hybrid Logic-in-Memory Architecture," *IEEE JETCAS*, vol. 4, no. 4, pp. 460-474, Dec. 2014. DOI:10.1109/JETCAS.2014.2361061 (査読有)

N. Onizawa, W. J. Gross, T. Hanyu, and V. C. Gaudet, "Asynchronous Stochastic Decoding of Low-Density Parity-Check Codes: Algorithm and Simulation Model," *IEICE Trans. on Inf. and Syst.*, vol. E97-D, no. 9, pp. 2286-2295, Sep. 2014. (査読有)

H. Jarollahi, N. Onizawa, V. Gripon, and W. J. Gross, "Algorithm and Architecture of Fully-Parallel Associative Memories Based on Sparse Clustered Networks," *Journal of Signal Processing Systems*, vol. 76, no. 3, pp. 235-247, Sep. 2014. (査読有)

N. Onizawa, W. J. Gross, T. Hanyu, and V. C. Gaudet, "Clockless Stochastic Decoding of Low-Density Parity-Check Codes: Architecture and Simulation Model," *Journal of Signal Processing Systems*, vol. 76, no. 2, pp. 185-194, Aug. 2014. (査読有)

N. Onizawa, A. Mochizuki, H. Shirahama, M. Imai, T. Yoneda, and T. Hanyu, "High-Throughput Partially Parallel Inter-Chip Link Architecture for Asynchronous Multi-Chip NoCs" *IEICE Trans. on Inf. and Syst.*, vol. E97-D, no. 6, pp. 1546-1556, June 2014. (査読有)

[学会発表](計38件)

M. Imai, N. Onizawa, T. Hanyu, and T. Yoneda, "Minimum Power Supply Asynchronous Circuits for Re-initialization Free Computing," 21st SASIMI, Mar. 2018.

M. Rizk, J.-P. Diguët, N. Onizawa, M. J. Sepulveda, Y. Akgul, V. Gripon, A.

Baghdadi, and T. Hanyu, "NoC-MRAM Architecture for Memory-Based Computing: Database-Search Case Study," *15th NEWCAS*, June 2017.

N. Onizawa, M. Imai, T. Hanyu, and T. Yoneda "MTJ-based Asynchronous Circuits for Re-initialization Free Computing against Power Failures," *23rd ASYNC*, May. 2017.

T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui, "Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor," *DATE 2017*, Mar. 2017.

N. Onizawa, and T. Hanyu, "A Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing," *2016 SSDM*, Sep. 2016.

A. Ardakani, F. Leduc-Primeau, N. Onizawa, T. Hanyu, and W. J. Gross, "VLSI Implementation of Deep Neural Networks Using Integral Stochastic Computing," *6th International Symposium on Turbo Codes & Iterative Information Processing*, Sep. 2016.

N. Onizawa, and T. Hanyu, "Redundant STT-MTJ-Based Nonvolatile Flip-Flops for Low Write-Error-Rate Operations," *14th NEWCAS*, June 2016.

N. Onizawa, "Stochastic Implementation of Gammatone Filters for Auditory Processing," *1st Workshop on Stochastic Computing and Related Topics*, June 2016. (invited)

S. Koshita, N. Onizawa, M. Abe, T. Hanyu, and M. Kawamata, "Realization of FIR Digital Filters Based on Stochastic/Binary Hybrid Computation," *46th ISMVL*, May 2016.

T. Yoneda, N. Onizawa, M. Imai, and T. Hanyu, "Power-Gated Single-Track Asynchronous Circuits Using Three-Terminal MTJ-Based Nonvolatile Devices for Energy Harvesting Systems," *22nd ASYNC Fresh Idea Track*, May 2016.

N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, "Gammatone Filter Based on Stochastic Computation," *41st ICASSP*, Mar. 2016.

N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, "Stochastic Implementation of Auditory Filters," *The 3rd International Symposium on Brainware LSI*, Feb. 2016.

J-Ph. Diguët, Y. Akgul, N. Onizawa, V. Gripon, and A. Baghdadi, "Programmable Flexible Architectures for Associative Memories," *The 3rd International Symposium on Brainware LSI*, Feb. 2016. (invited)

N. Onizawa, "Stochastic Computation for Brainware LSI," *2015 International Workshop on Emerging Technologies of Microelectronics and Their Application to IoT Paradigm*, Dec. 2015. (invited).

A. Mochizuki, N. Onizawa, A. Tanakoshi, and T. Hanyu, "Multiple-Event-Transient Soft-Error Gate-Level Simulator for Harsh Radiation Environment," *2015 TENCON*, Nov. 2015.

片桐大作, 鬼沢直哉, 松宮一道, グロス ウォーレン, 羽生貴弘, "ストカスティック論理に基づくガポールフィルタの構成とその高並列特徴抽出ハードウェアへの展開に関する研究," *NC研究会*, 2015年11月

K. Boga, N. Onizawa, F. Leduc-Primeau, K. Matsumiya, T. Hanyu, and W. J. Gross, "Stochastic Implementation of the Disparity Energy Model for Depth Perception," *2015 SiPS*, Oct. 2015.

T. Hanyu, M. Natsui, D. Suzuki, A. Mochizuki, N. Onizawa, S. Ikeda, T. Endoh and H. Ohno, "Challenge of MTJ-Based Nonvolatile Logic-in-Memory Architecture for Ultra Low-Power and Highly Dependable VLSI Computing," *2015 IEEE S3S Conference*, Oct. 2015. (invited)

大澤悟史, 鬼沢直哉, 羽生貴弘, "デジタル制御型 CMOS/MTJ ハイブリット回路構造に基づく高ランダムネス真性乱数生成器の構成," *第38回多値論理フォーラム*, 2015年9月.

N. Onizawa, S. Koshita, and T. Hanyu, "Scaled IIR Filter Based on Stochastic Computation," *58th MWSCAS*, Aug. 2015.

②N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, and T. Hanyu, "Frequency-Flexible Stochastic Gabor Filter," *2015 DSP*, July 2015.

②N. Onizawa, A. Mochizuki, A. Tamakoshi, and T. Hanyu, "A Sudden Power-Outage Resilient Nonvolatile Microprocessor for Immediate System Recovery," 11th NANOARCH, July 2015.

③S. Oosawa, T. Konishi, N. Onizawa and T. Hanyu, "Design of an STT-MTJ Based True Random Number Generator Using Digitally Controlled Probability-Locked Loop," 13th NEWCAS, June 2015.

④D. Katagiri, N. Onizawa, and T. Hanyu, "Early-Stage Operation-Skipping Scheme for Low-Power Stochastic Image Processors," 45th ISMVL, May 2015.

⑤T. Hanyu, D. Suzuki, N. Onizawa, S. Matsunaga, M. Natsui, and A. Mochizuki, "Spintronics-Based Nonvolatile Logic-in-Memory Architecture Towards an Ultra-Low-Power and Highly Reliable VLSI Computing Paradigm," 2015 DATE, Mar. 2015 (invited).

⑥大澤悟史, 小西貴之, 鬼沢直哉, 羽生貴弘, "確率変動緩和機構に基づく MTJ ベース真性乱数生成器の構成," 2015 年電子情報通信学会総合大会, Mar, 2015.

⑦片桐大作, 鬼沢直哉, 羽生貴弘, "ストカステック演算に基づく高信頼低消費電力画像処理プロセッサの構成" 第 28 回多値論理とその応用研究会, 2015 年 1 月.

⑧T. Hanyu, D. Suzuki, A. Mochizuki, M. Natsui, N. Onizawa, T. Sugibayashi, S. Ikeda, T. Endoh, and H. Ohno, "Challenge of MOS/MTJ Hybrid Logic-in-Memory Architecture in Dark-Silicon Era," 2014 IEDM, Dec. 2014 (invited).

⑨A. Mochizuki, H. Shirahama, N. Onizawa, and T. Hanyu, "Highly Reliable Single-Ended Current-Mode Circuit for an Inter-Chip Asynchronous Communication Link," 2014 APCCAS, Nov. 2014.

⑩H. Jarollahi, N. Onizawa, T. Hanyu, and W. J. Gross, "Algorithm and Architecture for a Multiple-Field Context-Driven Search Engine Using Fully-Parallel Clustered Associative Memories," SiPS 2014, Oct. 2014.

⑪N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-Stochastic Converter Using MTJ Devices for Highly Reliable Vision Chips," 第 37 回多値論理

フォーラム, 2014 年 9 月

⑫片桐大作, 鬼沢直哉, 羽生貴弘, "ストカステック演算に基づく画像処理プロセッサのソフトウェア耐性の評価," 平成 26 年度電気関係学会東北支部連合大会, 2014 年 8 月.

⑬N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-Stochastic Converter Using Magnetic-Tunnel-Junction Devices," 10th NANOARCH, July 2014.

⑭N. Onizawa, S. Matsunaga, and T. Hanyu, "Design of a Soft-Error Tolerant 9-Transistor/6-Magnetic-Tunnel-Junction Hybrid Cell Based Nonvolatile TCAM," 12th NEWCAS, June 2014.

⑮N. Onizawa, S. Matsunaga, and T. Hanyu, "A Compact Soft-Error Tolerant Asynchronous TCAM Based on a Transistor/Magnetic-Tunnel-Junction Hybrid Dual-Rail Word Structure" 20th ASYNC, May 2014. (Best paper finalist)

⑯N. Onizawa, S. Matsunaga, N. Sakimura, R. Nebashi, T. Sugibayashi, and T. Hanyu, "Soft-Delay-Error Evaluation in Content-Addressable Memory," 44th ISMVL, May 2014.

⑰H. Jarollahi, N. Onizawa, T. Hanyu and W. J. Gross, "Associative Memories Based on Multiple-Valued Sparse Clustered Networks," 44th ISMVL, May 2014.

⑱片桐大作, 鬼沢直哉, 羽生貴弘, "ストカステック演算に基づく高信頼論理集積回路の構成に関する一検討," DC 研究会, 2014 年 4 月.

6. 研究組織

(1) 研究代表者

鬼沢直哉 (ONIZAWA NAOYA)

東北大学・学際科学フロンティア研究所・助教

研究者番号 : 90551557