

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 19 日現在

機関番号：21602

研究種目：若手研究(B)

研究期間：2014～2016

課題番号：26730029

研究課題名(和文) 高速・低電力を実現する多電源デジタル集積回路の設計技術開発

研究課題名(英文) Design Technology Development for Acceleration and Low Power Consumption in Digital Integrated Circuit

研究代表者

小平 行秀 (Kohira, Yukihide)

会津大学・コンピュータ理工学部・上級准教授

研究者番号：00549298

交付決定額(研究期間全体)：(直接経費) 2,800,000円

研究成果の概要(和文)：本研究では、集積回路に複数の電圧を供給し、各CMOSゲートに適した電源ネットを個別に設定することで消費電力を下げる多電源設計手法と、クロックスキューを積極的に利用することで回路の高速化を図る一般同期方式を組み合わせることで、高速化と低消費電力化を実現する設計支援システムの開発を行った。計算機実験において、従来のクロック同期方式の回路を比較したところ、開発したシステムを用いて設計された回路は高速化と低電力化を同時に実現されることを確認した。

研究成果の概要(英文)：In this research, we developed a design automation system that realized both acceleration and low power consumption. The developed system combined multiple power supply voltages in which power consumption is reduced by assigning appropriate power supply voltage to each COMS gate, and general-synchronous framework in which the clock frequency is improved by utilizing the clock skew efficiently. In computational experiments, the circuits obtained by the developed system simultaneously realized higher circuit performance and lower power consumption than that in conventional clock synchronous framework.

研究分野：集積回路設計自動化

キーワード：集積回路設計自動化 低消費電力化 高速化 一般同期方式 多電源設計 レイアウト設計

1. 研究開始当初の背景

近年、ノートパソコン、スマートフォン、タブレット端末をはじめとする携帯機器の発達により、バッテリーの駆動時間を延ばすために集積回路の低電力化が望まれている。さらに、据え置き型の機器においても、低電力化が極めて重要である。集積回路の設計における目標は、最小限の消費電力で要求される性能と機能を満たすことであり、より消費電力を削減でき、容易に性能と機能を満たすことができる設計手法の開発が望まれている。

集積回路の消費電力は、ダイナミック電力とスタティック電力に分類される。ダイナミック電力は、CMOS ゲートがオン/オフ(スイッチング)するときに発生する電力で、 fCV^2 (f はクロック周波数、 C は負荷容量、 V は供給電圧)により求められる。スタティック電力は、CMOS ゲートがスイッチングしないときに CMOS ゲートを通して電源ネットからグラウンドネットに漏れる電流により消費される電力で、 IV (I は漏れ電流、 V は供給電圧)により求められる。現在の集積回路設計では、単一の電源ネットと単一の電圧で電力供給を行うのではなく、複数の電源ネットと複数の電圧で電力を供給し、各 CMOS ゲートに適した電源ネットを個別に設定することで、ダイナミック電力とスタティック電力を同時に下げる多電源設計手法の利用が広まっている。一般的に電源電圧と CMOS ゲートの動作速度はトレードオフの関係にある。つまり、電源電圧を下げると消費電力は低くなるが、CMOS ゲートの遅延時間が大きくなり動作が遅くなる。一方、CMOS ゲートの動作を速くするために電源電圧を上げると、消費電力が高くなる。

現在のデジタル集積回路では、設計の容易さ、検証のしやすさから、各記憶素子に同時にクロックを供給することで回路が正常に動作することを保証するクロック同期方式が採用されている。クロック供給源から各記憶素子までのクロック回路内の遅延の差はクロックスキューと呼ばれ、上記のクロックスキューが 0 になるように設計するクロック同期方式はゼロスキュー方式と呼ばれる。ゼロスキュー方式の集積回路の動作速度は、クリティカルパス遅延と呼ばれる記憶素子間の最大遅延より与えられる。一方、我々はこれまで、クロックスキューを積極的に利用することで、回路の高速化を図る一般同期方式の研究を行ってきた。この方式では、クロックスキューを適切に調整できれば、クリティカルパス遅延より小さいクロック周期で動作可能となる。多くの場合で、一般同期方式の動作速度は、記憶素子間の最大遅延と最小遅延の差により与えられる。

各クロック同期方式において多電源設計を用いる効果を図 1 にまとめる。ゼロスキュー方式では、低電力化しても回路動作が高速化することはなく、動作を遅くしないように消

費電力を下げるか、消費電力を高くすることで回路を高速化する。一方、一般同期方式では、最小遅延を上げるように電源電圧を下げることであれば、記憶素子間の最大遅延と最小遅延の差が小さくなり、多くの場合で回路を高速化できる。つまり、一般同期方式では、各 CMOS ゲートに適した電源ネットを個別に設定し、クロックスキューを適切に調整できれば、回路全体の低電力化と高速化が同時に実現可能である。

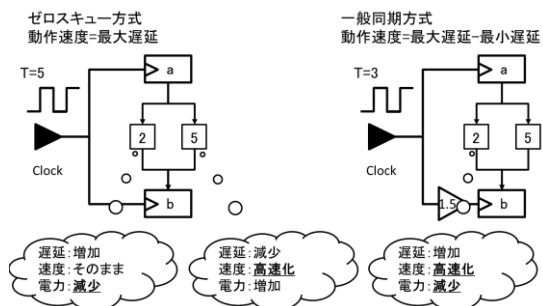


図 1: 多電源設計を用いる効果。一般同期方式では、高速化と低電力化を同時に実現可能。

2. 研究の目的

本研究では、クロックスキューを利用した一般同期方式において、高速化と低電力化を実現する多電源集積回路の設計支援システムを開発することを目的とした。設計支援システムを利用してデジタル集積回路を試作し、その回路の性能を測定により評価することで、設計支援システムの有効性を証明することを目指した。

3. 研究の方法

本研究の研究の目的を達成するためには、(1) ゼロスキュー方式を前提に設計された論理回路に対して、一般同期方式で高速化と低電力化を実現するための各ゲートの電源ネット選択法を確立し、(2) 得られたネットリストに対して、クロックスキューの設定を行い、(3) その設定に従うクロック木を合成し、(4) 東京大学大規模集積システム設計教育研究センター(VDEC)を通じて集積回路を試作し、製造された集積回路の性能を測定するという要素技術が必要である。(3)に関しては、我々の既存研究において既に開発済であるので、本研究では、(1)、(2)、(4)に関して研究を行った。

4. 研究成果

(1) 電源ネット選択法

平成 26 年度の研究において、各 CMOS ゲートに適した電源ネットを個別に設定する手法に応用できるテクノロジーマッピング手法について検討を行った。指定された動作速度を実現することを制約として与え、可能な限り低消費電力の回路素子を各ゲートに割

り当てるように整数計画法に定式化し、整数計画法のソルバを用いることでゲートに対する回路素子の割り当てを得た。ゲートレベルの計算機実験において、現実的な計算時間で最適解が得られることを確認した。また、従来のデジタル集積回路と比較し、得られた回路の性能は、45%の高速化と16%の低消費電力化を実現することを確認した。提案手法により得られた回路は、50%から99%のゲートが高い消費電力の回路素子から低い消費電力の回路素子に変更されており、提案手法の有効性が確認された。

平成27年度の研究において、より精度の高い性能評価を行った。提案したテクノロジーマッピング手法により得られたゲートレベルの回路に対して、ランダムに入力を与えるテストベンチを生成し、商用ツールを用いてシミュレーションを行い、そのシミュレーションにより得られた波形から、商用ツールを用いて電力を解析した。得られた回路の性能は、43%の高速化と11%の低消費電力化を実現することを確認した。

最終年度である平成28年度には、まず、多電源回路用のライブラリで適用可能な電源ネット選択法を開発した。平成26年度に提案したテクノロジーマッピング手法を応用し、整数計画法を用いることで、使用する遅延モデルにおいて、設計者により指定される回路速度を実現し、かつ消費電力が最小の回路が実現できる。

次に、VDECから提供されているRohm0.18umのライブラリでは多電源回路用のライブラリが提供されていないため、標準電圧1.8Vに対して、2.0Vと1.5V用のライブラリを作成した。

最後に、作成した多電源回路用のライブラリと、電源ネット選択法を用いて、ゲートレベルの評価実験を行った。最も高速化を実現した回路では、従来の完全同期方式の回路に対して、提案手法により62.2%の高速化と41.7%の低消費電力化が同時に実現された。ベンチマーク回路の42回路の平均でも、25.2%の高速化と34.6%の低消費電力が同時に実現された。

(2) クロックスキュー設定法

平成26年度に、一般同期方式において本質的な問題であるクロックスキュー値の設定法について検討を行った。本研究では、設定可能なクロックスキュー値が2つに限定された場合に、高速にクロックスキュー値を設定する手法について新たな手法を提案した。提案手法は、2つのリテラルからなる充足可能性判定問題を解くことで、理論的に従来の手法よりも時間計算量が下がることを確認し、実験的にも記憶素子が1万個程度の規模の回路で最大で数千倍の高速化が実現されることを確認した。

(4) 集積回路の試作

平成27年度に、集積回路の設計、チップ試作、テスト検証の経験を蓄積し、多電源と一般同期方式を組み合わせたチップの試作を行うための課題を検討するため、VDECから提供されているRohm0.18umのライブラリを用いてチップの試作を行った。

平成28年度に、(1)で述べたとおり、Rohm0.18umの標準電圧1.8Vに対して、2.0Vと1.5V用のライブラリを作成し、ゲートレベルによる評価を行った。

実際のチップ設計の際には、一般同期と多電源を同時に実現するためのオーバーヘッドを考慮する必要があるが、ゲートレベルの評価において、当初の目標である15%の高速化と10%の低消費電力化をはるかに上回る性能を達成していることから、チップでも目標を達成できるものと期待している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

- ① Junki Kawaguchi, Hayato Mashiko, Yukihide Kohira, Technology Mapping Method using Integer Linear Programming for Low Power Consumption and High Performance in General-Synchronous Framework, IEICE Trans. Fundamentals, 査読有, Vol. E99-A, No. 7, pp.1366-1373, 2016.
- ② Yukihide Kohira, Atsushi Takahashi, 2-SAT based Linear Time Optimum Two-Domain Clock Skew Scheduling in General-Synchronous Framework, IEICE Trans. Fundamentals, 査読有, Vol. E97-A, No. 12, pp. 2459-2466, 2014.

[学会発表] (計4件)

- ① 増子 駿, 小平 行秀, 歩留まり改善を考慮した電力削減のための製造後遅延調整手法, 電子情報通信学会技術研究報告, VLD2016-104, Vol. 116, No. 478, pp. 13-18, 2017年3月1日, 沖縄県青年会館(沖縄県那覇市).
- ② Hayato Mashiko, Yukihide Kohira, Yield and Power Improvement Method by Post-Silicon Delay Tuning and Technology Mapping, In Proc. 2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2016), 査読有, pp. 366-369, 2016年10月27日, 済州(韓国).
- ③ Junki Kawaguchi, Yukihide Kohira, Technology Mapping Method for Low Power Consumption and High

Performance in General-Synchronous Framework, In Proc. The 19th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2015) , 査読有, pp.665-670, 2015年3月25日, 宜蘭(台湾).

- ④ 川口 純樹, 小平 行秀, 一般同期方式における低電力化と高速化を実現するためのテクノロジーマッピング手法, 電子情報通信学会技術報告, VLD2014-83, Vol.114, No.328, pp.87-92, 2014年11月26日, ビーコンプラザ(大分県別府市).

6. 研究組織

(1) 研究代表者

小平 行秀 (KOHIRA, Yukihide)
会津大学・コンピュータ理工学部・上級准教授
研究者番号: 00549298