

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 15 日現在

機関番号：33302

研究種目：若手研究(B)

研究期間：2014～2015

課題番号：26730030

研究課題名(和文) しきい値電圧をプログラム可能な超低消費電力FPGA向け配置配線手法の研究

研究課題名(英文) Placement and Routing Algorithm for Ultra Low Power FPGA with Programmable Threshold Voltage

研究代表者

河並 崇 (Kawanami, Takashi)

金沢工業大学・工学部・講師

研究者番号：90443184

交付決定額(研究期間全体)：(直接経費) 2,200,000円

研究成果の概要(和文)：FPGAにおけるサブスレッショルドリーク電流による静的消費電力の増大を防ぐ技術として、トランジスタのしきい値電圧をきめ細かくプログラム可能とした低消費電力FPGA「Flex Power FPGA」が開発されている。

本研究では、Flex Power FPGAのさらなる低消費電力化を目指し、その設計ツールの配置配線アルゴリズムの改良を目指した。予備評価の結果、提案時に仮定していた相関関係が見いだせなかった。しかしながら予備評価より、FPGAの構成要素毎に優先順位を与え、その順を用いてしきい値電圧最適化アルゴリズムを改良した結果、従来よりも低消費電力化かつ実行時間を大幅に改善することができた。

研究成果の概要(英文)：One of the most important issues in the modern FPGA is the reduction of its static leakage power consumption. Flex Power FPGA, which has been proposed to overcome this problem, uses a body biasing technique to implement the fine-grained threshold voltage (V_t) programmability in the FPGA.

This study aims to further reduce the power consumption of the Flex Power FPGA. This study is to improve the placement and routing algorithm of the design tool. Results of preliminary evaluation, correlation has been assumed at the time of the proposed could not be found. However from the preliminary evaluation, by giving priority to each element of FPGAs, the new proposed algorithm was able to significantly improve the power consumption and execution time than previous threshold voltage assignment algorithm.

研究分野：リコンフィギャラブルシステム

キーワード：FPGA 低消費電力化 スラック

1. 研究開始当初の背景

(1) FPGA (Field-Programmable Gate Array) は再構成可能集積回路の一つとして知られており、任意の論理関数を開発現場でハードウェアとして実現できることから、従来から LSI (大規模集積回路) のプロトタイプングに用いられてきた。近年、低コスト化と高性能化が進み、オートモーティブ、民生機器、産業用機器、軍用機器、航空宇宙分野、ビデオ/画像処理、通信分野と実に多岐にわたり利用されている。しかしながら、FPGA の抱える問題点、すなわち集積度 (面積効率) の低さ、動作速度の遅さ、消費電力の多さなど、未だ大きな改善の余地を残している。これらを解決する研究が、FPGA をはじめ半導体技術の将来のために必要である。

(2) 半導体の消費電力は動的消費電力と静的消費電力に大きく分類される。半導体の微細化とともにスケーリング則により単体トランジスタの動的消費電力は着実に低下していた。しかしながら、微細化に伴う電源電圧の低下による、サブスレッショルド漏れ電流の増大と、ゲート酸化膜厚の減少によるゲート漏れ電流の増大が、スケーリング則の阻害要因として顕在化している。FPGA における静的消費電力増大の問題はより深刻である。文献①によると、従来の ASIC (特定用途向けカスタム LSI) と比べると面積は約 40 倍、動的消費電力は約 3 分の 1、動的消費電力は約 12 倍、静的消費電力は約 80 倍にも増大すると報告されている。

2. 研究の目的

(1) 研究代表者と国立研究開発法人産業技術総合研究所は 2004 年頃よりこの FPGA の静的消費電力増大の問題に対処すべく、FPGA の高速化と低消費電力化に関する研究プロジェクトを遂行している。Flex Power FPGA はこの研究プロジェクトで提案した FPGA であり、Flex Power FPGA に任意の回路を配置配線後、トランジスタのボディバイアス電圧を制御し適切なしきい値電圧割当てすることで低消費電力化を行うことができる。本研究では、Flex Power FPGA 用の設計ツールで利用する配置、配線アルゴリズムを改良し、Flex Power FPGA のさらなる低消費電力化を目指す。

3. 研究の方法

(1) 申請時における研究方法としては、Flex Power FPGA 用の設計ツールで利用する配置、配線アルゴリズムにおいて、クリティカルパス以外の経路の信号遅延余裕時間であるスラックの総和に注目し、スラックの総和をコスト関数の一つとして考え、しきい値電圧最適化ソフトウェアにおいて、より多くの低消費電力化ができるような配置、配線アルゴリズムの提案を行う。効果の検証方法としては前述の設計ソフトウェア群に実装を行い、シミュレーションによる評価および試作チッ

プによる実測評価を行う。なお、シミュレーションでは複数のベンチマーク回路を用いることで、特定の回路に特化した効果ではないことも示す。

(2) 初年度における予備評価の結果、当初仮定していた初期配置状態のスラックの総和と消費電力の削減率の間に相関が見られないことが判明した。しかしながら、この予備評価により FPGA の構成要素の一つである IMUX (配線チャンネルからロジック構成部分への入力マルチプレクサ) の使用数と静的消費電力は正の相関関係が見られ、電力が高くなるケースでは IMUX が最も低消費電力化できていないことが確認できた。そこで、研究対象をしきい値電圧最適化ツールに変更し、構成要素ごとに優先順位を持たせることで、さらなる低消費電力化を望める可能性があるとし、全構成要素を対象に優先順位を網羅的に設定し、どのような優先順位が最も低消費電力になるかを調査する。

4. 研究成果

(1) 予備評価として、前述した Flex Power FPGA のサイズを 20×20 タイル備えたアーキテクチャを想定し、MCNC ベンチマーク回路の 1 つである alu4 を実装対象とし、配置配線結果がしきい値電圧最適化結果へ及ぼす影響を評価する。まず、複数の配置結果を生成し、その後各々に対して配線処理と低消費電力化処理を行い、静的消費電力を評価する。配置ツール vp の配置アルゴリズムは SA (Simulated Annealing) に基づいており、vp に与えるランダムシードを変更し 100 の配置パターンを生成し、しきい値電圧最適化ツールである vtm のしきい値電圧最適化アルゴリズムには BT (Back Trace) を使用した。

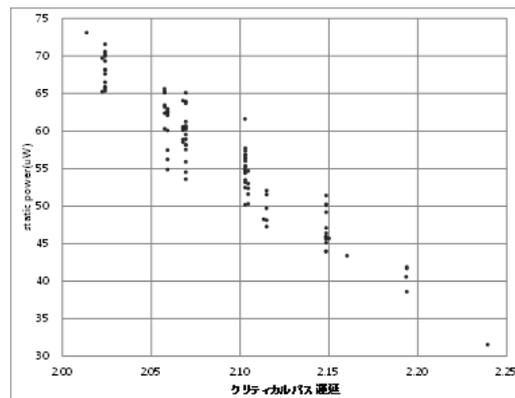


図1 予備評価結果

図1は横軸にクリティカルパス遅延、縦軸に静的消費電力を示したものである。本結果から同じクリティカルパス遅延でも異なる静的消費電力が存在することが確認できた。この差を詳細に検証した結果、FPGA の構成要素である IMUX の使用されている数と静的消費電力は正の相関関係が見られ、電力が高い結果では IMUX が一番低消費電力化できてい

ないことも確認できた。そのため、しきい値電圧最適化ツールにおいて IMUX をより優先的に最適化することで、さらなる低消費電力化を望める可能性があると予測した。

(2) 既存のアルゴリズムである BT に IMUX を優先的に低消費電力化するアルゴリズムを追加した。このアルゴリズムを予備評価で生成した 100 個の alu4 の配置配線結果に最適化処理を行った結果を図 2 示す(BT+IMUX)。本結果からは BT よりも低消費電力化を行えたが、Flex Power FPGA 用設計ツールに実装されているしきい値電圧最適化アルゴリズムの中で最も効果が大きい最適化時間がきわめて長い SS(Slack Sensitivity)アルゴリズムと比べると依然改善する必要がある。

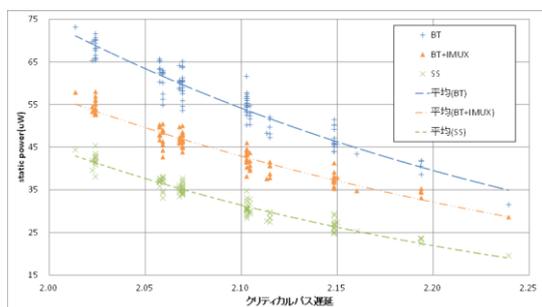


図 2 構成要素優先付け実行結果

(3) IMUX のみに優先を付け最適化を行った結果、BT よりも低消費電力化を行えたことから、IMUX 以外の要素 (SMUX、LMUX、BLE) においても優先を付け最適化を行う。IMUX を含む 4 種類の優先順位の全ての組合せ 16 通りを検証した結果、IMUX、SMUX、LMUX、BLE の順番に最適化処理を行うことが最も低消費電力化できることが確認できた。そこで、予備評価で生成した 100 個の alu4 の配置配線結果にこの優先順位を考慮した最適化処理を行い、その結果(BT+All Element)を図 3 に示す。BT+All Element で最適化処理を行った alu4 の 100 個の平均は、IMUX のみの優先よりも低消費電力化できたが、SS と比較するとまだ消費電力は大きいことが確認できる。

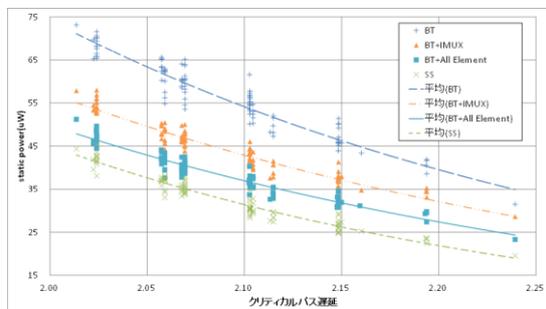


図 3 全構成要素優先付け実行結果

(4) 構成要素の優先順位付けアルゴリズムのさらなる改良を行うため、新たな要素として Slack に注目した。Slack とはクリティカルパス遅延に対して回路内の信号経路が持

つタイミングのゆとりである。すなわち Slack が 0 の経路はクリティカルパスである。しきい値電圧の最適化を進めるに従って、回路全体の Slack は減少する。Slack が大きい経路の最適化は他の経路の Slack を減少させていく傾向があるため、Slack が大きい経路から最適な構成要素の順番に低消費電力化を行う。結果を図 4 に示す。本結果から SS よりも低消費電力化を行えていることが確認できる。

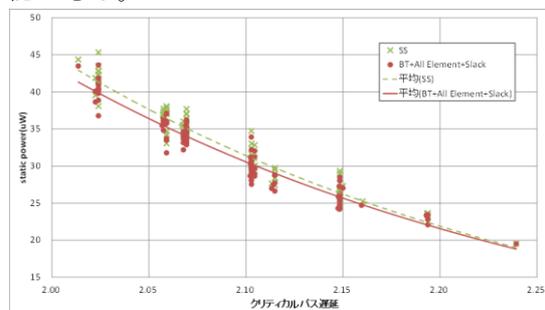


図 4 構成要素+Slack 優先付け実行結果

(5) 各アルゴリズムの計算量と消費電力の評価を行う。表 1 に示すように、しきい値電圧を変更する要素数を N とすると、BT は $O(N)$ 、SS は $O(N^2)$ となり、提案アルゴリズムは Slack の順位付けを細かく行い、繰り返す回数を増やすため、繰り返す回数を M とすると $O(MN)$ と表すことが可能である。最適化処理の実行時間が長い場合、より低消費電力化できる可能性があり、表 1 に示すように、前項目(4)で使用した繰り返す回数を M (ここでは 200)とし、10 倍、100 倍と増やすとさらなる低消費電力化が可能である。

表 1 各アルゴリズムの計算量と消費電力

	計算量	static power(uW)	runtime (min)
BT	$O(N)$	71. 576	0. 002
SS	$O(N^2)$	42. 780	2. 076
BT+All Element	$O(MN)$	41. 245	0. 185
Element+Slack	$O(10MN)$	40. 869	0. 462
	$O(100MN)$	40. 851	1. 991

(6) これまで alu4 において有効であることを示したが、他の回路でも効果を実証するために MCNC ベンチマーク 20 個での評価結果を図 5 に示す。本結果より既存の SS と比較した場合よりも、全ての回路において消費電力、実行時間ともに削減でき、全ての回路の平均を取ると消費電力はさらに 2.44%、実行時間は 94.58%の削減が確認できた。また最も電力の改善効果が大きい回路では、消費電力を 11.60%、実行時間を 97.93%削減することができた。

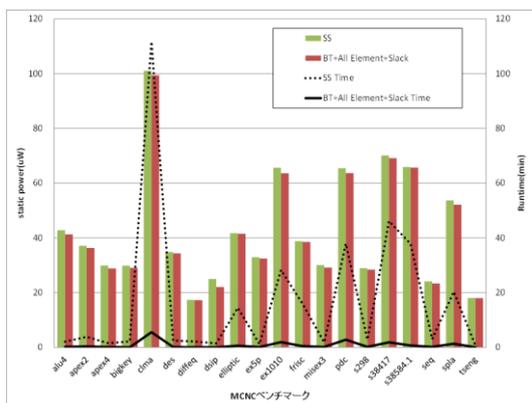


図 5 他のベンチマーク回路での検証結果

(7) 本研究のまとめと成果の位置づけ、今後の展望について述べる。Flex Power FPGA のさらなる低消費電力化を目指しアルゴリズムの提案および評価を行った。研究開始当初の予定では、新たな配置配線アルゴリズムの提案を予定していたが、予備評価において仮定していた相関関係が見いだせず、研究方法の修正に至った。予備評価において得た新たな知見としては、FPGA の特定の構成要素の使用率と消費電力に相関関係があることが判明し、構成要素毎に優先順位を設けたアルゴリズムと配置配線後の各構成要素の有するスラックの大きさに優先順位を持たせたと、既存のしきい値電圧最適化アルゴリズムよりも低消費電力化が可能でかつ実行時間を大幅に短縮することを実現した。

本成果は国立研究開発法人産業技術総合研究所で開発している最新の Flex Power FPGA の実チップにおいて評価が行われ、その結果は国際ジャーナルへ採録されており、国際的な FPGA 研究の一端を担っていると言える。今後の展望としては、構成要素の種類のみならず多くの条件下における優先順位の設定方法を機械学習を用い、さらなる低消費電力化を目指したい。

<引用文献>

① I. Kuon、J. Rose、Measuring the Gap Between FPGAs and ASICs、ISFPGA、2006、21-30

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

①Masakazu Hioki、Chao Ma、Takashi Kawanami、Yasuhiro Ogasahara、Tadashi Nakagawa、Toshihiro Sekigawa、Toshiyuki Tsutsumi、Hanpei Koike、SOTB Implementation of a Field Programmable Gate Array with Fine-Grained Vt Programmability、Journal of Low Power Electronics and Applications、査読有、Vol.4(3)、2014、188-200

[学会発表] (計 0 件)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

○取得状況 (計 0 件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

[その他]
ホームページ等

6. 研究組織

(1) 研究代表者

河並 崇 (KAWANAMI, Takashi)
金沢工業大学・工学部・講師
研究者番号：9 0 4 4 3 1 8 4

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：