

科学研究費助成事業 研究成果報告書

平成 28 年 5 月 25 日現在

機関番号：11301

研究種目：若手研究(B)

研究期間：2014～2015

課題番号：26820121

研究課題名(和文)原子レベル平坦界面トランジスタによる電気的特性ばらつき・ノイズの極小化

研究課題名(英文)Minimization of variation and noise of electrical characteristics of MOS transistors due to atomically flat gate insulator film/Si interface

研究代表者

黒田 理人(Kuroda, Rihito)

東北大学・工学(系)研究科(研究院)・准教授

研究者番号：40581294

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：Si界面の原子レベル平坦化技術を、シャロートレンチアイソレーション工程を有する最小加工寸法0.22 μ mの集積回路製造工程に導入し、直径200mmのSiウェハ全面にて微細MOSトランジスタのゲート絶縁膜/Si界面を原子レベルで平坦化することに成功した。100万個を超えるMOSトランジスタ電気的特性の統計的な測定により、従来の平坦性を有する素子と比較したしきい値ばらつきの低減及び1桁程度のランダム・テレグラフ・ノイズ発生確率の低減を実証し、その効果を明らかにした。

研究成果の概要(英文)：Atomically flattening technology of Si surface was introduced to a 0.22 μ m LSI manufacturing technology with shallow trench isolation process, and the atomic flatness of gate insulator/Si interface of MOS transistors was successfully obtained on the whole surface of 200mm diameter Si wafers. Based on the electrical characteristics measurement of over a million transistors, a reduction of threshold voltage variation as well as the one order of magnitude reduction of occurrence probability of random telegraph noise were confirmed and its reduction mechanism was clarified.

研究分野：半導体デバイス

キーワード：電子デバイス・電子機器 電子デバイス・集積回路 しきい値ばらつき ランダム・テレグラフ・ノイズ
原子レベル平坦化

1. 研究開始当初の背景

生体科学計測用途の顕微カメラや発光分析装置検出器等、暗い場所を鮮明に撮像する高感度性能が求められる分野において、光子1個を1デジタルナンバーとして出力する究極の感度を有する撮像素子の創出が求められている。また、実世界の光・音・温度等の信号を計量するセンサと信号処理機能・通信機能を有するセンサ・ネットワーク・システムの普及がスマートハウス/ビルシステム等の分野において進んでいる。これらは自然界の微小エネルギーを動作エネルギー源として抽出するエナジーハーベスト技術との組み合わせによって至る所で使われるシステムとして活用が期待されている。そこで、センサ、通信用高周波回路の高精度化や、MOS トランジスタのサブスレッショルド領域付近の動作に基づく信号処理集積回路の低消費電力化を目指した研究開発が活発化している。これらの研究分野では、回路技術では完全に取り除くことが出来ない MOS トランジスタの電気的特性ばらつきとノイズの低減が最重要課題である。低消費電力性能で他の能動デバイスを凌駕する MOS トランジスタの動作原理上、ゲート絶縁膜/半導体界面の凹凸、界面準位、ゲート絶縁膜固定電荷のばらつきは、残存するばらつき要因であり、また、絶縁膜中のトラップによるチャネル中のキャリアの捕獲・放出は 1/f ノイズやランダム・テレグラフ・ノイズ (RTN) を発生させることが分かっている [引用文献①]。

2. 研究の目的

本研究では、上記の背景を鑑み、小型・高性能センサ・ネットワーク・システムの発展と普及へ向けたアナログ・高周波回路の高精度化、ロジック回路の飛躍的な低消費電力化に寄与する、微細 MOS トランジスタの電気的特性ばらつき及びノイズを低減する基盤技術を創出するため、原子レベル平坦化ゲート絶縁膜/半導体界面を有する微細 MOS トランジスタの集積化技術を確認し、実回路規模の多数の MOS トランジスタを統計的に測定・評価することで、極限に制御された界面によるしきい値電圧、サブスレッショルドスイング、オン電流等の電気的特性ばらつきの極小化、1/f ノイズ、ランダム・テレグラフ・ノイズの極小化効果を世界に先駆けて明らかにすることを目的とする。

3. 研究の方法

(1) 高集積素子分離プロセスに適応した原子レベル平坦化微細 MOS トランジスタの集積化技術を確認する。
 (2) 1チップ当たり 100 万個超、1ウエハ当たり 1 億個超の界面平坦性を变化させた MOS トランジスタを作成する。
 (3) 大規模アレイテスト回路による電気的特性ばらつき、ノイズの高速・高精度評価技術を用いて MOS トランジスタを測定し、特性

の統計的な評価を行う。

(4) 極限に制御されたゲート絶縁膜/半導体界面を用いた際の MOS トランジスタの電気的特性ばらつき及びノイズの極小化効果を明らかにする。

4. 研究成果

(1) シャロートレンチアイソレーション (STI) 素子分離を用いた最小加工寸法 0.22 μm の集積回路製造プロセステクノロジーに、ゲート絶縁膜/Si 界面の原子レベル平坦化技術を導入するため、下記の①、②の方針に基づく 2 通りのプロセス技術を開発した。いずれも図 1 に装置構成を示すこれまでに研究開発を行ってきた酸素・水分濃度を 30ppb 以下に低減した高純度雰囲気下における熱処理技術を用いた Si 表面の原子レベル平坦化技術 [引用文献②] を集積回路製造プロセスに導入するものであるが、微細素子分離パターンが形成された Si 活性領域の表面を原子レベルで平坦にする必要があると共に、トランジスタ特性へ悪影響を及ぼす STI 端を流れる電流成分の発生を防止するなど、本技術の導入による副作用を発生させないことが課題である。

- ① 原子レベル平坦化プロセスを集積回路プロセス工程の初期に行い、素子分離のためのトレンチをドライエッチングによって掘り込んだ直後に自己整合的にチャネルストップイオン注入を行う。
- ② STI 形成工程は従来から変更せず、Si と SiO₂ とが混在する基板に対してゲート絶縁膜形成直前に原子レベル平坦化プロセスを導入する。

直径 200mm の Si ウェハを用いた集積回路製造プロセスにおいて上記のいずれのプロセス技術を用いた際にもトランジスタ特性に副作用を発生させることなく、ゲート絶縁膜/Si 界面の原子レベル平坦化を両立する条件を明らかにした。図 2 に方針②において試作を行った微細素子分離パターンが形成された Si ウェハ表面の原子間力顕微鏡像を示す。

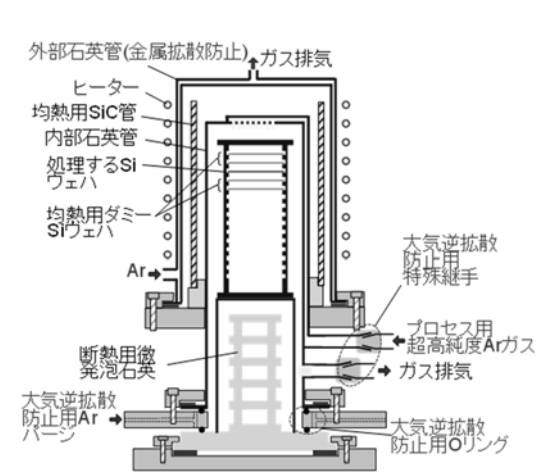


図 1. 原子レベル平坦化処理装置。

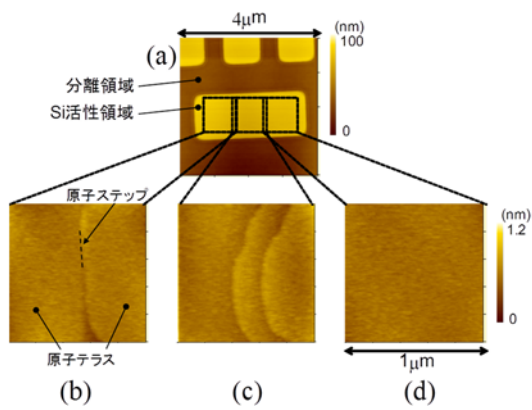


図 2. 原子レベル平坦化処理後の微細 Si 活性領域の原子間力顕微鏡像。

微細な Si 活性化領域の表面において原子ステップと原子テラスからなる原子レベル平坦化表面が得られている。ここで、Si と SiO₂ が混在する基板では SiO₂ 中の酸素が Si 表面の平坦化を阻害することが分かっており、その影響を低減するためには平坦化プロセスの処理温度を 850°C 以下にする必要があることを明らかにした。同様に、Si と SiO₂ が混在する Silicon-on-Insulator (SOI) 基板においても 850°C の処理温度で平坦化処理を行うことで、直径 200mm の基板表面全領域が原子レベルで平坦化されることを明らかにした。この結果より、電気的特性のばらつき低減に効果があることが明らかになっている低不純物濃度 SOI 基板上のトランジスタ形成に本技術を適用できると考えられる。

(2) 開発したプロセス技術を導入し図 3 に示す大規模アレイテスト回路を直径 200mm の Si ウェハを用いて試作した。試作では、図 4(a-b)に示すようにゲート絶縁膜/Si 界面が従来の平坦性のもと原子レベル平坦性を有する水準を試作した。従来技術では 1nm 程度局所的な凹凸が存在するのに対し、原子レベル平坦化表面では高さ 0.135nm の原子ステップと原子テラスのみで構成されている。

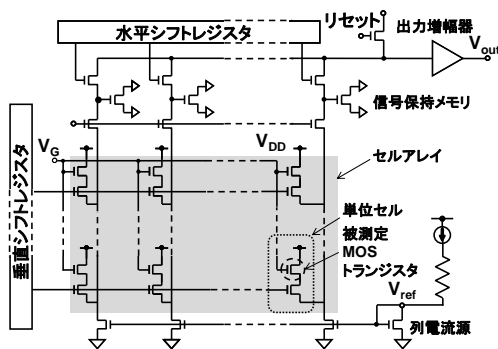


図 3. 大規模アレイテスト回路の構成。

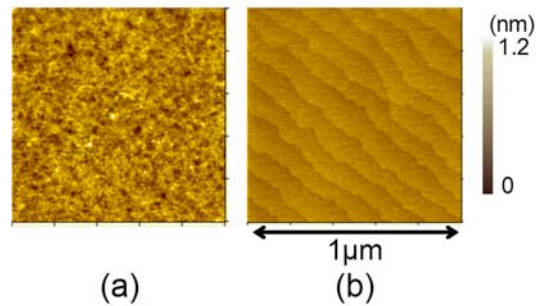


図 4. (a) 従来技術で試作した素子の Si 表面と (b) 原子レベル平坦化技術を導入した素子の Si 表面の原子間力顕微鏡像。

(3) 試作した大規模アレイテスト回路を用いて 100 万個を超えるトランジスタの静特性とノイズ特性を測定した。ゲート幅/ゲート長が 0.24 μm/0.28 μm のトランジスタにおいて、しきい値ばらつきの標準偏差が従来の平坦性を有する水準では 22.3mV であったのに対し、原子レベル平坦化界面を有する水準では 22.1mV に低減した。さらに図 5 にノイズの分布を示す通り、ゲート幅/ゲート長が 0.22 μm/0.28 μm のトランジスタにおいて、RTN 波形が明らかに観測される出力電圧の二乗平均平方根 (V_{rms}) が 1mV 以上のトランジスタが出現する確率が原子レベル平坦化によって一桁程度低減し、また累積確率 99% における V_{rms} が 1.0mV から 0.68mV に低減した。

(4) 原子レベル平坦化によって電気的特性のばらつき、ノイズが統計的に低減することが明らかになった。特にノイズの低減についてその原因の解析を行った結果、原子レベル平坦化技術の導入によるトランジスタのノイズの低減は、トラップへのキャリアの捕獲・放出によって引き起こされるノイズ振幅が低減することによるものであることが明らかになった。これは、平坦化の導入によって、界面の凹凸による Si チャネル電界のばらつきや局所的な集中が抑制され、キャリア密度が均一化することであると考えられる。図 6 にそのモデルを示す。

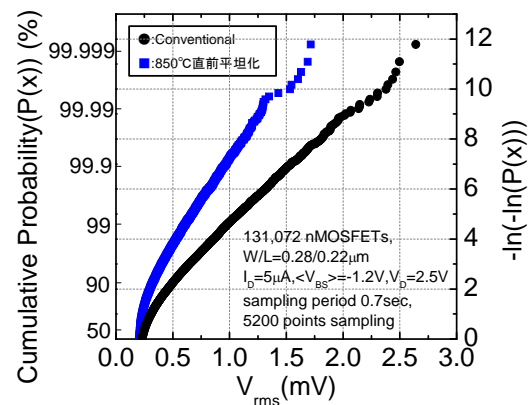


図 5. 一定電流駆動時のトランジスタ出力電圧時間軸方向の二乗平均平方根 (V_{rms}) の累積頻度分布。

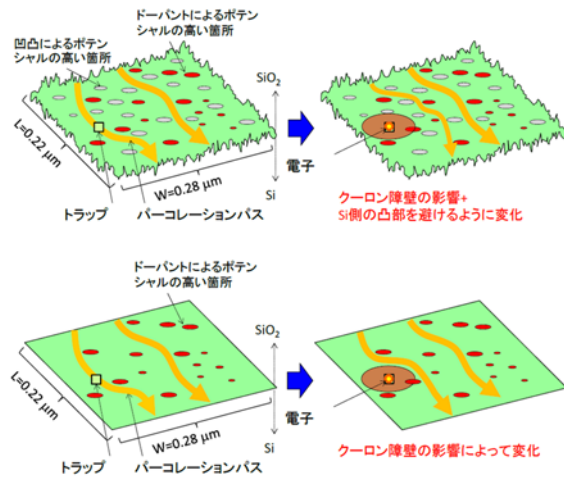


図 6. MOS トランジスタチャネルのポテンシャルの模式図。(上段) 従来の平坦性を有する素子。(下段) 原子レベル平坦性を有する素子。

以上、本研究では微細素子分離工程を有する集積回路製造工程に原子レベル平坦化を適応し、100 万個を超えるトランジスタの特性を統計的に測定することで、しきい値ばらつき、ノイズが統計的に低減されること、さらにその低減メカニズムを明らかにした。原子レベル平坦化による効果は凹凸の低減による電界集中の抑制であることから、Si 以外の半導体材料についても同様の効果が期待できる。さらに、本研究によって集積回路製造プロセスへ平坦化工程が導入できるようになり、高紫外光照射耐性、広光波長帯域光センサへの応用展開へ寄与している。

<引用文献>

- ①H. H. Mueller and M. Schulz, Random telegraph signal: An atomic probe of the local current in field-effect transistors, J. Appl. Phys., Vol. 83, 1998, 1734-1741
- ②R. Kuroda, T. Suwa, A. Teramoto, R. Hasebe, S. Sugawa, and T. Ohmi, Atomically Flat Silicon Surface and Silicon/Insulator Interface Formation Technologies for (100) Surface Orientation Large-Diameter Wafers Introducing High Performance and Low-Noise Metal-Insulator-Silicon FETs, IEEE Trans. Electron Devices, Vol. 56, 2009, 291-298

5. 主な発表論文等

[雑誌論文] (計 14 件)

全て査読有

- ①R. Kuroda, T. Akutsu, Y. Koda, K. Takubo, H. Tominaga, R. Hirose, T. Karasawa, S. Sugawa, A High Quantum Efficiency High Readout Speed 1024 Pixel Ultraviolet-Visible-Near Infrared Waveband Photodiode

Array, ITE Transactions on Media Technology and Applications, Vol. 4, 2016, 109-115

DOI: 10.3169/mta.4.109

- ②S. Nasuno, S. Wakashima, F. Kusuhara, R. Kuroda, S. Sugawa, A CMOS Image Sensor with $240 \mu\text{V}/e^-$ Conversion Gain, 200 ke⁻ Full Well Capacity, 190-1000 nm Spectral Response and High Robustness to UV light, ITE Transactions on Media Technology and Applications, Vol. 4, 2016, 116-122

DOI: 10.3169/mta.4.116

- ③T. Goto, R. Kuroda, N. Akagaw, T. Suwa, A. Teramoto, X. Li, T. Obara, D. Kimoto, S. Sugawa, Y. Kamata, Y. Kumagai and K. Shibusawa, Introduction of Atomically Flattening of Si Surface to Large-Scale Integration Process Employing Shallow Trench Isolation, ECS Journal of Solid State Science and Technology, Vol. 5, 2015, P67-P72

DOI: 10.1149/2.0221602jss

- ④T. Goto, R. Kuroda, T. Suwa, A. Teramoto, N. Akagawa, D. Kimoto, S. Sugawa, T. Ohmi, Y. Kamata, Y. Kumagai, and K. Shibusawa, Low Temperature Atomically Flattening of Si Surface of Shallow Trench Isolation Pattern, ECS Transactions, Vol. 66, 2015, 285-292

DOI: 10.1149/06605.0285ecst

- ⑤T. Goto, R. Kuroda, N. Akagawa, T. Suwa, A. Teramoto, X. Li, T. Obara, D. Kimoto, S. Sugawa, Y. Kamata, Y. Kumagai and K. Shibusawa, Atomically Flattening of Si Surface of Silicon on Insulator and Isolation-Patterned Wafers, Japanese Journal of Applied Physics, Vol. 54, 2015, 04DA04-1-04DA04-7

DOI: 10.7567/JJAP.54.04DA04

- ⑥[REVIEW PAPER] R. Kuroda and S. Sugawa, Si image sensors with wide spectral response and high robustness to ultraviolet light exposure, IEICE Electronics Express, Vol. 11, 2014, 20142004-1-20142004-16

DOI: 10.1587/elex.11.20142004

[学会発表] (計 20 件)

全て査読有

- ① [Invited] R. Kuroda and S. Sugawa, Advanced CMOS Image Sensors Development for High Sensitivity, High Speed and Wide Spectral Response, International Workshop on Radiation Resistant Sensors and Related Technologies for Nuclear Power

Plant Decommissioning, 2016年4月20日,
Iwaki Business Innovation Center (福島県・
いわき市)

②[Invited] R. Kuroda, A. Teramoto and S.
Sugawa, Random Telegraph Noise
Measurement and Analysis based on Arrayed
Test Circuit toward High S/N CMOS Image
Sensors, 9th IEEE International
Conference on Microelectronic Test
Structures, 2016年3月29日~31日,
Mielparque Yokohama (神奈川県・横浜市)

③S. Nasuno, S. Wakashima, F. Kusuhara,
R. Kuroda, S. Sugawa, A CMOS Image Sensor
with $240\mu\text{V}/e^-$ Conversion Gain, $200ke^-$
Full Well Capacity and 190-1000nm
Spectral Response, 2015 International
Image Sensor Workshop, 2015年6月8日~
11日, Vaals, Netherlands

④R. Kuroda, T. Akutsu, Y. Koda, K. Takubo,
H. Tominaga, R. Hirose, T. Karasawa, S.
Sugawa, A 80% QE High Readout Speed 1024
Pixel Linear Photodiode Array for UV-VIS-
NIR Spectroscopy, 2015 International
Image Sensor Workshop, 2015年6月8日~
11日, Vaals, Netherlands

⑤T. Goto, R. Kuroda, T. Suwa, A. Teramoto,
N. Akagawa, D. Kimoto, S. Sugawa, T. Ohmi,
Y. Kamata, Y. Kumagai, and K. Shibusawa,
Low Temperature Atomically Flattening of
Si Surface of Shallow Trench Isolation
Pattern, 227th Meeting of The
Electrochemical Society, 2015年5月24日
~28日, Chicago, USA

⑥ [Invited] R. Kuroda, S. Sugawa,
UV/VIS/NIR imaging technologies:
challenges and opportunities, 2015 SPIE
Sensing Technology + Applications, 2015
年4月20日~24日, Baltimore, USA

⑦T. Goto, R. Kuroda, N. Akagawa, T. Suwa,
A. Teramoto, X. Li, S. Sugawa, T. Ohmi,
K. Kumagai, Y. Kamata, and K. Shibusawa,
Atomically Flattening of Si Surface of
SOI and Isolation-patterned Wafers, 2014
International Conference on Solid State
Device and Materials, 2014年9月8日~11
日, つくば国際会議場 (茨城県・つくば市)

⑧T. Obara, A. Teramoto, A. Yonezawa, R.
Kuroda, S. Sugawa, and T. Ohmi, Analyzing
Correlation between Multiple Traps in RTN
Characteristics, 2014 IEEE International
Reliability Physics Symposium, 2014年6
月3日~5日, Waikoloa, USA

[図書] (計0件)

[産業財産権]

○出願状況 (計1件)

名称: 半導体素子の形成方法
発明者: 後藤 哲也、寺本 章伸、黒田 理人、
諏訪 智之
権利者: 国立大学法人東北大学
種類: 特許
番号: 特願 2014-182774
出願年月日: 2014年9月8日
国内外の別: 国内

○取得状況 (計0件)

[その他]

特になし

6. 研究組織

(1) 研究代表者

黒田 理人 (KURODA, Rihito)
東北大学・大学院工学研究科・准教授
研究者番号: 40581294